

# 超伝導高速単一磁束量子 (RSFQ) 回路の タイミング調節のための配線長予約を用いた概略配線手法

北村 圭<sup>1,a)</sup> 高木 直史<sup>1</sup> 高木 一義<sup>2</sup>

**概要:** 超伝導高速単一磁束量子 (Rapid Single-Flux-Quantum) 回路は、その高速性と低消費電力性から CMOS 回路に対して優位性のある次世代の回路技術として期待されている。本稿では、RSFQ 回路のための配線長予約を用いた概略配線手法を提案する。提案手法では、荒くタイル状に分割された配線領域上で、タイル同士を繋げるパスを探索し大まかな配線経路を決定する他、各タイルのもつ配線資源を考慮し、後の詳細配線において配線資源の競合を防ぐための配線長の指定も行う。これにより、配線長マッチングを行う RSFQ 回路の配線において既存手法では難しい配線可能性の保証を行うことができる。

## A Global Routing Method with Wire Length Budgeting for Timing Adjustment of Rapid Single-Flux-Quantum Circuits

KEI KITAMURA<sup>1,a)</sup> NAOFUMI TAKAGI<sup>1</sup> KAZUYOSHI TAKAGI<sup>2</sup>

**Abstract:** Superconducting Rapid Single-Flux-Quantum circuit technology is expected as a next-generation circuit technology superior to CMOS circuits because of their high speed and low power consumption. In this report, we propose a global routing method with wire length budgeting for RSFQ circuits. In the proposed method, paths connecting tiles are searched to determine coarse routes on the rough tiled routing area, and also the wire length in each tile on each path is specified with consideration of the routing resources in order to prevent competition of demands for them in detailed routing. This enables us to guarantee the routability of RSFQ circuits, which is difficult for the existing global routing method because wire length matching is performed in RSFQ circuits.

### 1. はじめに

超伝導高速単一磁束量子 (Rapid Single-Flux-Quantum; RSFQ) 回路は、超伝導を利用した新しいデジタル回路技術であり、100GHz に及ぶ高速性と CMOS 回路のおよそ 1000 分の 1 の低消費電力性が特徴である [1][2]。このため高性能化に限界が見えつつある CMOS 回路に対して優位性のある次世代の集積回路として期待されている。

RSFQ 回路は、信号のタイミングをピコ秒レベルでかつゲート単位で制御する必要があり、CMOS 回路に比べタイミング制約が格段に厳しい。しかし、配置配線でのタイミング調節は人手に頼らなければならないのが現状であり、

RSFQ 回路のための CAD ツールが求められている。

集積回路の配線問題は、複雑な組み合わせ問題であり、一般的には大まかな配線経路を求める概略配線と、その結果をもとに使用する配線トラックを決定する詳細配線の 2 段階に問題が分割される。概略配線では、後の詳細配線で全ての配線が完了することを保証する必要がある。しかし RSFQ 回路における配線は、厳しいタイミング制約を満たすために配線長マッチングが行われ、既存の概略配線手法では配線長マッチングのための配線延長が考慮されておらず、配線可能性を保証することが難しい。

そこで本稿では、配線長予約を用いた概略配線手法を提案する。提案手法では、配線領域をタイル状に荒くグリッド分割し、各ネットに対して、いくつかのタイル (グローバルセル) が連なった形の大まかな配線経路を決定する他、各グローバルセルでの配線長の指定も行う。配線長の指定

<sup>1</sup> 京都大学 大学院情報学研究所

<sup>2</sup> 三重大学 大学院工学研究所

<sup>a)</sup> kitamura@lab3.kuis.kyoto-u.ac.jp

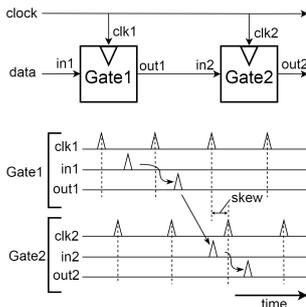


図 1 RSFQ 論理回路の一部  
Fig. 1 A part of a RSFQ logic circuit.

の際に、各グローバルセルのもつ有限の配線資源がそのグローバルセルにマッピングされた各ネットに分配され、後の詳細配線における配線資源の競合を避け配線可能性を保証する。

## 2. 準備

### 2.1 RSFQ 論理ゲート

RSFQ 回路は、ジョセフソン接合 (Josephson Junction; JJ) と呼ばれるスイッチング素子を基本素子として構成されている。この JJ では、スイッチング時に 1mV 程度の微弱な電圧パルスが、数ピコ秒という極めて短い時間で生成される。RSFQ 回路では、このパルス波が情報担体としての役割を果たし、論理ゲートはパルスの有無で論理の 1 と 0 を表すパルス論理で動作する。

パルス論理で動作し、かつスイッチング時間が短く配線遅延が無視できないという条件下では、ゲート入力においてパルスの未到着と論理値 0 を区別することが出来ないという状況が発生する。このため、RSFQ 回路では論理ゲートにクロック信号を供給し、次のクロック信号の到着までの入力パルスの有無で論理値 1 と 0 を判断し演算が行われる。

### 2.2 クロッキング手法

CMOS 回路のクロック分配ネットワークは、全ての記憶素子にクロック信号がゼロスキューで入力されるように設計されるのが一般的であり、CMOS 回路用の CAD ツールのほとんどはゼロスキューを想定した設計を行う。ゼロスキューによるクロッキングでは、回路の動作周波数はクリティカルパス遅延に制約されるため、RSFQ 回路では高周波数を実現するためにスキュードクロッキングを行う場合が多い。図 1 にスキュードクロッキングによる RSFQ 論理回路の一部とそのタイミングチャートを示す。図 1 では、2 段目のゲート (Gate2) のクロックパルス到着時刻を遅延させ、ゲートレベルのパイプライン動作を実現している。このようなクロッキング手法をコンカレント・フロークロッキングと呼ぶ。

このように、クロックをスキューさせることで高速動作

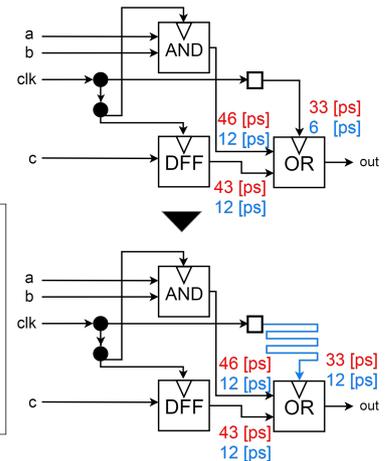


図 2 PTL 等長配線による回路レイアウト  
Fig. 2 A circuit layout with equal length PTL routes.

を実現できるが、RSFQ 回路では全てのゲートにおいてピコ秒レベルのタイミング調節が求められるため、タイミング制約が格段に厳しい。このような厳しいタイミング制約をもつ RSFQ 回路の設計を支援する CAD ツールはなく、タイミング調節の大部分は人手により行われているのが現状である。

### 2.3 セルベース設計

大規模なデジタル回路を効率的に設計するために、セルベース設計が行われる。セルベース設計では、あらかじめ設計された論理ゲートなどの回路素子がセルとしてセルライブラリに登録される。このセルライブラリ内のセルを回路領域上に配置することで、効率的に設計を行うことができる。RSFQ 回路においても、アドバンスドプロセス 2 (ADP2) [3] と呼ばれるプロセス技術を対象としたセルライブラリが開発されている [4]。

セルライブラリには、論理ゲートの他にジョセフソン伝送路 (Josephson Transmission Line; JTL) やスプリッタといった能動配線素子もあり、これらをセル間に配置することで配線を行うことができる。

RSFQ 回路では、他に 2 層のメタルレイヤを用いた受動伝送路 (Passive Transmission Line; PTL) による配線も可能である [5]。PTL による配線は、その両端にドライバセルとレシーバセルを配置する必要があり、それによる遅延のオーバーヘッドを伴うが、光速の 3 分の 1 に及ぶスピードでパルスの伝播が可能である。また PTL は、分岐させることが出来ずドライバセルとレシーバセルの 2 点間接続に限定されている。そのため、分岐させる場合はスプリッタセルを途中に挿入する必要がある。

### 2.4 PTL 等長配線

RSFQ 回路の配線は、前節で述べた通り JTL セルやスプリッタセルを配置し伝送路を形成する場合と、PTL 配線

を行う場合が存在する。RSFQ 回路の能動素子の遅延は、内部の JJ にかかるバイアス電圧に依存するため、JTL や スプリッタといった能動素子を用いて配線を行うと、バイアス電圧の変動による遅延のばらつきが生じタイミング違反が発生する可能性がある。

この問題を考慮し、より頑健性が高い RSFQ 回路を設計するために、PTL の等長配線を行うことが提案されている [6]。PTL 等長配線による回路設計は、まず能動素子遅延のみ考慮してタイミング調節を行い、その後パス間で PTL 配線長が等しくなるよう配線する設計手法である。PTL の等長配線による回路レイアウトの例を図 2 に示す。図 2 では、2 段目の OR ゲートのクロック入力へ至るパスと、データ入力へ至るパスの間で等長配線を行う様子が示されている。図 2 では、PTL 配線を行った結果、クロック入力に至るパスの PTL 配線長が短く遅延が小さいため、図中青線のようにジグザグ状に PTL を迂回させ遅延が追加されている。このように、PTL 等長配線では、配線長マッチングが行われる。

RSFQ 回路の配線長マッチングに関する研究はいくつか行われている [6][7]。[6] では、PTL 配線問題が整数計画問題として定式化され、ILP ソルバを用いて解くことで配線長マッチングが行われる。[7] では、スプリッタの配置を考慮することで配線面積の削減を行っている。これらの手法はいずれもセルの配置領域と PTL 配線領域を区別し、PTL 配線はセルの配置されていない PTL 配線領域で行われる。しかし ADP2 では能動素子セルの直下 (ADP2 では配線レイヤがセルを配置するレイヤより下に位置する) にも PTL 配線を引くこと (over-the-cell 配線) が可能であり、この配線領域を有効利用できることが考えられ、本稿では over-the-cell 配線による PTL 配線長マッチングに着目する。配線長マッチングのための配線経路の延長は、一般的には配線経路を一度求めた後に、経路周辺の空いている領域へ貪欲的に迂回を行う方法がとられる。

一方で、配線問題は複雑な組み合わせ問題のため、多くの配線ツールでは図 3(b) のようにタイルベースの大きな配線経路を得る概略配線を行ってから、詳細な配線経路が探索される。この時、概略配線では詳細配線における配線可能性を保証できるような配線解を探索することが目的である。しかし CMOS 回路設計で使われる概略配線アルゴリズムの多くは、詳細配線において意図的に配線経路を迂回させ信号の到着を遅延させることが考慮されていないため、配線長マッチングを行う RSFQ 回路の配線では配線可能性を保証するのは難しい。

そこで本稿では、図 3(b) のような概略配線経路のほかに、図 3(c) のように各タイルでの配線長の指定も行う概略配線手法を提案する。配線長の指定では、各タイルの持つ有限の配線資源がそのタイルを通過するネットへ割り振られる。これにより、詳細配線において配線資源の不足によ

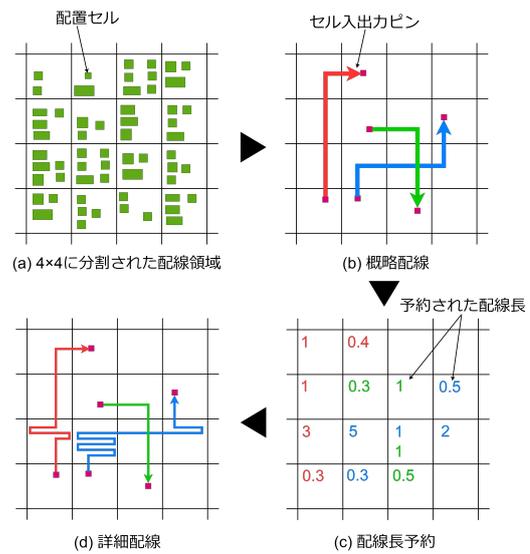


図 3 提案概略配線手法を用いた配線プロセス  
Fig. 3 A routing process using the proposed global routing method.

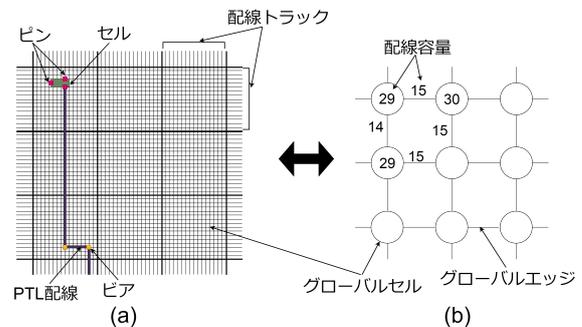


図 4 (a) 配線領域, (b) グリッドグラフ  
Fig. 4 (a) A routing area. (b) The grid graph.

る複数ネット間での配線資源の競合を防ぎ、配線可能性を保証する。本提案手法により得られた解をもとに、図 3(d) のように各タイル内で指定された配線長にマッチングする経路を探索することで、回路全体で PTL 配線を実現することができる。

### 3. 配線長予約を用いた概略配線

#### 3.1 問題定義

本提案手法では、図 4(b) に示すようなグリッドグラフ  $G(V, E)$  を用いる。グリッドグラフ  $G$  は、配線領域全体を荒くグリッド状に分割し、タイル状の各小領域をノード  $v \in V$  に、小領域同士の隣接関係をエッジ  $e \in E$  に対応させたグラフであり、ノード  $v$  をグローバルセル、エッジ  $e$  をグローバルエッジと呼ぶ。グリッドグラフ上のパスを求めることで、大まかな配線経路を得ることが出来る。

提案手法における入力は、セル配置とネットリスト  $Nets = \{n_0, n_1, \dots, n_k\}$  である。PTL は分岐不可能のため、全てのネットはドライバ、レシーバの 2 ピン間接続  $n_i = (p_{drv}^i, p_{rec}^i)$  である。ピンの位置は、与えられたセ

ル配置で定められている。出力は、各ネット  $n_i$  に対するグリッドグラフ上の経路をなすグローバルセルの集合  $r_i = \{v_0^i, v_1^i, \dots, v_m^i\} \subset V$ , 及び各ネット  $n_i$  の経路上の各グローバルセル  $v \in r_i$  における配線長指定  $l_v^i$  の集合  $L_i$  である。なお本稿では、 $l_v^i = l$  の時、ネット  $n_i$  がグローバルセル  $v$  において配線長  $l$  を予約すると定める。

配線領域には、PTL 配線を引くためのガイドとなる配線トラックが図 4(a) のように縦横方向にそれぞれ一定の間隔で定義されており、グローバルエッジやグローバルセル上を通過する。各グローバルエッジ  $e$  を通過する配線トラック数は有限であり、トラックの本数に応じて配線容量  $capacity_e$  が定義される。グローバルセル  $v$  においても同様に、タイル内を通る配線トラックの長さの合計によって配線容量  $capacity_v$  を定義する。

$v \in V$  及び  $e \in E$  には、配線容量の他に配線資源の要求量が次のように定義される。

$$demand_e = |Nets_e| \quad (1)$$

$$demand_v = \sum_{n_i \in Nets_v} l_v^i \quad (2)$$

ここで、 $Nets_e \subset Nets$  はグローバルエッジ  $e$  を通過するネットの集合、 $Nets_v \subset Nets$  はグローバルセル  $v$  を通過するネットの集合を表す。 $e$  に対してはエッジ上を通過するネットの数、 $v$  に対しては  $v$  を通過するネットそれぞれの  $v$  において予約された配線長の合計が配線資源の要求量となる。概略配線において、配線資源の要求量が配線容量に近づくにつれて詳細配線が難しくなることが分かっており [10]、配線可能性を上げるためには、各  $e, v$  での配線容量に対する配線資源の要求量の割合を抑えた配線解を得る必要がある。本提案手法では、配線可能性を保証するために、すべてのグローバルセル  $v$ 、グローバルエッジ  $e$  において、その配線資源の要求量が配線容量を超えないという制約を定義する。本稿では、 $v$  に対する制約をグローバルセル制約、 $e$  に対する制約をグローバルエッジ制約と呼び、両方の制約を満たす概略配線解を配線可能性が保証できる解として出力する。

### 3.2 アルゴリズム

本節では、3.1 で定義した問題に対するアルゴリズムを提案する。図 5 に提案アルゴリズムのフローを示す。

問題は、経路探索フェーズと配線長予約フェーズの 2 段階で解かれる。経路探索フェーズでは、各ネット  $n_i$  に対してグリッドグラフ  $G(V, E)$  上での経路  $r_i \subset V$  を求める。このフェーズで配線解に対して与えられる制約は、グローバルエッジ制約である。配線長予約フェーズでは、各ネット  $n_i$  に対して、経路  $r_i$  上の各グローバルセル  $v \in r_i$  での配線長予約  $l_v^i$  を求める。このフェーズでは、グローバルセル制約とグローバルエッジ制約の両方を満たす必要がある。

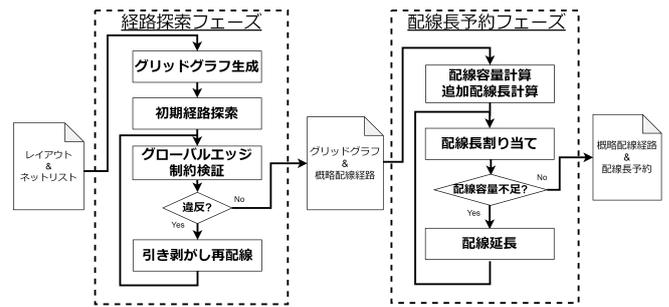


図 5 提案アルゴリズムのフロー

Fig. 5 A flow of the proposed algorithm.

#### 経路探索フェーズ

ここでは、与えられた回路レイアウトからグリッドグラフ  $G(V, E)$  を生成し、各ネット  $n_i$  に対する配線経路を求める。経路探索は、まず Maze Routing の手法を用いて初期経路探索を行う。Maze Routing は、多くの CMOS 回路配線アルゴリズムで使われており、2 ピン間を結ぶ経路が存在する場合に必ず最短経路を得ることができるアルゴリズムである。

次に得られた配線解をもとに、各グローバルエッジ  $e$  での  $demand_e$  を求め、グローバルエッジ制約を満たしているかの検証を行う。全てのエッジ  $e$  で制約が満たされている場合、この配線解を受理し次の配線長予約フェーズへと移行する。

制約に違反しているエッジが存在した場合は、違反を除去するために引き剥がし再配線を繰り返し行う。引き剥がし再配線では、グローバルエッジ制約に違反しているエッジ  $e$  を通過するネットを引き剥がし、新たな配線経路を探索する。この時、グローバルエッジ  $e$  には、配線容量に対する配線資源の要求量の割合を表す配線混雑度が以下のように定義される。

$$congestion_e = demand_e / capacity_e \quad (3)$$

ダイクストラ法 [9] を応用して、配線混雑度が小さいエッジを優先的に通るよう経路探索を行うことで、配線混雑度のより小さい配線解を得ることができる。

このような、初期配線を求め、その後引き剥がし再配線により配線解のクオリティを漸次的に改善する手法は、多くの配線ツールで導入されている [11][12]。

#### 配線長予約フェーズ

ここでは、各ネット  $n_i$  に対して、経路上の各グローバルセル  $v \in r_i$  における配線長予約  $l_v^i$  を求める。配線長の予約は、1) 延長の必要なネットに対する追加配線長の計算、2) 各グローバルセルの配線容量の残量計算、3) 配線長の割り当て、により求める。3) の操作において、1) で計算された追加配線長を全て予約することができなかったネットが存在した場合は、4) 配線経路の延長、を行い再度 3) に戻る。この 4) → 3) の操作を全てのネットが追加配線長を予

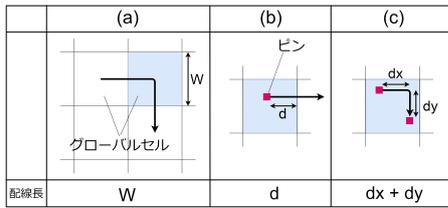


図 6 グローバルセルにおけるネットの配線長  
Fig. 6 Wire length of a net crossing a global cell.

約することができるまで繰り返す。

### 1) 追加配線長の計算

現在の配線経路を元に各ネット  $n_i$  の配線長  $l_i$  を計算し、PTL 等長配線を行うために必要な追加配線長  $l'_i$  を計算する。この時点では、大まかな概略配線のみ決まっておらず詳細な配線長は分からないため、図 6 に示されているグローバルセルにおける配線長のパターンを用いて配線長を推定する。経路の端点にあたるグローバルセルと、それ以外のグローバルセルとで配線長の計算方法が異なっており、端点のグローバルセルでは、ピンの位置からグローバルエッジまでの距離を配線長とし、それ以外のグローバルセルではグローバルセルの幅を配線長と定める。なお、接続する 2 つのピンが同じグローバルセルにある場合は、2 ピン間のマンハッタン距離を配線長と定める。

各ネット  $n_i$  の配線長  $l_i$  を求めた後、回路内のパス  $path_j$  の PTL 配線長  $L_{path_j}$  を、パス上のネット集合  $PNets_j$  内の各ネットの配線長の合計  $\sum_{n_k \in PNets_j} l_k$  により求める。その後、等長配線を行うための各パス  $path_j$  に対する追加配線長  $addL_j$  を求める。この時、等長配線を行う各パスのペア  $(path_j, path_{j'})$  について次式が成り立つ。

$$L_{path_j} + addL_j = L_{path_{j'}} + addL_{j'} \quad (4)$$

各パスの追加配線長  $addL_j$  をパス上の各ネットへ分配することで、各ネット  $n_i$  の追加配線長  $l'_i$  が求められる。

### 2) グローバルセルの配線容量計算

与えられた配線解をもとに、各グローバルセル  $v$  の配線容量の残量  $capacity_v - demand_v$  を計算する。この時点では、各ネットの各グローバルセルにおける正確な配線長は決まっておらず、よって  $demand_v$  の正確な値を求めることができない。そこで 1) と同様に、図 6 に示すパターンを用いてネットの配線長を推定し、その推定値を用いて  $demand_v$  を求める。

### 3) 配線長の割り当て

各ネットの追加配線長、及びグローバルセルの配線資源の残量を求めた後、各ネット  $n_i$  の経路上の各グローバルセル  $v \in r_i$  における配線長予約  $l'_v$  を計算する。この時、グローバルセル制約を満たすように予約される配線長を計算する必要がある。ここでは、次の規則に従い生成されたフローグラフを用いて、最大流問題を解くことで求める。

- ノード S, T を生成

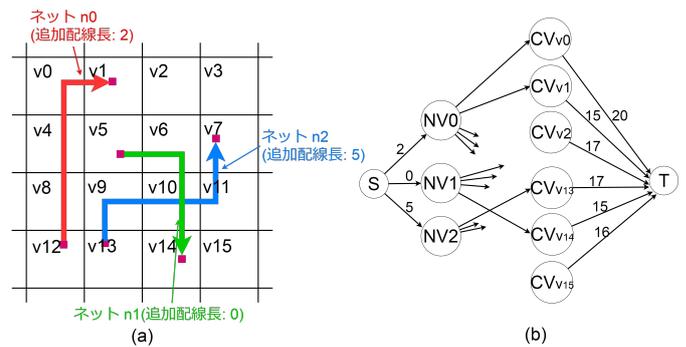


図 7 (a) 概略配線経路, (b) フローグラフ  
Fig. 7 (a)Global routes. (b)The flow graph.

- ネット  $n_i$  に対してノード  $NV_i$  を生成
- 各グローバルセル  $v \in V$  に対してノード  $CV_v$  を生成
- ノード S から各ノード  $NV_i$  に対して弧  $(S, NV_i)$  を張り、追加配線長  $l'_i$  を弧の容量値  $w_{(S, NV_i)}$  とする
- ネット  $n_i$  の経路がグローバルセル  $v$  を通るとき、ノード  $NV_i$  からノード  $CV_v$  へ弧  $(NV_i, CV_v)$  を張る
- 各ノード  $CV_v$  から T へ弧  $(CV_v, T)$  を張り、 $v$  の配線容量の残量を弧の容量値  $w_{(CV_v, T)}$  とする

フローグラフの例を図 7 に示す。このフローグラフを用いて最大流問題を解き、各弧  $(v, v')$  に対して得られるフロー値を  $f_{(v, v')}$  とする。この時、ノード  $NV_i$  からノード  $CV_v$  へのフロー値  $f_{(NV_i, CV_v)}$  をネット  $n_i$  のグローバルセル  $v$  における配線長  $l'_v$  と定める。

S から各ノード  $NV_i$  への弧のフロー値の合計  $\sum_{n_i \in Nets} f_{(S, NV_i)}$  は、このフローグラフにおける最大流であり、また予約された配線長の合計である。よって予約される配線長の合計が最大の配線長予約解を得ることができる。この時、S からノード  $NV_i$  への弧全てにおいて、 $f_{(S, NV_i)} = w_{(S, NV_i)}$  であれば、全てのネットが追加配線長を経路上のグローバルセルで予約することに成功したことになり、配線長予約解として出力する。

一方で、追加配線長を全て予約できなかったネットが存在する場合、つまり S からノード  $NV_i$  への弧において、 $f_{(S, NV_i)} < w_{(S, NV_i)}$  となる弧が存在する場合も考えらる。この時、フローグラフにおけるフローは最大であるため、これ以上予約される配線長を増やすことはできない。そこで、本提案手法では、追加配線長が必要なネットの配線経路の延長を行い、フローグラフの最大流を増加させる操作を行う。

### 4) 配線経路の延長

3) において、配線長の予約に失敗した場合に本操作が適用される。本操作の目的は、3) で考えたフローグラフの最大流を増加させることである。本提案アルゴリズムでは、配線経路の延長を行い、フローグラフに対し弧を追加することでフローの増加を試みる。ここでの配線経路の延長は、ネット  $n_i$  の配線経路を  $r_i$  から  $r'_i$  へ次の制約を満た

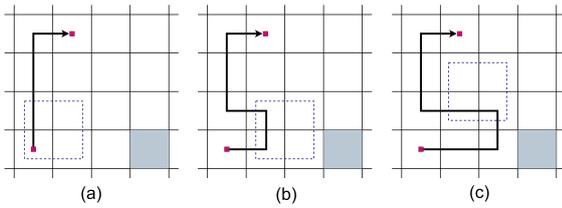


図 8 R-flip による配線経路延長

Fig. 8 Route extension using R-flip detouring.

**Algorithm 1** Route Extension by R-flip

---

**Inputs:** ネットの集合  $Nets = \{n_0, n_1, \dots, n_k\}$   
 各ネットに対する配線経路  $Routes = \{r_0, r_1, \dots, r_k\}$   
 各ネットに対する追加配線長指定  $L' = \{l'_0, l'_1, \dots, l'_k\}$

**Output:** 各ネットの延長後の配線経路  $Routes' = \{r'_0, r'_1, \dots, r'_k\}$

$Rflip\_length \leftarrow$  R-flip 時に延長される配線長

**for all**  $n_i \in Nets$  **do**

$r'_i \leftarrow r_i$

$extlength \leftarrow 0$

$g_{from} \leftarrow$  経路  $r_i$  の始点グローバルセル

$g_{to} \leftarrow$  経路  $r_i$  での  $g_{from}$  の次のグローバルセル

$T \leftarrow$  経路  $r_i$  の終点グローバルセル

**while** ( $extlength + Rflip\_length < l'_i$ ) かつ  $g_{from} \neq T$  **do**

**if** ( $g_{from}, g_{to}$ ) において R-flip 可能 **then**

$r'_i \leftarrow r'_i \cup$  (R-flip により新たに通過する 2 つのグローバルセル)

$extlength \leftarrow extlength + Rflip\_length$

**end if**

$g_{from} \leftarrow g_{to}$

$g_{to} \leftarrow$  経路  $r'_i$  における  $g_{from}$  の次のグローバルセル

**end while**

**end for**

---

すように変更することである。

$$r_i \subseteq r'_i \quad (5)$$

この制約は、元の配線経路が通るグローバルセルは経路変更後も通るということを表しており、よってフローグラフにおいてはノード  $NV_i$  からノード  $CV_v$  への弧は削除されずに追加のみ行われる。

配線経路の延長を行うアルゴリズムを Algorithm1 に示す。本アルゴリズムでは、与えられたネットそれぞれに対し、配線経路の延長をシーケンシャルに行う。各ネットに対する延長では、図 8 に示すように経路周辺のグローバルセルへの迂回を、経路の始点から終点まで貪欲的に行う。1 回の迂回では、図 8 に示すようにグローバルセル 2 つ分の迂回を行い、このような迂回の最小単位を R-Flip と呼ぶ [8]。R-flip が実行される条件は、R-flip した際にグローバルエッジ制約違反が発生しないこと、同じグローバルセルを 2 度通らないこと、延長された配線長の合計が追加配線長を超えないことである。

**4. おわりに**

本稿では、RSFQ 回路のための配線長予約を用いた概略配線手法を提案した。配線長予約を行うことで、既存の

概略配線手法では難しかった、配線長マッチングを行う RSFQ 回路の配線問題における配線可能性の保証を行うことができる。

今後は、提案アルゴリズムの経路探索フェーズが配線長予約に与える影響など、アルゴリズムの検討を詳細に行い、また提案手法の結果を用いて配線長マッチングを行う詳細配線の検討を行う。さらに、提案アルゴリズムを実装した RSFQ 回路のための CAD ツールを作成する予定である。

謝辞 本研究は JSPS 科研費 18H05211, 及び 18K11213 の助成を受けたものである。

**参考文献**

- [1] K. K. Likharev and V. K. Semenov: *RSFQ Logic/Memory Family: A New Josephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems*, IEEE Transactions on Applied Superconductivity, Vol. 1, No. 1, March 1991.
- [2] 田中雅光, 藤巻朗, 井上弘士: 単一磁束量子回路に基づくマイクロプロセッサの動向と展望, 低温工学 52 巻 5 号 2017 年.
- [3] S. Nagasawa, K. Hinode, T. Satoh, et al.: *Nb 9-Layer Fabrication Process for Superconducting Large-Scale SFQ Circuits and Its Process Evaluation*, IEICE Trans. Electron., Vol. E97-C, No. 3, March 2014.
- [4] H. Akaike, M. Tanaka, K. Takagi, et al.: *Design of Single Flux Quantum Cells for a 10-Nb-Layer Process*, Physica C, 469, 2009, 1670-1673.
- [5] K. Takagi, M. Tanaka, S. Iwasaki, et al.: *SFQ Propagation Properties in Passive Transmission Lines Based on a 10-Nb-Layer Structure*, IEEE Transactions on Applied Superconductivity, Vol. 19, No. 3, June 2009.
- [6] N. Kito, K. Takagi, N. Takagi: *Automatic Wire-Routing of SFQ Digital Circuits Considering Wire-Length Matching*, IEEE Transactions on Applied Superconductivity, Vol. 26, No. 3, April 2016.
- [7] Pei-Yi Cheng, Kazuyoshi Takagi, Tsung-Yi Ho: *Multi-Terminal Routing with Length-Matching for Rapid Single Flux Quantum Circuits*, (Invited Paper) ICCAD '18, November 5-8, 2018.
- [8] Y. Kohira, S. Suehiro, A. Takahashi: *A Fast Longer Path Algorithm for Routing Grid with Obstacles using Biconnectivity based Length Upper Bound*, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 2009 年 E92.A 巻 12 号 p. 2971-2978.
- [9] E. W. Dijkstra: *A note on two problems in connexion with graphs*, Numerische Mathematik, December 1959, Volume 1, Issue 1, pp 269-271.
- [10] U. Brenner and A. Rohe: *An Effective Congestion-Driven Placement Framework*, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 22, No. 4, April 2003.
- [11] Raia T. Hadsell and Patrick H. Madden: *Improved Global Routing through Congestion Estimation*, Proceedings 2003. Design Automation Conference (IEEE Cat. No.03CH37451), 2-6, June 2003.
- [12] Jhih-Rong Gao, Pei-Ci Wu and Ting-Chi Wang: *A New Global Router for Modern Designs*, 2008 Asia and South Pacific Design Automation Conference, 21-24, March 2008.