

# 先端微細加工プロセスで実現する ビアスイッチFPGAの性能解析

荒木 佑介<sup>1,a)</sup> 松田 崇史<sup>1</sup> 塩見 準<sup>1</sup> 小野寺 秀俊<sup>1</sup>

**概要**：現在、金属配線層中に実現したプログラマブルデバイスであるビアスイッチが 65 nm プロセスで開発されている。同時に、このビアスイッチをプログラマブル配線に用いたビアスイッチ FPGA の開発が進められている。一方、集積回路製造プロセスは微細化が進んでいる。ビアスイッチ自体も、先端微細加工プロセスでの開発が進む事が期待される。本稿では、65 nm プロセスで実現されるビアスイッチ FPGA とともに、より微細化が進んだプロセスで実現した場合の性能を解析する。具体的には、28 nm と 7 nm を取り上げ、ビアスイッチ FPGA の集積規模、動作周波数、消費エネルギーを評価する。また、微細化とともに配線抵抗の増加が動作周波数の向上の制約となっていることを示し、長距離低抵抗配線の有効性を明らかにする。

## 1. 序論

製造後でも使用者側で自由にその論理を変更することのできる論理回路である FPGA (Field-Programmable Gate Array) は広く用いられている [1]。しかし従来の FPGA では配線の切り替え部分に SRAM が使用されている。プログラマブル配線のために多大なシリコン面積が必要となる。チップ全体の 78% をプログラマブル配線が占めるといふ報告もあり、面積効率の悪化を招いている [2]。さらに、スイッチとしてトランジスタが利用されているため、特に低電圧動作時にはそのオン抵抗が大きくなることで遅延の増大を引き起こすという問題がある。

そこで、現在ビアスイッチという素子を用いた FPGA であるビアスイッチ FPGA の開発が進んでいる。ビアスイッチは金属層に実装され、配線の切り替えとその状態の記憶が可能である [3]。したがって状態の記憶に SRAM が不要であるためトランジスタ層の面積が削減されて面積効率が改善する。さらにスイッチが金属なのでトランジスタに比べてオン抵抗が低く、遅延の減少も期待できる。

現在このビアスイッチ FPGA は 65 nm プロセスで開発が行われているが、半導体の加工プロセスは微細化が進んでいる。微細化により、集積度の向上や低電圧動作による省エネルギー化といった利点が挙げられるが、一方で設計規則の制約の増加や配線抵抗の上昇といった問題点がある。

本稿では、現在開発が進んでいる 65 nm プロセスとともに、更に先端な加工プロセスでビアスイッチ FPGA を実

現した場合の性能を予測する。先端微細加工プロセスとしては、28 nm と 7 nm を採用した。構成を以下に示す。第 2 章ではビアスイッチとビアスイッチ FPGA について説明する。第 3 章では先端プロセスの概要を述べ、性能評価方法を説明する。第 4 章で各製造プロセスでの集積規模、動作周波数、消費電力を評価した結果を示す。また、微細化に伴う各性能項目の制約要因を解析し、解決策について検討する。第 5 章で結論を述べる。

## 2. ビアスイッチ FPGA

本章では、ビアスイッチとビアスイッチ FPGA の構造について説明する。

### 2.1 ビアスイッチ

ビアスイッチの構造を図 1(a) に示す。非線形素子であるバリスタ 2 個と、相補的に組み合わせた原子スイッチ 2 個で構成される [4]。図 1(b) には、ビアスイッチを抵抗と容量で表現した等価回路を示す。 $R_{va}$  と  $C_{va}$  はバリスタの抵抗と容量であり、 $R_{on}/R_{off}$  と  $C_a$  は原子スイッチのオン抵抗/オフ抵抗と容量である。

原子スイッチは金属配線層である BEOL (back end of line) 層に実装される不揮発性の抵抗変化型スイッチの 1 種である [5]。図 1(a) で示すように Cu 電極と Ru 電極で固体電解質を挟んだ構造をしており、Ru 電極に対して Cu 電極の方を高電位にすると Cu 原子が析出して固体電解質内に Cu 原子の架橋が形成される [4]。これによって両電極間が導通し、オン状態に遷移する。逆に Cu 電極よりも Ru 電極の方を高電位にすると架橋が消失してオフ状態に遷移

<sup>1</sup> 京都大学大学院情報学研究所  
Graduate School of Informatics, Kyoto University  
<sup>a)</sup> araki@vlsi.kuee.kyoto-u.ac.jp

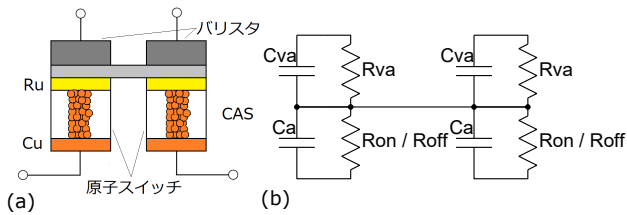


図 1 ビアスイッチの構造と等価回路.

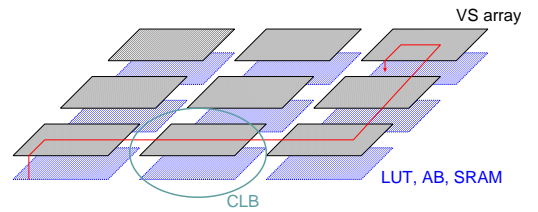


図 3 ビアスイッチ FPGA の構造.

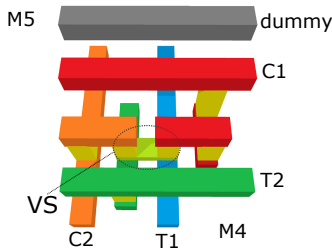


図 2 クロスポイントの構造.

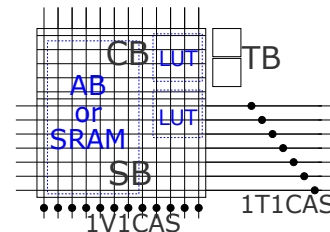


図 4 CLB 構造.

する.

ビアスイッチには、信号線が原子スイッチ側に、書き込み消去時に使用される制御線がバリスタ側に接続されている [3]. ビアスイッチ 1 個と、それに接続された信号配線 2 本ならびに制御配線 2 本で構成されるプログラマブル配線の基本構造をクロスポイントと呼ぶ. 今回の検討では、図 2 に示すレイアウト構造を想定した. 金属層 4 層 (M4 層) と金属層 5 層 (M5 層) それぞれに信号配線と制御配線を配置し、ビアスイッチは M4 層と M5 層の間に形成する. クロスポイントの寸法は、縦横方向はともに  $8F$  である. ここで、 $F$  は最小加工寸法である. 先端微細加工プロセスへの適合性を上げるために、ピッチの等しい 1 次元配線のみで構成する構造とした. このレイアウト構造は、ビアスイッチ部分の設計基準を満たすものであるが、一般配線部分に  $1F$  間隔の電位の異なるビアが 1 箇所存在する. ロジック用の設計規則で禁止しているプロセスもあるが、ビアスイッチはランダムレイアウトではなく、周期性の高いレイアウトなので、製造上の管理でロジック用設計規則の緩和が可能と仮定する.

## 2.2 ビアスイッチ FPGA の構造

ビアスイッチ FPGA は、配線交換や論理回路部への入出力をプログラマブルに行うために金属配線層に実装したクロスバ配線と、その直下のトランジスタ層に実装したプログラマブル論理回路により構成される CLB (Configurable Logic Block) を基本構成要素とする. CLB をアレー状に敷き詰めることにより、ビアスイッチ FPGA を構成する. 図 3 にその構造を示す [6].

図 4 に CLB の構造を示す. CLB は、細粒度プログラマブルロジックと疎粒度回路で構成されている. 細粒度プログラマブルロジックは、2 個の 5 入力 LUT (Look-Up Table) とその真理値表を実現する TB (Truth table Block) で構

成される. 疎粒度回路としては、算術論理演算回路 (AB: Arithmetic Block) もしくはメモリ回路 (SRAM) が用意されており、これらは複数の CLB に分散配置されている [6]. 今回の検討では、2 個の CLB を 1 組として、AB 1 個を配置した回路と、2 個の SRAM を配置した回路を想定する. 2 個 1 組の CLB は、文献 [6] における unit tile に相当する. CLB の配線部分はクロスバ構造となっており、論理回路部分への入出力を担う CB (Connection Block) と、配線切り替えを担う SB (Switch Block) で構成されている. CB と SB とで、横 90 個と縦 127 個のビアスイッチで構成されるクロスバ配線が実現されている.

SB を貫く配線は、隣接する CLB 間でプログラマブルスイッチをはさんで接続されている. 横方向配線のスイッチは 1T1CAS 構造 [7] で、縦方向配線のスイッチはビアスイッチからバリスタ 1 個を削除した 1V1CAS 構造である. 1T1CAS 構造は、プログラミング時の書き込み/消去電圧印可制御をトランジスタで行っている. ゲートへの制御信号を供給するために、横方向配線数に等しい本数の縦方向配線を配置している.

## 3. ビアスイッチ FPGA の性能評価

本章では、先端微細加工プロセスとそれにおけるビアスイッチの特性予測、チップ性能の評価方法を述べる.

### 3.1 先端微細加工プロセスの概要

本稿においての性能評価に用いる、65 nm プロセスより先端なプロセスの例として、28 nm プロセス、7 nm プロセスを取り上げる. 65 nm プロセスは現在ビアスイッチ FPGA の試作に用いられているバルクプロセスを想定している. 28 nm プロセスは 65 nm プロセスよりも先端なプロセスの例として取り上げ、7 nm プロセスは現時点における最先端プロセスの例として採用した. 文献 [8]

の 7 nm プロセスでは、M1 層から M3 層までは EUV 露光 (Extreme UltraViolet) を使用する。M4 層から M7 層にかけては SADP (Self-Aligned Double Patterning) で形成する。今回の検討では、EUV 層を 5 層まで拡張し、EUV 層でビアスイッチを実現することを想定した 7 nm (EUV) プロセスと、文献 [8] の SADP 層で実現する 7 nm (SADP) の 2 通りを考えた。

以上の各プロセスにおける特性を表すものとして、最小線幅  $F$  [8], [9] や電源電圧値、標準トランジスタの出力抵抗値や 7 段のファンアウト 4 リングオシレータ (RO) 発振周波数を表 1 に示す。後述するビアスイッチの各種パラメータも掲載している。ここで、出力抵抗や RO 発振周波数は回路シミュレーションにより評価した。微細化により、出力抵抗は大きく変わらないが、ゲート容量や接合容量の削減により周波数は大きく向上している。

次に、先端プロセスにおけるビアスイッチについて述べる。原子スイッチとバリスタから構成されるビアスイッチは、実装される製造プロセスに適合するよう開発されるものとする。そこで、先端加工プロセスで実現されるビアスイッチのデバイス特性を、文献 [6] に示される 65 nm プロセスにおける性能に基づき、以下の仮定の下で予測した。

- 原子スイッチやバリスタの極板間膜厚は電源の定格電圧に比例して縮小される。
- 原子スイッチやバリスタの極板面積は、ビア開孔面積に応じて縮小される。
- バリスタは実現プロセスに関わらず一定の特性となるよう材料や構造の開発が進む。

プロセス微細化にともなうビアスイッチのデバイス特性は、以下のように予測した。

- 原子スイッチのオフ抵抗  $R_{off}$  は、ビア開孔面積に反比例し、極板間膜厚に比例する。
- 原子スイッチのオン抵抗  $R_{on}$  は、Cu 架橋の直径が 10nm 程度 [10] であることから、ビア開孔径が 10nm までは一定とする。
- バリスタの通常動作時抵抗  $R_{va}$  は一定とする。
- 原子スイッチとバリスタの寄生容量  $C_v$  は、ビア開孔面積に比例し、極板間電圧に反比例する。

以上に従ってビアスイッチを構成する素子のパラメータを予測した結果を表 1 に示す。

## 3.2 性能の評価方法

集積度、動作周波数、消費電力の観点からチップ全体の性能評価を行うので、その方法を述べる。

### 3.2.1 集積度の評価方法

各プロセスにおけるチップ面積は、以下の方法で評価した。ビアスイッチ FPGA は、図 4 に示した CLB を敷き詰めた構造となっている。図 4 には、クロスバ配線の基本構造のみが記載されている。実際の CLB には、クロスバ配線

に使用する面積以外に、ビアスイッチへの書き込み制御用回路などの周辺回路や、電源メッシュなどの領域が必要になる。そこで、実際に 65 nm プロセスで実装された CLB の面積を基準として、各プロセスでは  $F$  値に基づいたスケールリングを行い該当プロセスの CLB の面積とした。

### 3.2.2 動作周波数の評価方法

FPGA において、動作速度やクロック周波数を決定しているのはチップ上に実装した回路のクリティカルパス遅延である。クリティカルパスとして FF の出力から次段の FF の入力まで、5 段の LUT を通過するネットを想定した。1 段あたりの配線長としては、CLB 5 個分の距離を仮定した。すなわち、出力側の FF を含む CLB からクロスバに信号を出力し、5 個分の CLB を通過して入力側の CLB に到達し、そのクロスバから LUT に伝達信号を入力する。LUT 内を信号が伝達した後、同じ CLB のクロスバから次段の LUT に向けて信号を出力する。このクリティカルパスに含まれる論理回路部分 (LUT) と配線部分のトランジスタレベルのネットリストを作成し、回路シミュレーションにより動作遅延を評価した。

LUT 部分のネットリストとしては、AOI22 (And-Or-Invert22) を中心とするマルチプレクサ構造の回路を用いた。実装する論理は、TB 入力部のゲートの駆動する容量負荷が最も大きく遅延が最大になると考えられる  $Y = A$  とした。この LUT に、クリティカルパスと考えられるパスが活性化するようなパターンを入力した。

配線部分のネットリストは、配線経路上にあるすべてのクロスポイントや配線間スイッチの等価回路を接続することにより作成した。実際の CLB 設計においては、用いるセルライブラリや論理合成制約の違いにより、設計結果には評価対象回路とは異なる部分が生じる。これにより、遅延時間も異なってくる。65 nm プロセスでの設計実験により、両者の割合が判明している。そこで、すべてのプロセスにおいて、評価回路で求めた遅延時間を同じ割合で調整することとした。

### 3.2.3 消費エネルギーの評価方法

遅延評価用のネットリストを用いることにより、消費エネルギーも回路シミュレーションにより評価した。LUT 部の動的消費エネルギーを求めるために、ランダムな 100 パターンの入力を与えた際の総消費エネルギーと活性化率を評価した。LUT 部分に実現する論理としては、AND と XOR とともに真理値表にランダムな値を割り付けた 3 種類の論理を用意した。実際の回路で想定する活性化率で補正することにより、評価回路の動的消費エネルギーを計算することができる。なお、遅延時間の評価と同様に、65 nm プロセスで設計した回路と評価回路で求めた消費エネルギーの比を用いて、すべてのプロセスで補正を行った。

配線部の動的ならびに静的消費エネルギーは、遅延評価用回路の回路シミュレーション結果より、配線 1 本あたり

表 1 プロセスごとのパラメータ.

| プロセス        | $F$ (nm) | $R_{on}$ ( $\Omega$ ) | $R_{off}$ (M $\Omega$ ) | $C_a, C_{va}$ (fF)   | 定格電圧 (V) | Tr. 出力抵抗 (k $\Omega$ ) | RO 周波数 (GHz) |
|-------------|----------|-----------------------|-------------------------|----------------------|----------|------------------------|--------------|
| 65 nm       | 100      | 200                   | $2.0 \times 10^2$       | $1.4 \times 10^{-1}$ | 1.2      | 5.4                    | 1.42         |
| 28 nm       | 50       | 200                   | $6.7 \times 10^2$       | $4.2 \times 10^{-2}$ | 1.0      | 5.5                    | 4.06         |
| 7 nm (SADP) | 24       | 200                   | $2.0 \times 10^3$       | $1.4 \times 10^{-2}$ | 0.7      | 4.5                    | 7.10         |
| 7 nm (EUV)  | 18       | 200                   | $3.6 \times 10^3$       | $7.8 \times 10^{-3}$ |          |                        |              |

の消費エネルギーを計算した。

CLB には、算術論理演算回路 AB もしくはメモリ回路 SRAM が搭載されている。論理回路部の消費エネルギーについては、回路内の全トランジスタのチャンネル幅の総和に比例すると仮定した。SRAM の消費エネルギーについては、65 nm での値はデータシートから得られる。その他のプロセスについては、LUT の消費エネルギーのプロセス依存性と同一依存性を持つものと仮定して計算した。

#### 4. 先端微細加工プロセスで実現するピアスイッチ FPGA

本章では、ピアスイッチ FPGA の性能評価結果を示す。次に性能を制約する要因について考察し、プロセス微細化に伴う課題とその解決策について、7 nm プロセスを例にとり検討する。

##### 4.1 チップレベルの性能評価

ピアスイッチ FPGA のチップレベル性能を評価するにあたり、以下の 2 通りのチップモデルを用いる。

- (1) チップ面積を 5 mm 四方に固定したチップ面積一定のモデル。
- (2) 搭載 CLB の数を、65 nm のピアスイッチ FPGA のものに固定した、回路規模一定のモデル。

モデル (1) について、搭載可能な CLB 数を評価した結果を図 5 に示す。65 nm プロセスのピアスイッチ FPGA には、合計 1152 個の CLB が搭載されている。このうち、576 個には AB が搭載され、576 個には SRAM が搭載されている。従って、LUT, AB, SRAM の総数は、それぞれ 2304 個、576 個、1152 個となる。65 nm プロセスと比較して、28 nm では 4 倍、7 nm (SADP) では 17 倍、7 nm (EUV) では 31 倍の CLB を搭載することが可能となる。

図 6 に、各プロセスにおけるクリティカルパス遅延量と対応する動作可能周波数を示す。クリティカルパス遅延について、LUT 部遅延と配線遅延のそれぞれが占める割合も示した。動作可能周波数は、65 nm プロセスと比較して、28 nm で 2.1 倍、7 nm ではいずれも 3.2 倍となる。遅延成分の内訳をみると、微細化に伴い LUT 部の遅延時間が大きく減少している。表 1 に示したリングオシレータの発振周波数から予測される値とほぼ一致した高速化が達成されている。一方、LUT 部遅延と配線遅延の割合をみると、微細化に伴い配線遅延の割合が増加している。65 nm では配線遅延が 45%であったが、7 nm では 63%に達している。

モデル (1) とモデル (2) について、消費電力を評価した結果を図 7 と図 8 に示す。LUT, AB, SRAM, 配線のそれぞれにおける消費電力の内訳も記載した。消費電力の評価にあたり、次の仮定を用いた。

CLB の LUT 使用率は 100%, AB の使用率は 30%, 配線使用率は 10%とする。論理回路部の活性化率は 0.1 で、SRAM は全体の 10%が毎サイクルアクセスされる状態を想定する。各チップは、動作可能最大周波数で稼働している。

まず、回路規模が一定の場合 (図 8)、動作周波数の向上にもかかわらず、微細化とともに消費電力は減少している。また、配線部分の消費電力が占める割合は微細化と共に減少する。7 nm プロセスでは、配線部分の消費電力は 7.1%に減少し、大部分の電力は論理回路部分で消費されている。

チップ面積一定の場合 (図 7) には、集積規模の増大により、消費電力は増大する。65 nm プロセスで 101 MHz 動作における消費電力は 102 mW であるが、28 nm プロセスでは 4 倍の回路規模で 209 MHz 動作の場合、236 mW に増加する。7 nm (SADP) プロセスでは、17 倍の回路規模で 319 MHz 動作の場合、505 mW を消費する。7 nm (EUV) プロセスでは、回路規模が 65 nm プロセスの 31 倍になり、318 MHz 動作での消費電力は 870 mW と予想される。

##### 4.2 微細化に伴う性能制約要因の分析と対策

###### 4.2.1 要因の分析

先に述べたクリティカルパスモデルにおける 1 段当たりの伝搬遅延に注目し、まず配線遅延を解析的に評価する。遅延時間を評価した際の配線部分のネットリストに対し、エルモア遅延を求めた。求めた遅延時間は、ドライバの出力抵抗  $R_g$  に関する項、ピアスイッチのオン抵抗  $R_{on}$  に関する項、配線抵抗  $R_w$  に関する項から構成される。

この方法により配線遅延とその内訳を求めた結果を図 9 に示す。プロセスの微細化により配線長が減少するため、配線遅延自体は減少する。しかし、LUT の動作遅延ほど大幅には削減されない。さらに、プロセス微細化が進むほど削減量は少なくなる。28 nm プロセスでは、65 nm プロセスから配線遅延は 42%削減されたが、7 nm プロセスの場合、28 nm プロセスからの削減量は 25%に留まる。

図 9 において配線遅延の内訳を見ると、65 nm プロセスでは  $R_{on}$  に起因する遅延が全体の 53%を占めている。微細化が進むにつれ、ピアスイッチのオン抵抗に起因する遅延は減少し、配線抵抗に起因する遅延が急増する。7 nm (SADP)

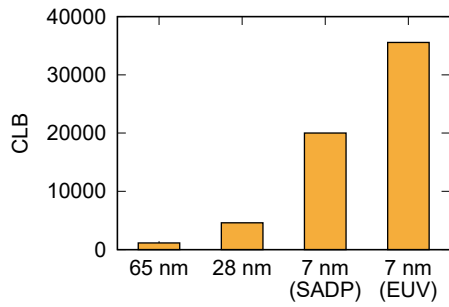


図 5 プロセスごとの CLB 数.

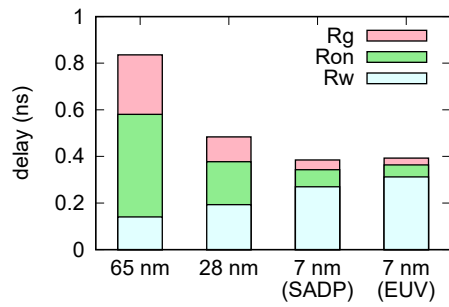


図 9 抵抗成分ごとの配線遅延.

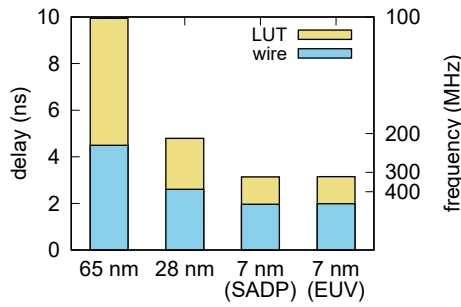


図 6 プロセスごとの動作周波数.

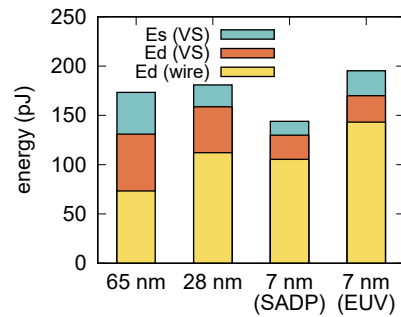


図 10 配線部分の成分ごとの消費エネルギー.

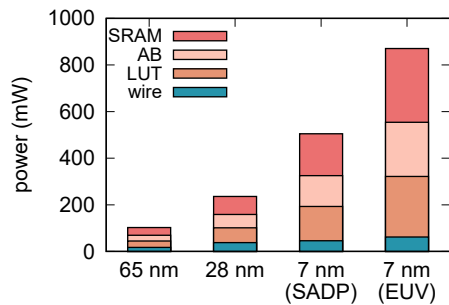


図 7 5 mm 角チップにおけるプロセスごとの消費電力.

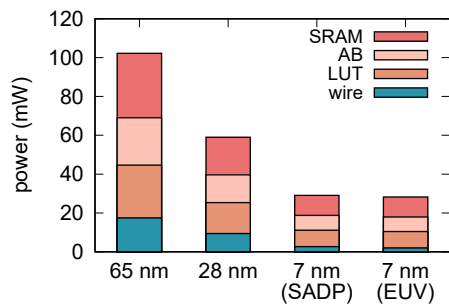


図 8 同規模のチップにおけるプロセスごとの消費電力.

プロセスでは配線遅延の70%が、7 nm (EUV) プロセスでは79%が配線抵抗により発生している。これは、微細化に伴い配線抵抗の値が急増することに起因する。配線抵抗増加に対する対策が必要である。一方、ビアスイッチのオン抵抗に起因する配線遅延は微細化とともに減少する。例えば、ビアスイッチのオン抵抗が200 Ω から1 kΩ に増加した場合、65 nm プロセスでは配線遅延は0.90ns から2.7ns と3.0倍に増加するが、7 nm (EUV) プロセスの場合には0.40 ns から0.63 ns への増加に留まる。

次に、モデル(1)において、クロック1周期における配

線部分の消費エネルギーを分析する。動的消費エネルギーは、配線間容量  $C_w$  によるものと、ビアスイッチの寄生容量  $C_v$  によるものから構成される。静的消費エネルギーは、ビアスイッチのオフ抵抗により発生する。それぞれを、 $E_d$  (wire),  $E_d$  (VS),  $E_s$  (VS) で表し、各製造プロセスでの消費エネルギーを求めた結果を図10に示す。CLB数の増加にもかかわらず、層間絶縁膜の低誘電率化や電源電圧の低下などにより合計の消費エネルギーはほぼ一定である。成分毎に見ると、微細化とともに配線間容量に起因する消費エネルギーが増加して支配的になる一方、ビアスイッチに起因する消費エネルギーは漸減傾向にある。層間絶縁膜の低誘電率化が、消費エネルギー削減と配線遅延削減の双方に対して効果的である。

#### 4.2.2 性能向上方法

先の検討で、微細化に伴い配線遅延が支配的となることが判明した。配線遅延の削減には、長距離配線の導入や信号配線幅の拡大が考えられる。長距離配線を幅の広い配線を実現することにより、配線抵抗が削減されるとともにCLB間の境界を跨ぐ際に通過するビアスイッチに起因する抵抗を削除することができる。信号線幅を拡大することにより、配線抵抗が削減される。その一方で、クロスポイント寸法の増加により、集積度は低下する。さらに、配線幅の設定に自由度のある製造プロセスに限られる。今回対象とした7 nm プロセスでは、SADPには適用できず、EUVを用いる場合のみ対応が可能である。以上の改善策の効果について、7 nm プロセスを例にとり検討する。

まず、長距離配線の導入効果を評価する。今回想定する長距離配線は、信号出力側CLBのSBに配置する長距離配

線専用トラックから上層の幅広配線に接続し、中間の CLB をバイパスして信号受信側の CLB に入力する構造とする。今回の評価では、一例として 10 個の中間 CLB を線幅が 2 倍の配線でバイパスする構造を取り上げた。SADP を用いる場合と EUV を用いる場合のいずれについても配線遅延が 70%削減され、大きな効果が確認できた。

次いで、7 nm (EUV) を対象にして、配線幅の拡大効果について評価した。3.2.2 節と同様に、CLB 5 段を通過して信号を伝える回路を対象として、配線間隔は最小に保ち、配線幅のみを 18 nm から 36 nm まで広げた場合の配線遅延を評価した。その結果、配線幅拡大と共に遅延時間は減少し、36 nm に拡大した場合には遅延時間が 30%削減された。一方、配線幅拡大によりクロスポイントの面積が拡大し、36 nm に拡大した場合には集積度は 20%低下する。従って、集積度と遅延時間のトレードオフを適切に設定することが必要である。

## 5. 結論

金属配線層に実装されるビアスイッチを配線のプログラミングに用いるビアスイッチ FPGA について、現在開発が進んでいる 65 nm プロセスでの性能評価とともに、より先端な微細加工プロセスで実現した場合の性能解析を行った。評価対象項目は、回路規模、動作速度、消費エネルギーである。ビアスイッチを用いたクロスバを微細プロセスに適合した規則的レイアウトで実現することを想定し、回路規模は各プロセスの最小加工寸法より算出した。動作速度と消費エネルギーは、ビアスイッチ FPGA のトランジスタレベルの等価回路を用いて回路シミュレーションにより導出した。いずれの数値も、65 nm プロセスで開発が進んでいるビアスイッチ FPGA の設計結果を利用して、導出結果の補正を行った。その結果、5 mm 角チップに実現したビアスイッチ FPGA は、65 nm プロセスで実現した場合には 5 入力 LUT 2304 個、算術演算ユニット 576 個、SRAM 1152 個が搭載可能で、101 MHz 動作時の消費電力は 102 mW となる。65 nm と比較すると、集積規模は 28 nm プロセスの場合に 4 倍、7 nm プロセスで SADP を用いる場合には 17 倍、EUV を用いる場合には 31 倍に増加する。動作周波数と消費電力は、28 nm プロセスでは 209 MHz で 236 mW、7 nm (SADP) プロセスでは 319 MHz で 505 mW、7 nm (EUV) プロセスでは 318 MHz で 870 mW となった。動作速度を律速する要因を調べた結果、プロセス微細化にともなう配線抵抗の増加が主要因であることが明らかになった。本課題の解決策として、長距離配線の導入と配線幅の拡大について検討し、長距離配線の導入が特に効果的であることを示した。

**謝辞** 本研究は、JST CREST (グラント番号 JPMJCR1432) の支援を受けたものである。日頃御議論頂く CREST 共同研究者各位に感謝する。特に、NEC 多田宗弘様からは、ビアスイッ

チの性能予測や微細プロセス対応レイアウトに関して貴重な意見を頂いた。

## 参考文献

- [1] I. Kuon and J. Rose, "Measuring the gap between fpgas and asics," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 2, pp. 203–215, Feb 2007.
- [2] M. Lin, A. E. Gamal, Y. Lu, and S. Wong, "Performance benefits of monolithically stacked 3-d fpga," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 2, pp. 216–229, Feb 2007.
- [3] N. Banno, M. Tada, K. Okamoto, N. Iguchi, T. Sakamoto, M. Miyamura, Y. Tsuji, H. Hada, H. Ochi, H. Onodera, M. Hashimoto, and T. Sugibayashi, "A novel two-varistors (a-si/sin/a-si) selected complementary atom switch (2v-1cas) for nonvolatile crossbar switch with multiple fan-outs," in *2015 IEEE International Electron Devices Meeting (IEDM)*, Dec 2015, pp. 2.5.1–2.5.4.
- [4] N. Banno, M. Tilda, K. Okamoto, N. Iguchi, T. Sakamoto, H. Hada, H. Ochi, H. Onodera, M. Hashimoto, and T. Sugibayashi, "50 × 20 crossbar switch block (csb) with two-varistors (a-si/sin/a-si) selected complementary atom switch for a highly-dense reconfigurable logic," in *2016 IEEE International Electron Devices Meeting (IEDM)*, Dec 2016, pp. 16.4.1–16.4.4.
- [5] M. Tada, K. Okamoto, T. Sakamoto, M. Miyamura, N. Banno, and H. Hada, "Polymer solid-electrolyte switch embedded on cmos for nonvolatile crossbar switch," *IEEE Transactions on Electron Devices*, vol. 58, no. 12, pp. 4398–4406, Dec 2011.
- [6] H. Ochi, K. Yamaguchi, T. Fujimoto, J. Hotate, T. Kishimoto, T. Higashi, T. Imagawa, R. Doi, M. Tada, T. Sugibayashi, W. Takahashi, K. Wakabayashi, H. Onodera, Y. Mitsuyama, J. Yu, and M. Hashimoto, "Via-switch fpga: Highly dense mixed-grained reconfigurable architecture with overlay via-switch crossbars," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 1–14, 2018.
- [7] M. Miyamura, T. Sakamoto, M. Tada, N. Banno, K. Okamoto, N. Iguchi, and H. Hada, "Low-power programmable-logic cell arrays using nonvolatile complementary atom switch," in *Fifteenth International Symposium on Quality Electronic Design*, March 2014, pp. 330–334.
- [8] L. T. Clark, V. Vashishtha, L. Shifren, A. Gujja, S. Sinha, B. Cline, C. Ramamurthy, and G. Yeric, "Asap7: A 7-nm finfet predictive process design kit," *Microelectronics Journal*, vol. 53, pp. 105 – 115, 2016.
- [9] L. Filipovic, R. L. de Orio, W. H. Zisser, and S. Selberherr, "Modeling electromigration in nanoscaled copper interconnects," in *2017 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, Sep. 2017, pp. 161–164.
- [10] M. Tada, T. Sakamoto, K. Okamoto, M. Miyamura, N. Banno, Y. Katoh, S. Ishida, N. Iguchi, N. Sakimura, and H. Hada, "Polymer solid-electrolyte (pse) switch embedded in 90nm cmos with forming-free and 10nsec programming for low power, nonvolatile programmable logic (npl)," in *2010 International Electron Devices Meeting*, Dec 2010, pp. 16.5.1–16.5.4.