

バンドギャップ基準電源回路を対象とした BIST 手法の評価

猪岡柚香^{†1} 橘昌良^{†1}

本論文では BGR (Band-Gap Reference) 回路に対する MOSFET のオープンやショートなどの致命的な故障を検出する BIST 手法の概要と実測による評価について述べる。提案した 0.18 μm CMOS テクノロジーで設計したオンチップ BIST 手法は、外部テスト信号を使用し、カタストロフィック故障の検出を行う。論理素子からなるテスト応答解析器で BGR 回路内から 3 つのテストポイントを取り、期待される正常値と比較し、得られたテスト結果をデジタル信号として出力する。シミュレーションでは、8.8%の低い面積オーバーヘッドで 92.4%の高い故障検出率が得られた。

Evaluation of BIST Scheme for Band Gap Reference Circuit

YUKA INOOKA^{†1} MASAYOSHI TACHIBANA^{†1}

This paper presents a Built-In Self-Test (BIST) scheme for detecting catastrophic faults of a MOSFET in the bandgap reference circuit and evaluation of this scheme. The proposed on-chip BIST scheme in 0.18- μm CMOS technology has offered catastrophic faults detection with external test signal. Output response analyzer composed of logical components compares expected voltages and observed voltages on three test-points in bandgap reference which is improved for test operation outputs the test result as a digital signal. The demonstrations show that fault coverage and area overhead are 92.4% and 8.8%, respectively.

1. はじめに

近年の製造技術の向上に伴い、回路素子の製造コストは減少傾向にある。その一方で、LSI (Large Scale Integration) の集積度の増加と微細化が進むことにより、テストコストは上昇し、大きな課題となっている。その要因としては、チップ内の回路規模の増加により、LSI の可制御性や可観測性が悪くなることが挙げられる。そこで、一般に可制御性や可観測性の改善するためにテスト容易化設計 (DFT : Design For Testability) を用いる。その DFT の代表的な手法の一つが組み込み自己テスト (BIST : Built-In Self-Test) である。しかし、アナログ LSI を対象とした BIST には多くの課題が存在するため、実用化例は未だ少ない。

そこで本研究では、ミックスドシグナル LSI でよく用いられる参照電源電圧回路の一つである BGR (Band-Gap Reference) 回路内の MOSFET のカタストロフィック故障の検出をおこなう BIST の設計を目的とした。BGR 回路をテスト対象回路 (CUT : Circuit Under Test) とした提案 BIST では、パラメトリック故障の検出はできず、カタストロフィック故障のみしか検出ができない。しかし、この提案 BIST をパラメトリック故障の検出をおこなうオフチップテスト工程の前に用いると、未然にカタストロフィック故障が検出されたチップを排除し、オフチップテスト工程に回されるチップ数を減少させることができる。これにより、テストコストの削減を狙った。

2. バンドギャップ基準電源回路

図 1 に示した BGR 回路を設計し、CUT として用いた。BGR 回路は、バンドギャップ基準電源回路とも呼ばれ、一般に A-D コンバータ等の集積回路に広く用いられている。基準電源回路とは、温度環境の変化や製造プロセス、電源電圧の変動によらず、一定の電圧が出力される回路である [1]。

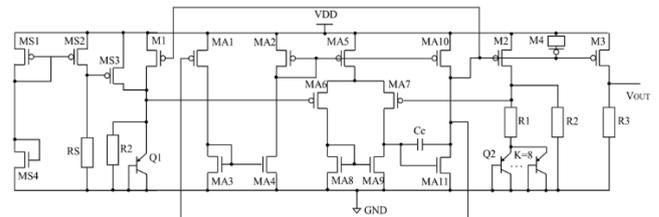


図 1 提案 BGR 回路

スタートアップ回路[2]と BGR コアによって構成されている。BGR 回路には、M1, M2 に電流が流れている状態、流れていない状態の 2 つの動作状態がある。スタートアップ回路は、M1, M2 に電流が流れている状態で BGR を動作させるために付加している。電源電圧が立ち上がり始めると、トランジスタ MS4 がオン状態になって電流を流し、M1, M2 に電流が流れ始める。これによりオペアンプが起動し BGR 回路が通常動作する。さらに電源電圧が上昇し、カレントミラー MS1, MS2 に流れる電流が増加すると、抵抗 Rs にかかる電圧が上昇し、MS4 がオフ状態になる。

BGR コアは図 2 に示すような構成となっている。動作

^{†1} 高知工科大学
Kochi University of Technology.

原理としては、BJT とオペアンプにより正の温度依存性 PTAT と負の温度依存性 CTAT が足しあわされた電流が生成される。しかし、この電流は抵抗の温度特性を持っているため、出力の抵抗で抵抗の温度依存性をキャンセルし、温度に依存しない出力電圧が生成される。

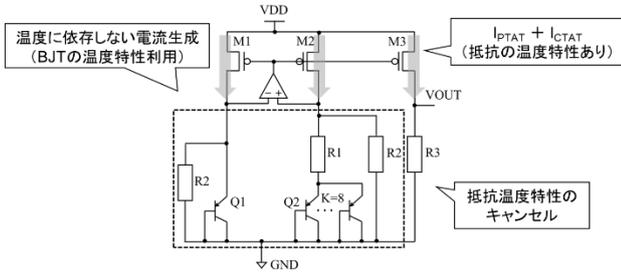


図 2 BGR コア

また、低電圧で動作しながら高い利得を得られるよう、M1, M2, M3 のカレントミラーにオペアンプを接続し、レギュレーテッド・カスコード構成とした。出力段には、素子ばらつき等の影響を抑え、参照電圧の安定を保證するため、ソース、ドレインおよびボディを電源電圧 VDD に接続した M4 を M2 と M3 のゲートに挿入した [3]。オペアンプは、1 段目を差動増幅回路、2 段目をソース接地増幅回路とし、組み合わせることで利得を高くした。なお、1 段目の差動増幅回路と 2 段目のソース接地増幅回路の間に 3pF の位相補償用キャパシタ Cc を接続した。バイアス回路は自己バイアスの構成とし、電源電圧の変動の影響を受けにくくした。

3. 故障検出手法の検討

3.1 故障付加シミュレーション

3.1.1 MOSFET の故障付加モデル

シミュレーションにおける BIST 手法の検討および検証では、MOSFET の端子を単純にオープンさせると、シミュレータがエラーを出してしまうため、図 3 に示す故障モデル[4]を用いた。

ショート故障は、MOSFET のゲート、ドレイン、ソースのそれぞれの端子間に 10Ω の小さい値の抵抗を接続することでモデリングしており、オープン故障は、100MΩ の大きい値の抵抗と 10fF の小さい容量のキャパシタを並列接続したものをゲート、ドレイン、ソースのそれぞれの端子に挿入することでモデリングしている。それぞれの故障は、(a) GDS (Gate-Drain Short), (b) GSS (Gate-Source Short), (c) DSS (Drain-Source Short), (d) DO (Drain Open), (e) SO (Source Open), (f) GO (Gate Open) である。この 6 通りの故障モデルを、スタートアップ回路も含む BGR 回路の 19 個の MOSFET にそれぞれ付加してシミュレーションをおこなった。

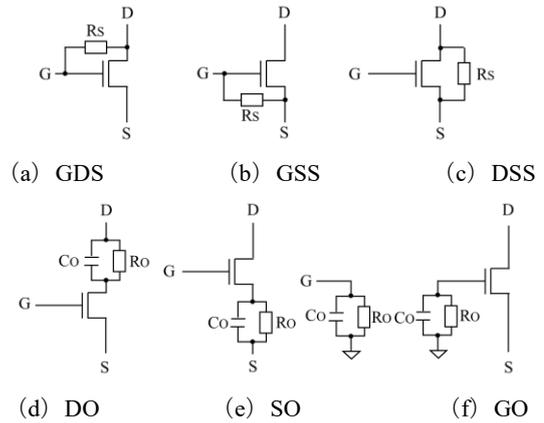


図 3 故障付加モデル

3.1.2 故障付加シミュレーション結果

故障検出方法の検討における、図 1 の提案 BGR 回路に図 3 の 6 通りの故障を付加したシミュレーションから得られた出力電圧 V_{OUT} を図 4 に示す。なお、従来の回路構成でゲートとソースが接続されている MOSFET (MS1, MS4, MA2, MA3, MA8) の GDS および出力電圧を安定させるために挿入した M4 の DSS, DO, SO, GO については、故障を付加しても回路構成が故障なしの場合と同じであるため、故障検出の対象外とした。0.01s 刻みで 0~10s まで変化させた V_{OUT} は図からも分かるように、正常値 1.0V から大きく外れた値と正常値 1.0V 付近の値の大きく 2 つに分けられる結果が得られることが分かった。そのうち正常値付近を示す故障は表 1 に示した通りであり、スタートアップ回路もしくはオペアンプを構成する MOSFET の多くが正常値に近い値を出力することが分かった。

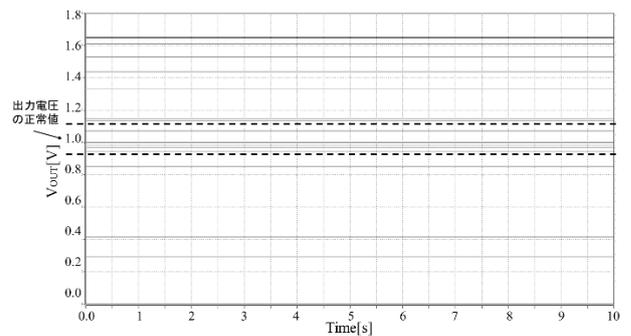


図 4 故障付加シミュレーション結果

表 1 1.0V 付近を出力した故障

故障	MOSFET
GO	M1~M3, MS1~MS4, MA1~MA11
DO	MS1, MS3, MA1, MA2, MA3, MA4, MA5, MA10
SO	MS1, MS3, MA1, MA2, MA4
GDS	MA1, MA4, MA5, MA9, MA10
GSS	MS3, MS4
DSS	MS1, MA5, MS4

3.2 故障検出手順の検討

故障シミュレーションの結果から故障検出手法の検討をおこなった。正常値から大きく外れる故障は、ウィンドウコンパレータと呼ばれる回路を使うことで、故障判別ができると考えた。ウィンドウコンパレータは図 5 に示すような回路構成をしており、入力電圧が指定された電圧範囲内に入った場合に High を出力する。

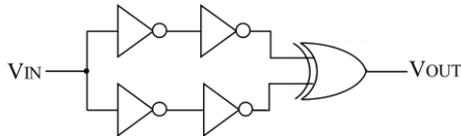


図 5 ウィンドウコンパレータの回路構成

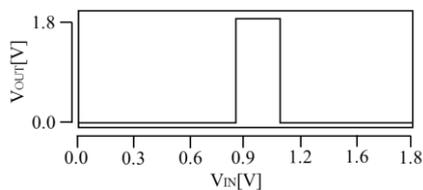


図 6 ウィンドウコンパレータの入出力特性

ウィンドウコンパレータは図 6 に示すような入出力特性を持っており、High を出力する入力電圧範囲は 4 つのインバータのパラメータ (W/L) を調整することで変更可能である。入力電圧範囲を正常値 1.0V 付近に設定することで、正常値 1.0V から大きく外れた値が出力される故障の検出が可能となる[5]。しかし、故障があっても正常値を出力する故障については、別の手法を用いて検出する必要がある。

4. 提案 BIST

4.1 BIST 回路の構成と故障検出手順

提案 BIST 回路の回路構成を図 7 に示す。提案 BIST では、外部の信号で制御できるスイッチ S1 と S2 を作動することで通常動作モードとテストモードを切り替えることができる。この際、スイッチ S1 と S2 が同時に ON, OFF となることはなく、S1 が ON の時に通常動作モード、S2 が ON のときにテストモードとなる。なお、提案 BIST 回路で用いたすべてのスイッチは図 8 に示すトランスマッションゲートを用いた。

テストモードでの故障検出手順を以下に示す。

1. オペアンプの入力 V_{in} -である MA6 のゲートとスタートアップ回路が接続されている箇所を切断する。
2. MA6 のゲートに切断する前の同じ値の電圧 0.7V をテスト入力発生器から入力する。
3. テスト信号を 0.7V から 0V へ、外部からのテスト制御信号によって切り替える。
4. 信号切り替え前後で BGR 回路の出力 V_{out} と CUT の故

障に敏感な 2 箇所のノード V_A と V_B を正常値とテスト応答解析器により比較する。

5. それらの比較によりテスト結果 V_{PF} がデジタル信号の High/Low で出力され、CUT の故障の有無を判断する。

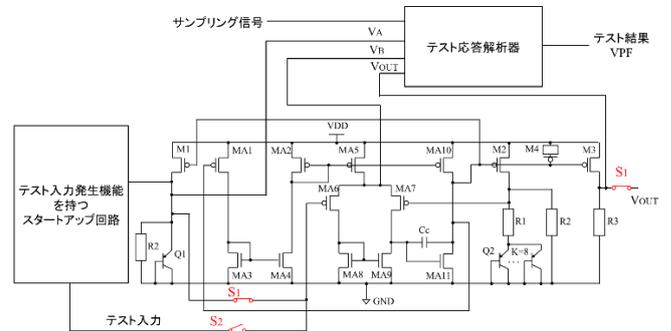


図 7 提案 BIST

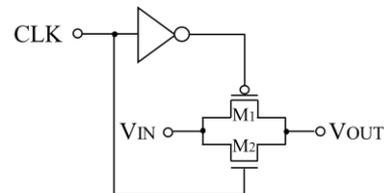


図 8 トランスマッションゲート

4.2 テスト入力発生機能を持つスタートアップ回路

設計したテスト入力発生機能を持つスタートアップ回路の回路構成を図 9 に、回路パラメータを表 2 に示す。スタートアップ回路は電源電圧 V_{DD} が立ち上がる時のみ動作し、 V_{DD} が安定したときには BGR から独立した状態となるため、スタートアップ回路内にテスト入力発生器を組み込むことができる。これにより高密度集積が可能で、スタートアップ回路とテスト入力発生器を分けて実装したときよりも占有面積を減らすことができる[6]。

通常動作モードではテスト入力制御信号 V_{TSC} を Low にすることでスイッチを ON とし、MS5 を OFF とする。その後、 V_{TS} は BGR と切り離されているため、スタートアップ回路は通常動作をする。一方、テストモードでは V_{TSC} を High に切り替えると MS5 が ON となり、グラウンドと接続するため V_{TS} を 0V に設定する。

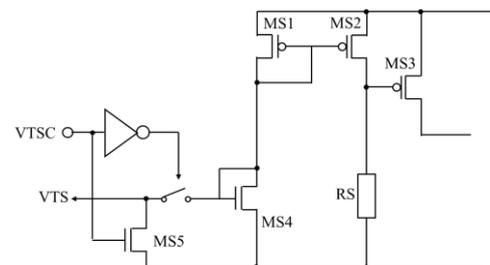


図 9 テスト入力発生機能を持つスタートアップ回路

表 2 提案 CUT の回路パラメータ

回路パラメータ	値	並列数	
スタートアップ回路	MS1, MS3	2.7 μ m/540nm	1
	MS2	2.7 μ m/540nm	2
	MS4	2.7 μ m/1.08 μ m	2
	MS5	2 μ m/180nm	1
	RS	180k Ω	
BGR 回路	M1,M2,M3	2 μ m/2 μ m	1
	M4	5 μ m/10 μ m	2
	R1	11k Ω	
	R2	112k Ω	
オペアンプ	R3	90k Ω	
	MA1,MA2	2.7 μ m/2 μ m	2
	MA3,MA4	2.7 μ m/2 μ m	1
	MA5,MA8,MA9	3.6 μ m/2 μ m	1
	MA6,MA7	5.4 μ m/2 μ m	1
	MA10	5.4 μ m/2 μ m	2
	MA11	10.8 μ m/2 μ m	2
Cc	3pF		

表 3 テスト応答解析器の回路パラメータ

回路パラメータ	値	並列数	
テスト応答解析器	INV11, pMOS	8 μ m/300nm	6
	INV12, nMOS	1 μ m/1.3 μ m	1
	INV13, pMOS	10 μ m/180nm	10
	INV14, nMOS	250nm/6 μ m	1
	INV21, pMOS	4 μ m/200nm	5
	INV22, nMOS	7 μ m/200nm	10
	INV23, pMOS	3.34 μ m/200nm	5
	INV24, nMOS	4 μ m/200nm	2
	INV31, pMOS	4 μ m/300nm	4
	INV32, nMOS	2.3 μ m/400nm	2
	INV33, pMOS	6 μ m/300nm	10
	INV34, nMOS	3 μ m/400nm	1
	Simple, pMOS	6 μ m/180nm	1
	Comparator, nMOS	2 μ m/180nm	1
スイッチ	all pMOS	4 μ m/180nm	1
	all nMOS	2 μ m/180nm	1

4.3 テスト応答解析器

図 10 に本研究で設計したテスト応答解析器の回路構成、表 3 に回路パラメータを示す。CUT から取り出す 3 つのノードは 3 つのウィンドウコンパレータ WC1, WC2, WC3 に入力され、故障判別ができるようにした。それぞれのウィンドウコンパレータが High を出力する入力電圧の範囲は正常値 0.7V, 1.35V, 1.0V に合わせ、0.63~0.81V, 1.26~1.38V, 0.92~1.10V に設計した。

テスト応答解析器の動作としては、まず V_{TS} が 0V となる前に V_A と V_B それぞれの判別結果の AND を取る。さらに、その結果と V_{OUT} との判別結果から AND をとり、その結果をサンプリング信号 V_{SAM} で DFF にホールドしておく。そして、INV 構成のシンプルコンパレータにより、 V_{TS} が 0V となった後の V_{OUT} を正常値と比較する。最後に、シンプルコンパレータによる判別結果と DFF によりホールドされていた判別結果を NAND ゲートに入力することでテスト結果 V_{PF} が出力される。CUT の故障の有無は、 V_{TS} を 0V にしたときの出力 V_{PF} を観測することで判断でき、故障がある場合は V_{PF} が High, ない場合は Low となる。

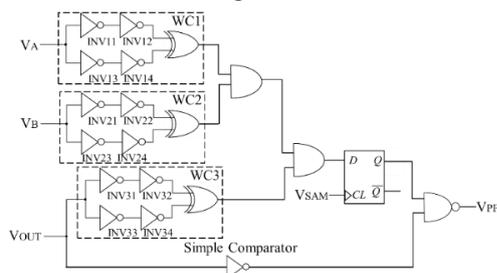


図 10 テスト応答解析器

5. 提案回路の評価

5.1 BGR 回路の測定結果

提案 BGR 回路のレイアウトパターンを図 11 に示す。面積はどちらも 181.28 μ m \times 241.16 μ m, BIST 回路の面積オーバーヘッドは 8.8% となった。

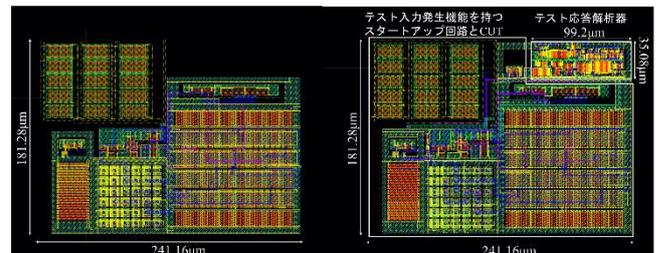


図 11 提案 BGR 回路および BIST 回路のレイアウト

図 12, 図 13 にオリジナル BGR 回路と BIST を付加した BGR 回路 (通常動作モード) の電源電圧特性の測定結果を示す。なお、0.05V 刻みで 0V~2.5V まで電源電圧を変化させ、出力電圧を測定した。黒色の実線で示すグラフがシミュレーション値、その他の点線で示すグラフが実測値である。電源電圧が 1.8V の時の出力電圧は表 4 に示す。オリジナル BGR 回路の出力電圧は、平均値が 1.10V, 最大値が 1.1451V, 最小値が 1.0621V となった。一方、BIST を付加した BGR 回路は平均値が 1.0919V, 最大値が 1.1230V, 最小値 1.0708V であった。これより、チップごとに製造ばらつきはあるものの、BIST 付加による出力電圧の大きな変

化はなく、BISTがBGR回路への負荷になっていないことがわかった。しかし、テスト応答解析器の入力電圧の範囲からは外れているチップが多いため、BISTでの故障検出は難しいと考えられる。

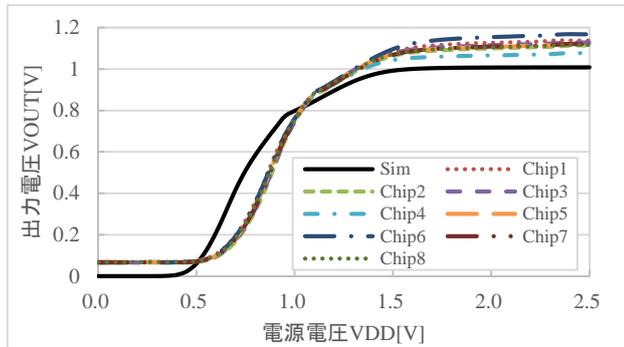


図 12 オリジナル BGR 回路の電源電圧特性

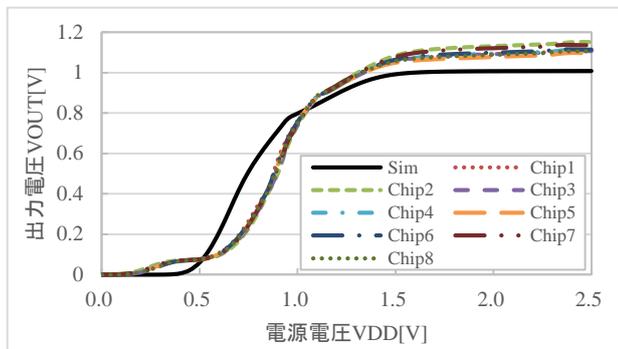


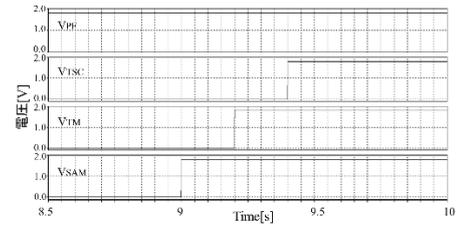
図 13 BIST を付加した BGR 回路の電源電圧特性

表 4 BGR 回路の出力電圧の測定結果

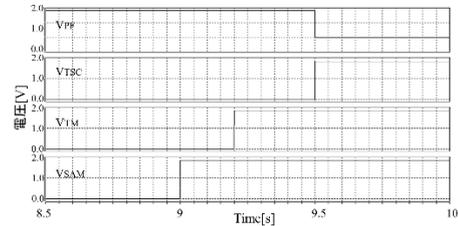
	出力電圧[V](@VDD=1.8V)	
	オリジナル BGR	BIST 回路付加 BGR
sim	1.0055	1.0055
Chip1	1.1198	1.0838
Chip2	1.0928	1.123
Chip3	1.1078	1.0851
Chip4	1.0621	1.0861
Chip5	1.0999	1.0708
Chip6	1.1451	1.0923
Chip7	1.1011	1.1133
Chip8	1.0992	1.0809

5.2 BIST 回路の測定結果

提案 BIST 回路の故障検出率の検証のため、プログラム言語 perl で作成した故障付加スクリプトを用い BGR に自動で故障を付加し HSPICE でシミュレーションをおこなった。故障の有無による出力信号 V_{PF} の変化および外部制御信号を図 14 に示す。(a) が故障なしの場合、(b) が故障あり (MA11 の DSS) の場合であり、テスト制御信号 V_{TSC} が High になるタイミングで V_{PF} が High か Low になることで判別ができるようになっている。



(a) 故障あり



(b) 故障なし

図 14 故障検出における動作タイミング

シミュレーションで故障検出時の動作検証をおこなった結果を図 15 に示す。故障検出率は 92.4% となり、スタートアップ回路の MOSFET を故障検出対象外とした場合は 97.6% となった。この結果より、シミュレーションでは故障検出が概ね出来ていることが分かった。

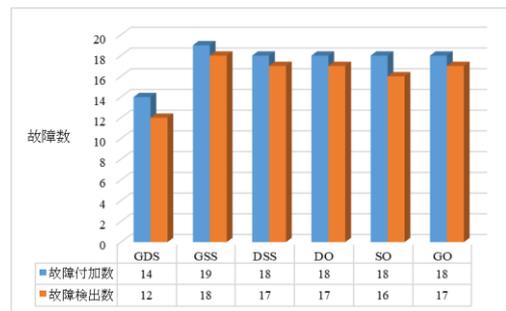


図 15 シミュレーションでの動作検証結果

次に、実測での BIST の評価結果を報告する。実装したチップには故障を付加しない BGR 回路と M3 の GDS, MA1 の GSS, M2 の DSS, MA5 の DO, MA8 の SO, MA10 と MA11 の GO という 7 通りの故障を付加し、実測をおこなった。しかし、結果は故障の有無に関わらず、テスト結果 V_{PF} はすべてのチップで、通常動作モードとテストモードともに High となり、BIST は故障判別ができないことが分かった。これから、CUT からのノード電圧もしくはテスト応答解析器に問題があることが考えられる。

5.3 テスト応答解析器の測定結果

テスト応答解析器の動作検討のため、BIST を付加した BGR 回路からは切り離れた単体の回路で評価をおこなった。なお、搭載したウィンドウコンパレータそれぞれの出力から電圧も確認できるようにノード端子を用意した。表 5 にテスト応答解析器に搭載されたウィンドウコンパレータの実測結果を、図 16 にシンプルコンパレータの実測結

果を示す。なお、0.02V 刻みで 0V から 1.8V まで入力電圧を変化させ、出力電圧を測定した。黒色の実線で示すグラフがシミュレーション値、その他の点線で示すグラフが実測値である。

ウィンドウコンパレータについては、3 つすべての入力電圧範囲がシミュレーション値とずれてしまった。そのため、CUT から取り出しているノード電圧の正常値が素子ばらつき等で変動した場合に対応できないことが考えられる。WC1 と WC2 はそれぞれ正常値が 0.7V と 1.35V であるため、実測での入力電圧範囲では故障判別の信頼性が低い。また、WC3 では前述の通り BGR 回路の出力電圧が 1.1V を超えているものもあるため、現状では故障判別ができないと考えられる。

シンプルコンパレータに関しては、実測値がシミュレーション値よりも閾値が 0.2V 程度低くなったが、実用上問題はないと考えられる。Chip7 はチップ端子の故障が生じたため、評価の対象外とした。

表 5 ウィンドウコンパレータの測定結果

	入力電圧範囲[V]		
	WC1	WC2	WC3
sim	0.63-0.81	1.26-1.38	0.92-1.10
Chip1	0.70-0.76	1.22-1.36	0.92-1.06
Chip2	0.70-0.76	1.22-1.36	0.92-1.06
Chip3	0.70-0.76	1.22-1.36	0.94-1.06
Chip4	0.70-0.78	1.22-1.38	0.94-1.08
Chip5	0.70-0.76	1.22-1.38	0.94-1.06
Chip6	0.70-0.78	1.22-1.36	0.92-1.06
Chip7	0.70-0.78	1.22-1.36	0.92-1.06
Chip8	0.70-0.78	1.22-1.36	0.94-1.08
Chip9	0.70-0.78	1.22-1.36	0.92-1.06
Chip10	0.70-0.78	1.22-1.36	0.92-1.06

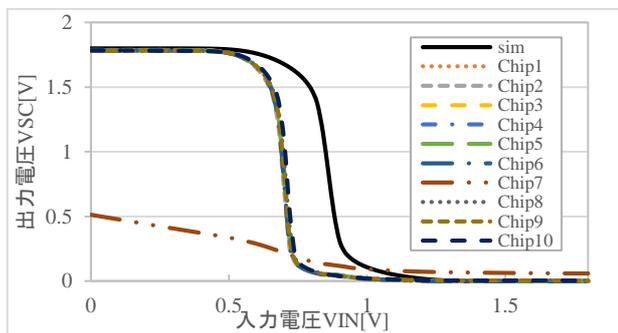


図 16 シンプルコンパレータの測定結果

得られた結果をもとに入力電圧範囲内外でそれぞれ電圧を外部から入力し、通常動作モードとテストモードで動作させた。その際、全ての入力が入力電圧範囲内に入っていなければ、テストモードでの V_{PF} の値は Low にならず、設計したテスト応答解析器は故障判別ができていたことが

分かった。

この結果からウィンドウコンパレータやシンプルコンパレータの入力電圧範囲については改善の必要があるが、テスト応答解析器の動作には問題がないことが分かった。得られた結果から素子ばらつきは影響が少なく実用上問題はないと考えられるため、インバータの W/L 比を調節する必要があるだろう。また、従来のウィンドウコンパレータよりも範囲を広くとり、テスト応答解析器の入力となるノードも安定した故障検出をおこなえる箇所を選択するべきであると考えられる。

6. まとめ

BGR 回路および BIST 回路を設計し、チップに実装し評価をおこなった。BIST 回路内のテスト応答解析器は、入力電圧範囲の電圧であれば故障判別が可能であり、正しい動作をすることが分かった。しかし、BGR 回路の出力が素子ばらつき等によりシミュレーションにおける正常値 1.0V から大きくずれたため、実測値での BIST 回路は故障判別ができなかった。今後は CUT である BGR 回路およびテスト応答解析器の再設計をおこなっていく。

謝辞

本研究は J S P S 科研費 18K11222 の補助を受け、東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社およびメンター株式会社の協力で行われたものである。本チップ試作は東京大学大規模集積システム設計教育研究センターを通してローム（株）および凸版印刷（株）の協力で行われたものである。

参考文献

- 1) 谷口研二: CMOS アナログ回路入門, CQ 出版, pp.117 (2005)
- 2) Na Sun, Robert Sobot: A Low-Power Low-Voltage Bandgap Reference in CMOS, Electrical and Computer Engineering (CCECE), May 2010
- 3) R. Jacob Baker: CMOS Circuit Design, Layout, and Simulation 3rd Edition, IEEE Press, pp.750-751, (2010)
- 4) Wimol San-Um, Tachibana Masayoshi: A Compact On-Chip Testing Scheme for Analog-Mixed Signal Systems Using Two-Step AC and DC Fault Signature Characterization, 15th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), Okinawa, JAPAN (2009)
- 5) Yuan Jun, Tachibana Masayoshi: A BIST scheme for operational amplifier by checking the stable output of transient response, 20th European Conference on Circuit Theory and Design (ECCTD), Linköping, SWEDEN (2011)
- 6) Takuya Bando, Masayoshi Tachibana: A BIST Scheme Detecting Catastrophic Faults of MOSFETs in Bandgap Reference with Self-Biased Operational Amplifier, 19th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), Yilan, TAIWAN (2015)