

FiCCを用いたCMOS互換な不揮発性メモリ素子の 閾値電圧特性の測定ならびに読み出し方式検討

田中 一平^{1,a)} 宮川 尚之¹ 木村 知也^{1,b)} 今川 隆司^{2,c)} 越智 裕之^{1,2,d)}

概要: 本稿では、低廉な通常の CMOS プロセスで製造でき、かつ、書き込みや消去に必要な電流が極めて小さい不揮発性メモリ素子と、その特性測定用回路を提案する。近年、オンチップ太陽電池を用いたマイクロエナジーハーベスティングにより半永久的に電力を自給自足できるセンサチップの研究が行われているが、このようなセンサチップでは夜間にデータを保持する不揮発性メモリが不可欠である。本稿では、メタルフリンジキャパシタの一種である、Fishbone-in-Cage Capacitor (FiCC) と NMOS トランジスタを組み合わせ、フラッシュメモリ素子のダブルゲート構造を CMOS プロセス互換で実現したメモリ素子を提案する。また、書き込みも消去も FN トンネリングで行うことで消費電流を抑えることの実現可能性を明らかにするべく、リングオシレータを用いて閾値電圧を測定する回路を考案し、これを用いた測定を行った。その結果、5V の書き込み電圧を 5 秒間印加すれば閾値電圧が 3V 程度まで上昇することや、書き込み後は 1 日程度の保持が可能であること、並びに 1200 回程度の書き込み消去操作では特性がほとんど劣化しないことが示された。また、得られたメモリ素子特性をもとに相補的に書き込みを行え得るメモリセルを用いて、2 つのメモリ間の閾値電圧の差を 2 本の読み出し線を介して差動増幅回路により読み出しを行う方式も提案する。

キーワード: フラッシュメモリ, メタルフリンジキャパシタ, マイクロエナジーハーベスティング, 閾値電圧測定

Thereshold-voltage Measurement of CMOS-compatible Non-volatile Memory Element using FiCC and Consideration on its Read-out Method

IPPEI TANAKA^{1,a)} NAOYUKI MIYAGAWA¹ TOMOYA KIMURA^{1,b)} TAKASHI IMAGAWA^{2,c)}
HIROYUKI OCHI^{1,2,d)}

Abstract: This report proposes a new non-volatile memory element that can be fabricated with a standard CMOS process, and that can be programmed and erased without large supply current, as well as a characteristics measurement circuit for it. In recent years, self-powered sensor chips using micro energy harvesting based on on-chip solar cells have been studied. For such sensor chips, however, non-volatile memory is indispensable to retain the data during night time. We propose a new memory element that consists of Fishbone-in-Cage Capacitor (FiCC) and an NMOS to realize the double-gate structure of flash memory without using dedicated fabrication processes. We also developed a circuit for measuring the threshold voltage of the memory element to clarify the feasibility of using FN tunneling for programming and erasing operations to reduce the supply current. We observed that threshold voltage shifts to 3.3V by applying 5V programming voltage for 5 sec, and it remains for a day. We also noted that only a little degradation appears after 1200 program-erase cycles. We also propose a read-out method using differential amplifier to compare the threshold voltages of two complementary memory elements.

Keywords: flash memory, metal-fringe capacitor, micro energy harvesting, threshold voltage measurement

1. はじめに

近年、振動 [1], 光 [2], 電磁波 [9] といった外部環境からエネルギーを得るエナジーハーベスティングが注目されている。これにより、外部からの電源供給が不要となり、長期にわたって機能するセンサノードデバイスが実現できる。例えば [4] では、太陽光発電素子、蓄電池、センサ、プロセッサ等を複数のチップで実現し、それらを積層し各層をワイヤボンディングで接続してシステムを実装しているこのデバイスは太陽電池素子と蓄電池を備え、安定した電力を利用できることから複雑な機能を実装できるメリットがある。一方で、ワイヤボンディングをはじめとする組み立てコストが高くなる点が課題であると考えられる。

本研究では、センサデバイスの低コストな実現を目指し、ワンチップに太陽光発電素子、プロセッサ、センサ等の必要な全ての機能を搭載したシステムオンチップとすることでワイヤボンディング等の実装コストを削減すると共に、成熟したテクノロジーである $0.18\mu\text{m}$ テクノロジーを用いることによりチップ全体の製造コストの低廉化も図る。

こうしたオンチップ太陽光発電素子からの給電のみの環境で不揮発性メモリを搭載することを考えると、太陽光発電素子から得られる電力は照度 25klux のとき 1mm^2 あたり $152.7\mu\text{W}$ [3] で、使用できる電力の絶対量が少ないことや、高コスト化につながる追加プロセスによる特殊な構造を用いないといった制約を満す必要がある。本稿では、低消費電力で書き込みが可能であり、CMOS 標準プロセスのみで製造可能な不揮発性メモリとして、メタルフリンジキャパシタの一種である Fishbone-in-Cage Capacitor (FiCC) [8] と NMOS トランジスタを組み合わせ、フローティングゲートを実現する不揮発性メモリを提案する。また、提案する不揮発性メモリ素子の特性を明らかにするため、リングオシレータを用いて閾値電圧を測定する回路を考案し、これを用いた測定を行った。

実験の結果、 5V の書き込み電圧を 5 秒間印加すれば閾値電圧が 3.3V 程度まで上昇することや、書き込み後は 1 日程度の保持が可能であること、並びに 1200 回程度の書き込み消去操作では特性がほとんど劣化しないことが示された。また、得られたデータ保持特性の性質から、メモリ素子 2 つを相補的に組み合わせると、閾値電圧の差を 2 本の

表 1 CMOS 互換な不揮発性メモリ

	Raszka 2004 [7]	Na 2006 [6]
使用キャパシタ	MOS キャパシタ	MIM キャパシタ
書き込み原理	Fowler-Nordheim (FN) tunneling	Channel Hot Electron Injection (CHEI)
特徴	3つのトランジスタで構成. コントロールゲートに 7V を印加し, FN トネリングで書き込み	MIM キャパシタと NMOS で構成. CHEI による書き込みに数 mA の電流が必要.

読み出し線から差動増幅する方式を検討した。

以下 2 章で先行研究について、3 章で提案する不揮発性メモリ素子とその閾値電圧測定回路について、4 章で実チップを用いた測定結果と、提案メモリ素子の読み出し方式の検討を行い、5 章でまとめと今後の課題を述べる。

2. 先行研究

2.1 CMOS 互換な不揮発性メモリ

標準 CMOS プロセスでは作ることができないダブルゲート構造を備えるフラッシュメモリ素子を、キャパシタ素子とトランジスタ素子に分解し、それぞれを CMOS 互換素子またはそれに準ずるもので実現する既存研究がみられる [6], [7]. これらで採用されている CMOS 互換キャパシタ素子および書き込み原理、特徴を表 1 に示す。MOS キャパシタを採用する場合、高耐圧トランジスタを使う必要があり、面積が大きくなる。MIM キャパシタを採用する場合、MIM キャパシタのためのオプション工程が必要となる。また、書き込み方式に CHEI 方式を採用すると、書き込み時の消費電流が数 mA 必要になる。本研究が想定する不揮発性メモリは、太陽光発電素子など同一チップ上に搭載するために小面積で実装できる必要があり、書き込みに必要な電圧や電流も、小さな太陽光発電素子によって得られる電力からオンチップ昇圧回路で昇圧可能な電圧及び電流の範囲でなければならない。このため、これらの不揮発性メモリ素子をそのまま適用することはできない。

2.2 メタルフリンジキャパシタと FiCC

他の CMOS 互換なキャパシタ素子として、メタル配線間容量を積極的に活用したメタルフリンジキャパシタが挙げられるが、高集積な実装を行うと、他の配線や近接して配置された他のキャパシタとの間でクロストーク容量が生じやすい。クロストーク容量を考慮して実装すると、素子分離のために面積オーバーヘッドが大きくなり、高集積化に向かない。クロストークノイズを低減する方法として、キャパシタ毎にシールドメタルの壁を作る方法が提案されている [5] が、この方法でも、メモリセルアレイなど数 fF オーダの小容量のキャパシタを集積する場合にはシールドメタルの面積がキャパシタに対して大きな面積オーバー

¹ 立命館大学大学院情報理工学研究科
Graduate School of Information Science and Engineering,
Ritsumeikan University

² 立命館大学情報理工学部
〒 525-8577 滋賀県草津市野路東 1-1-1
College of Information Science and Engineering, Rit-
sumeikan University
Nojihigashi 1-1-1, Kusatsu, Shiga, 525-8577 Japan

a) is0265xs@ed.ritsumeikan.ac.jp

b) is0112hi@ed.ritsumeikan.ac.jp

c) takac-i@fc.ritsumeikan.ac.jp

d) ochi@cs.ritsumeikan.ac.jp

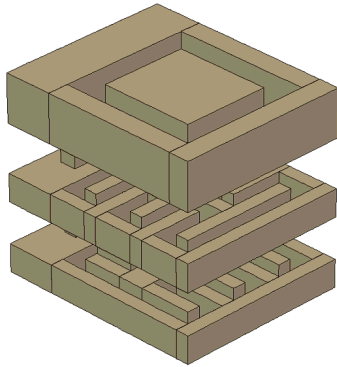


図 1 FiCC の概略図

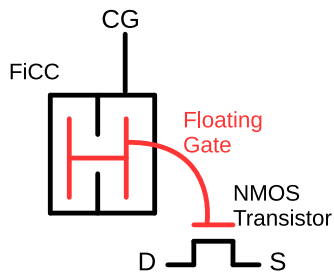


図 2 提案メモリ素子

ヘッドとなってしまふ。

こうした問題に対して、キャパシタ電極を内側と外側に分けることで、一般的なメタルフリンジキャパシタに比べ、キャパシタ外のメタルとのクロストーク容量を約 1/10 に抑えることができる Fishbone-in-Cage Capacitor (FiCC) というメタルフリンジキャパシタが提案されている [8]. FiCC の概略図を図 1 に示す。クロストークノイズに弱いセンシティブな電極を内側電極とし、電位の安定したインピーダンスの低いネットを外側電極に接続することで、ファラデーケージのように内側端子をシールドする。これにより、内側端子と他の配線または近接する他のキャパシタとの間に生じるクロストーク容量を抑制し、外部からクロストークノイズを受けることを防ぐことが可能である。

3. 提案手法

3.1 FiCC を用いたメモリ素子

フラッシュメモリのダブルゲート構造に相当するものを、FiCC と NMOS トランジスタを用いて実現し、CMOS 互換な不揮発性メモリとしたものを提案する。提案メモリ素子の概要を図 2 に示す。トランジスタのゲート端子とキャパシタ内側端子からなる配線は絶縁体によって外部から隔離されており、フローティングゲートの役割を果たしている。書き込みはフローティングゲートに電子を閉じ込めることで行い、書き込みを行うことで不揮発性メモリの閾値電圧が上昇する。

提案メモリ素子の書き込み動作を図 3 (a) に示す。書き

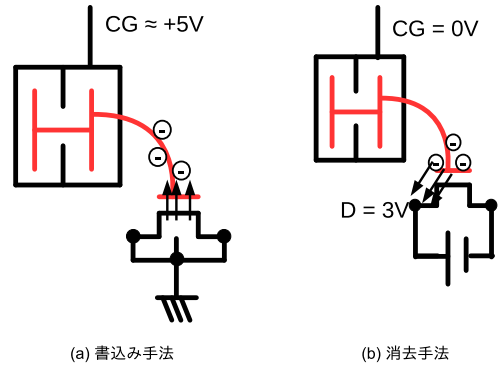


図 3 提案メモリ素子の書き込みおよび消去手法

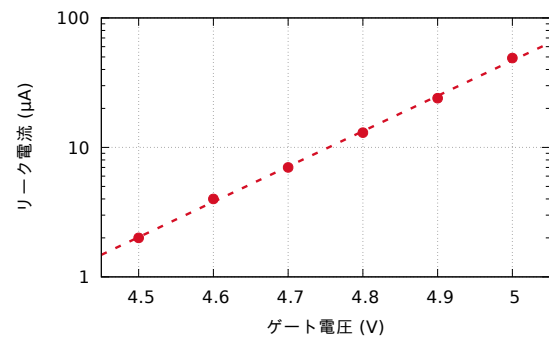


図 4 トランジスタ 5000 個あたりのトンネル電流 ($L = 0.18\mu\text{m}$, $W = 0.26\mu\text{m}$)

込みは CG に 5V の電圧を印加し、FN トンネリングによって電子をフローティングゲートに閉じ込めることで行う。通常のトランジスタのゲート端子に推奨されない電圧を印加したときのリーク電流の実測値を図 4 に示す。電圧の増加に伴って指数関数的にリーク電流が増加することが分かる。トランジスタ 1 つあたりのトンネル電流は 5V のときでおよそ数 nA オーダである。書き込み電圧を一般的なフラッシュメモリの約 20V に対して比較的低電圧な 5V とすることで、書き込み時間は増加してしまうが書き込み中の消費電流を数 nA オーダに抑えることができる。

提案メモリ素子の消去動作を図 3 (b) に示す。書き込み時とは逆の FN トンネリングを発生させ、電子をフローティングゲートから引き抜くことで行う。

3.2 提案メモリ素子の閾値電圧測定回路

提案するメモリ素子の書き込み、消去、保持特性や、書き込み・消去の繰り返しに対する耐久性を明らかにするため、提案するメモリ素子の閾値電圧を測定する回路を提案する。この回路は、提案するメモリ素子の閾値電圧によって遅延時間が変化するインバータを用いたリングオシレータであり、この発振周期を実測することで、メモリ素子の閾値を求めることが可能である。リングオシレータのインバータ単体の略図を図 5 に示す。SWEEP 回路は定電流源とキャパシタで構成されており、インバータの入力が HI になったときに SWEEP 回路の出力は 0V から線形に上昇

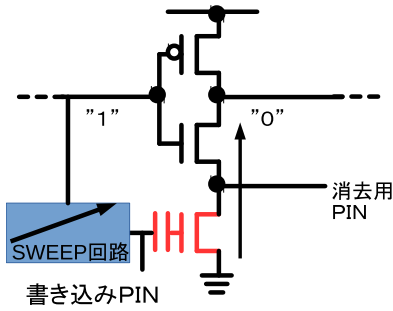


図 5 提案メモリ素子を挿入した測定用リングオシレータ (1 段)

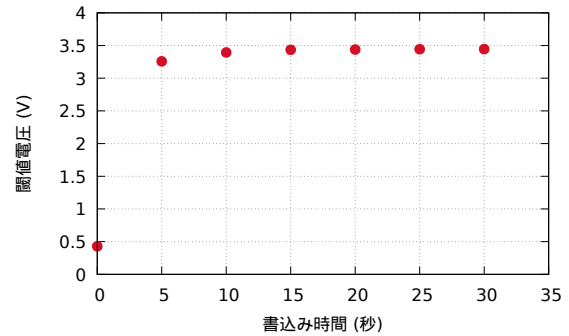


図 7 書き込み時間と閾値電圧変化の関係

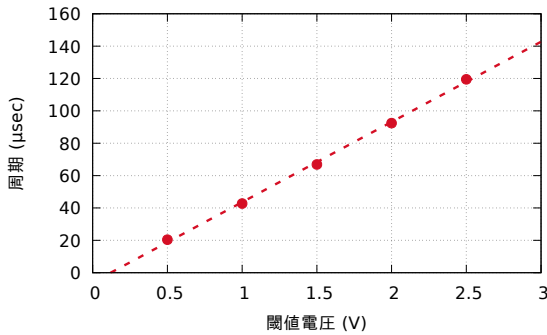


図 6 閾値電圧と SWEEP 回路の発振周期の変化

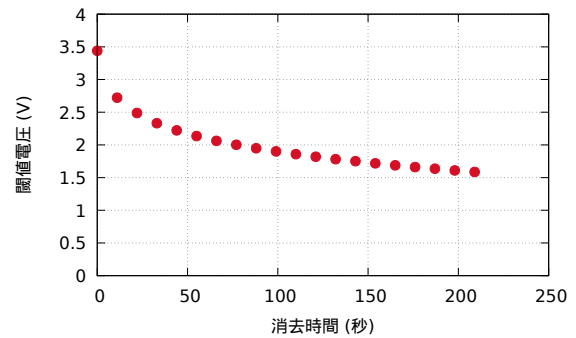


図 8 消去時間と閾値電圧変化の関係

する。SWEEP 回路の出力がメモリ素子の閾値電圧に達すると、インバータの出力が LOW となり SWEEP 回路も停止する。これを奇数段カスケード接続してリングオシレータを構成している。HSPICE シミュレーションで求めた、メモリ素子の閾値電圧の変化に対するリングオシレータの発振周期の変化を図 6 に示す。メモリ素子の閾値電圧と SWEEP 回路の発振周期が線形関係にあることが分かる。このことから、リングオシレータの発振周期を実測すれば提案メモリ素子の閾値電圧を推定できる。

4. 提案メモリ素子の性能評価

以下の実験において、メモリ素子を構成する NMOS のサイズは $L = 0.18\mu\text{m}$, $W = 0.26\mu\text{m}$ であり、使用した FiCC の面積は $3.32\mu\text{m} \times 2.56\mu\text{m}$, 容量は 4.4fF である。また、インキュベータ (恒温器) を用いて環境温度を 40°C に設定して実験を行った。

4.1 提案メモリ素子の書き込み・消去時間と閾値電圧の変化

提案メモリ素子の性能を評価するため、書き込み・消去特性、およびデータ保持特性を測定した。

まず、書き込み時間を決定するために、提案メモリ素子の書き込み時間と閾値電圧変化の実験を行った。メモリ素子の閾値電圧の上昇は、不揮発性メモリを評価するうえで重要であるため、消去電圧を 3V に対し書き込み電圧は 5V と高い値を設定して実験を行った。書き込み時間とメモリ素子の閾値電圧変化の関係を図 7 に示す。この図よ

り、CG に 5V を 5 秒印加すると閾値電圧が 3.3V に上昇することが読み取れる。通常のフラッシュメモリに比べて桁違いに長い書き込み時間を要するのは、FN トンネル方式による書き込みを 5V という比較的低電圧で行ったためと考えられる。また、書き込み時間を 5 秒以上にしても、閾値電圧は 3.3V 程度で頭打ちとなることが読み取れる。これは書き込み中にフローティングゲートに移動した電子によって、フローティングゲートと基板間の電位差が小さくなり、トンネル電流が流れにくくなったためと考えられる。

次に、メモリ素子の消去時間を明らかにするため、提案メモリ素子の消去時間と閾値電圧変化の実験を行った。消去時間とメモリ素子の閾値電圧変化の関係を図 8 に示す。この実験は事前に 10 秒書き込みを行ってからドレインに 3V を印加することで行った。図より、十分な消去には書き込みより更に長い数百秒オーダーの時間が必要であることが読み取れる。これは、書き込みの 5V よりもさらに低い 3V で行ったためと考えられる。

4.2 書き込み・消去の繰り返しによる閾値電圧とデータ保持期間の変化

書き込みと消去を繰り返した際のメモリ素子の劣化を計測するために、書き込み・消去サイクルごとのメモリ素子の閾値電圧の変化を計測する耐久実験を行った。書き込み及び消去実験結果から、書き込み時間を 5 秒、消去時間を 100 秒として、1200 サイクル繰り返した。また 200 サイク

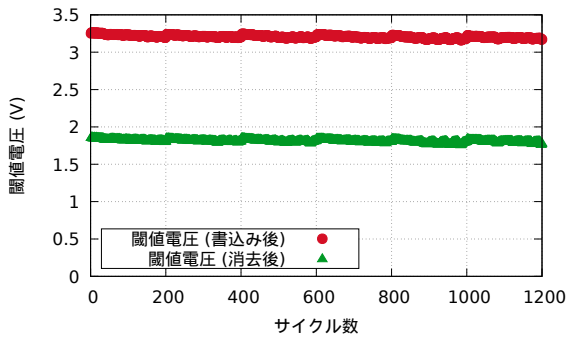


図 9 サイクル毎の閾値電圧変化

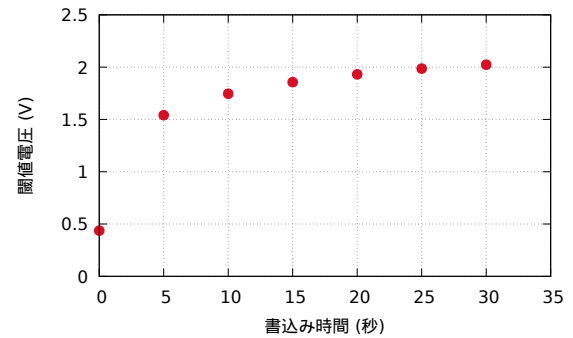


図 11 書き込み時間と閾値電圧変化の関係

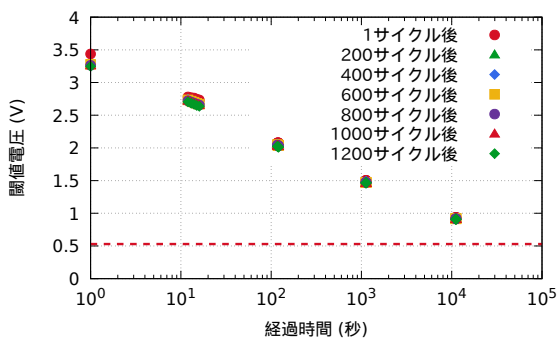


図 10 耐久実験前後の経過時間と閾値電圧減衰の関係の比較

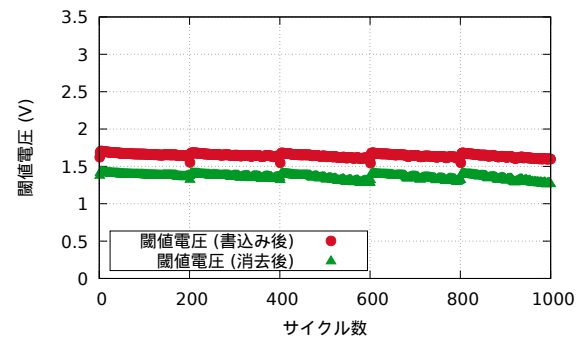


図 12 サイクル毎の閾値電圧変化

ル毎にメモリ素子のデータ保持特性を測定し、比較した。サイクル毎の書き込み後の閾値電圧、および消去後の閾値電圧を図 9 に示す。200 サイクル毎にデータ保持特性の測定を行ったため、200 サイクル毎に継ぎ目がみられるが、1200 サイクルで書き込み及び消去特性に大きな変化はみられなかった。また測定全体を通しておおよそ 0.03V 程度の閾値電圧の変動がみられる。

最後に、図 10 に 200 サイクル毎の経過時間と閾値電圧減衰の関係と比較して示す。この図より、耐久実験後の方がデータの保持時間が若干短くなっていることが確認できるが、1200 サイクル後でもデータを 1 日程保持できることが読み取れる。

4.3 3V 書き込み時におけるメモリ素子特性実測結果

5V での書き込みによる閾値電圧の上昇が確認できたため、比較として書き込み電圧を消去電圧と同様に 3V まで引き下げて各種素子特性の測定を行った。

まず、書き込み時間とメモリ素子の閾値電圧変化の関係を図 11 に示す。5V 書き込み時と比べ、閾値電圧が頭打ちになるまでに 30 秒ほど要しているうえ、書き込み後の閾値電圧も 2V 程度と低いことが分かる。一方で、消去時の図 8 の結果と比べると書き込みに要する時間とシフトさせることのできる閾値電圧ともに大きな差が開いていることが分かった。これは、同じ電圧を印加していたとしても、書き込み時は NMOS がチャンネルを形成しており、ソースドレイン間とゲート酸化膜間でトンネル電流が発生するの

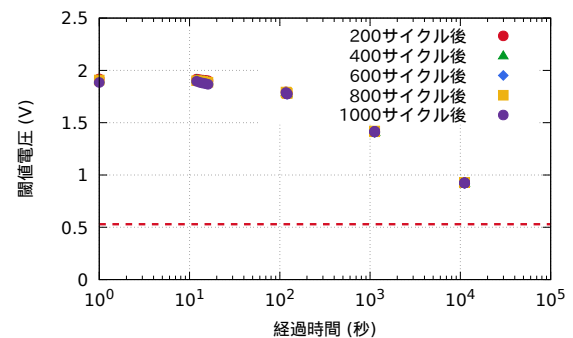


図 13 耐久実験前後の経過時間と閾値電圧減衰の関係の比較

対し、消去時はソースにしか 3V が印加されておらずチャンネルも閉じているため、ソースとゲート酸化膜間でのみしかトンネル電流が発生しないことが原因だと考えられる。

続いて、書き込み時間を 5 秒、消去時間を 100 秒として 1000 サイクル繰り返した。また、200 サイクル毎にデータ保持特性も合わせて測定している。サイクル毎の書き込み後の閾値電圧、および消去後の閾値電圧をを図 12 に示す。5 秒書き込み 100 秒消去では、閾値電圧を完全にシフトさせることができないためか、閾値電圧が 0.03V 程度で変動する現象が多くみられたが、1000 サイクルで書き込み消去特性に大きな変化はみられなかった。

最後に、図 13 に 200 サイクル毎の経過時間と閾値電圧減衰の関係と比較して示す。5V 時に比べシフトできる閾値電圧はより小さくなっているが、一方で保持期間そのものには 100 秒オーダ程度の差しか生じないため、1 日程度

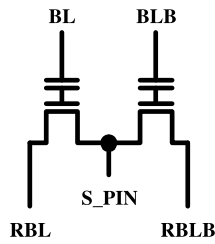


図 14 相補的に書き込み可能なメモリセル

のデータ保持期間はほぼ変わらないといえる。

4.4 提案メモリ素子の読み出し方式検討

得られたデータ保持特性から、提案メモリ素子の閾値電圧は1日程度で基準閾値電圧まで下降することが分かる。このため、読み出しの基準電位を設け、メモリ素子の閾値電圧のシフトにより導通、非導通を判別する読み出し方式ではメモリ素子のデータ保持期間が著しく短くなってしまふ。そこで、メモリ素子2つに相補的に書き込むことで、2つのメモリ素子間の閾値電圧の差を2本の読み出し線を介して差動増幅回路により読み出す方式を検討する。相補的に書き込みを行えるメモリ素子を図14に示す。まず、S_PINを介して共有しているソースに3Vを、各ビットラインを0Vにすることで消去を行う。続いて、BLとBLBを用いて一方のメモリセルにのみ書き込みを行い閾値電圧をシフトさせる。そして、読み出し時はS_PINに1.8Vを印加し、RBLとRBLBを介して閾値電圧の差を読み取り、差動増幅回路を用いてデータを判別する。この読み出し方式を採用することで、基準電位を設ける読み出し方式に比べ、閾値電圧のシフトがより小さくても読み出しを行える。

5. おわりに

本稿では、メタルフリンジキャパシタの一種であるFiCCとNMOSトランジスタを用いて、フラッシュメモリ素子のダブルゲート構造をCMOS互換で実現し、メモリ素子としたものを提案した。また、そのメモリ素子の特性を明らかにするために、閾値電圧変化を共振周期に変換するリングオシレータ回路を提案し、実測した。提案メモリ素子は、書き込みには5Vで5秒程度の時間を要するが、閾値電圧は3.3V程度まで上昇することを確認した。書き込み後はデータをおよそ1日程度保持でき、また少なくとも1200回程度の書き込み消去では特性がほとんど劣化しないことを確認した。これらの結果は、提案メモリ素子がCMOS互換かつ比較的低電圧で動作する不揮発性メモリとして利用できることを示唆している。また、書き込み電圧を3Vの引き下げた際のメモリ素子特性も合わせて実測した。最後に、得られたメモリ素子特性をもとに、2つのメモリ素子に相補的に書き込みを行い、それらの閾値電圧の差を2

本の読み出し線を介して作動増幅する読み出し方式を検討した。

今後の課題として、消去速度を向上させるために、ソースドレイン共に3Vを印加する消去方式の実装や、検討した読み出し回路方式の優位性を示すために、実測により読み出し実験を行うことなどが挙げられる。

謝辞

本研究はJSPS科研費JP19K11889の助成を受けたものである。また本研究は東京大学大規模集積システム設計教育研究センターを通じ、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社、ローム株式会社、および凸版印刷株式会社の協力で行われたものである。

参考文献

- [1] Beeby, S., Tudor, M. and White, N.: Energy harvesting vibration sources for microsystems applications, *Measurement Science and Technology*, Vol. 17, No. 12, p. R175 (2006).
- [2] Kansal, A. and Srivastava, M. B.: An environmental energy harvesting framework for sensor networks, *Proceedings of International Symposium on Low Power Electronics and Design (ISLPED)*, pp. 481–486 (online), DOI: 10.1109/LPE.2003.1231958 (2003).
- [3] Kimura, T. and Ochi, H.: A $-0.5V$ -input voltage booster circuit for on-chip solar cells in $0.18\mu m$ CMOS technology, *Proceedings of International Symposium on Communications and Information Technologies (ISCIT)*, pp. 193–196 (online), DOI: 10.1109/ISCIT.2015.7458340 (2015).
- [4] Lee, Y., Kim, G., Bang, S., Kim, Y., Lee, I., Dutta, P., Sylvester, D. and Blaauw, D.: A modular $1mm^3$ die-stacked sensing platform with optical communication and multi-modal energy harvesting, *Proceedings of International Solid-State Circuits Conference (ISSCC)*, pp. 402–404 (online), DOI: 10.1109/ISSCC.2012.6177065 (2012).
- [5] Lim, Q. S. I., Kordesch, A. V. and Keating, R. A.: Performance comparison of MIM capacitors and metal finger capacitors for analog and RF applications, *Proceedings of IEEE International RF and Microwave Conference (RFM)*, pp. 85–89 (online), DOI: 10.1109/RFM.2004.1411082 (2004).
- [6] Na, K. Y. and Kim, Y. S.: High-performance single polysilicon EEPROM with stacked MIM capacitor, *IEEE Electron Device Letters*, Vol. 27, No. 4, pp. 294–296 (online), DOI: 10.1109/LED.2006.871838 (2006).
- [7] Raszka, J., Advani, M., Tiwari, V., Varisco, L., Hacobian, N. D., Mittal, A., Han, M., Shirdel, A. and Shubat, A.: Embedded flash memory for security applications in a $0.13\mu m$ CMOS logic process, *Proceedings of International Solid-State Circuits Conference (ISSCC)*, pp. 46–512, Vol.1 (online), DOI: 10.1109/ISSCC.2004.1332586 (2004).
- [8] 宮川 尚之, 木村 知也, 越智 裕之: FiCC: 高集積向け耐クロストークノイズメタルフリンジキャパシタ, 電子情報通信学会技術研究報告, Vol. 116, No. 478, pp. 43–47 (2017).
- [9] 川原圭博: 電磁波からのエネルギーハーベスティング技術とその応用, 日本 AEM 学会誌, Vol. 22, No. 3, pp. 380–385 (オンライン), DOI: 10.14243/jsaem.22.380 (2014).