

オンチップの高分解能周波数発振器を用いた可変周波数動作による実回路のディレイ測定手法

島村光太郎[†] 池田尚弘[†]

半導体の微細化の進行に伴い、経年速度劣化による回路の遅延時間増大量が拡大し、製造されたチップの信頼性を脅かす要因となっている。経年速度劣化による遅延時間増大量は、回路構成とワークロードに依存することが報告されているが、いずれもシミュレーションに基づくものであり、実回路で現実的なワークロードを実行して劣化による遅延時間の増大量を測定した例は報告されていない。本論文では、実回路の劣化量の回路構成とワークロード依存性を測定可能な精度を実現する実回路のディレイ測定手法を提案する。提案手法では、オンチップの発振器が高分解能の可変周波数クロックを内部回路に供給する。内部回路はクリティカルパスを活性化するテストパターンを実行し、実行結果が不正とならない最大の動作周波数を求める。求めた最大動作周波数からクリティカルパスのディレイを計算する。発振器の出力を逡倍することでクロック周期の分解能を向上し、周波数補正カウンタで発振器の周波数のばらつきを補正する。提案手法を 65nm 低消費電力プロセスのテストチップに実装して評価した。可変周波数発振器はスタンダードセルのみを使用して構成し、特別な最適化を行うことなく自動配置配線を行った。提案手法の面積オーバーヘッドはランダム論理の 0.09% となった。

Real Circuit Delay Measurement Method by Variable Frequency Operation with On-Chip Fine Resolution Oscillator

Kotaro Shimamura[†] Naohiro Ikeda[†]

With the progress of semiconductor process miniaturization, delay degradation by aging increases and threatens the reliability of fabricated chips. The amount of delay degradation is known to be circuit and workload dependent, but previous evaluations are based on simulations, and delay degradation measurement of real circuit under realistic workload has not been reported yet. This paper proposes real circuit delay measurement method, which achieves enough accuracy to measure circuit and workload dependent delay degradation. In the proposed method, on-chip oscillator supplies fine resolution variable frequency clock to internal circuit. Internal circuit execute test pattern to activate critical paths at various frequency and determine the maximum frequency at which correct results can be obtained. The maximum frequency corresponds to the delay of the critical paths activated by the test pattern. Clock multiplication improves delay resolution, and calibration counter calibrates the variation of the oscillator. The proposed method has been implemented on a 65nm low power process test chip. Variable frequency oscillator utilizes only standard cells and is designed with automatic layout flow without any timing tuning. The area overhead of the proposed method is 0.09% of the total random logic.

1. はじめに

半導体の微細化の進行とともに、HCI (Hot Carrier Injection)、NBTI (Negative Bias Temperature Instability)、PBTI (Positive Bias Temperature Instability) といった経年速度劣化によるディレイ増加量が增大する傾向にある。製造されたチップの信頼性を確保するためには、経年速度劣化によるディレイ増加量を把握し、誤動作が発生しない様に適切なマージンを確保する必要がある。経年速度劣化によるディレイ増加量は回路構成と回路で実行するワークロードに依存することが知られている 1)2)3)。しかしながら、既存の評価結果は基本的な回路の測定結果に基づいて構築した劣化モデルを使用したシミュレーションによるものである。筆者の知る限り、実回路で現実的なワークロードを実行して経年速度劣化量を測定した例は報告されていない。

本論文は、実回路で現実的なワークロードを実行した時の経年速度劣化量を測定するために必要な精度を実現する

実回路のディレイ測定手法を提案することを目的とする。経年速度劣化によるディレイ増加量は平均的には数%程度であると報告されている 1)2)3)。従って、経年速度劣化によるディレイ増加量を測定するためには、1.0%未満の誤差でディレイを測定する必要がある。

回路のディレイを測定する方法としては多数の既存手法が提案されている。クリティカルパスレプリカ 4)5)は、クリティカルパスと温度や電源電圧依存性が類似の回路で、クリティカルパスのディレイを推定するのに使用される。しかしながら、クリティカルパスレプリカは経年速度劣化量に影響を与えるトランジスタのオン確率やスイッチング確率がクリティカルパスとは異なっており、クリティカルパスの経年速度劣化量に関する情報を得ることは困難である。

タイミングエラー予測センサ 6)7)8)はクリティカルパスの終点の FF (Flip-Flop) にセンサを設置する。しかしながら、これらのセンサは回路のディレイがしきい値を超えたかどうかを検出するだけであり、高い分解能でディレイを測定することはできない。

[†] (株)日立製作所
Hitachi, Ltd.

DART 9)は、チップの出荷検査に使用する BIST (Built-In Self-Test) 用の回路を使用してディレイを測定する。入力生成するクロックエッジと出力をモニタするクロックエッジの間隔を徐々に短くし、出力が不正にならない最短の間隔を求める。この最短間隔が回路のディレイに相当する。DART によって実回路のディレイ測定を実現可能であるが、対象回路はランダム論理のみであり、メモリを含む回路に適用することは困難である。メモリアクセスの経路が最大のクリティカルパスとなるケースは多く、メモリを含む回路のディレイを測定できることが好ましい。

メモリを含む回路のディレイを測定できる様にするため、提案手法ではオンチップの発振器が可変周波数のクロックを内部回路に供給する。内部回路を可変周波数で動作させる手法に関しては多くの手法が提案されている 10)11)が、これらは性能と消費電力のトレードオフを最適化することを目的としているため、周波数の分解能が経年速度劣化量の測定には不足している。また、プロセス、電源電圧、温度 (PVT) に起因する周波数誤差を補正する手段も考慮が必要である。提案手法では、高分解能の可変周波数発振器 (VFO) をチップ上に設け、これを使用して内部回路を可変周波数で動作させる。また、クロック周波数の通倍化やカウンタを用いた周波数補正手法によって測定精度を向上させる。

以下、2章で提案するディレイ測定手法、3章で高精度化手法、4章でテストチップの評価結果を述べる。

2. 実回路のディレイ測定手法

2.1 可変周波数動作

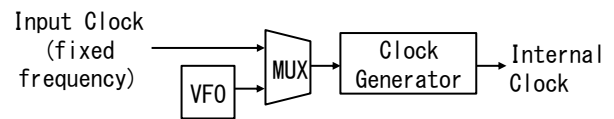
図 1 に実回路の可変動作周波数動作の概念図を示す。VFO は周波数設定を格納するレジスタを内蔵しており、VFO の出力の周波数はこの設定値によって制御される。VFO は経年速度劣化量の測定に必要な分解能と、測定対象の回路全体のディレイ値をカバーする周波数範囲を備えている必要がある。PVT に起因する周波数誤差は外部で補正するため、VFO 内部には補正回路は不要である。VFO の構成例については後述する。

マルチプレクサ (MUX) は入力クロックと VFO の出力のいずれかを選択してクロック生成回路に出力する。入力クロックは固定周波数であり、PVT が worst の条件でもクロック生成回路や内部回路が正しく動作する周波数を選定する。入力クロックの周波数精度はディレイ測定精度に直接影響するため、水晶発振子などの高精度なクロック源からクロックを入力するのが好ましい。

クロック生成回路は内部回路へのクロックを生成する。最新のマイクロプロセッサは多くの場合、CPU と周辺機能で異なる周波数のクロックを使用する 5)10)。クロック生成回路はこの様な複数の周波数を生成する回路を意図している。後述する通り、クロック生成回路での周波数通倍率が

高ければ高いほど、ディレイ測定の精度が向上する。

図 2 は実回路のディレイ測定の概念図である。VFO の周波数が向上するとクロック周期が短くなる。図 1 の MUX で VFO の出力を選択した場合、低い周波数では内部回路は正しく動作するが、高い周波数では内部回路で誤動作が発生する。誤動作の発生しない最大の周波数が、その動作で活性化される最悪クリティカルパスのディレイ値に相当する。特定のパスのディレイを測定するためには、そのパスが活性化され、かつ、活性化されるクリティカルパスの中でディレイが最大でなければならない。このことが提案手法の制限事項となる可能性がある。この問題に対応する手法に関しては後述する。



VFO: Variable frequency Oscillator
MUX: multiplexer

図 1 実回路の可変周波数動作

Figure 1 Variable Frequency Operation of Real Circuit

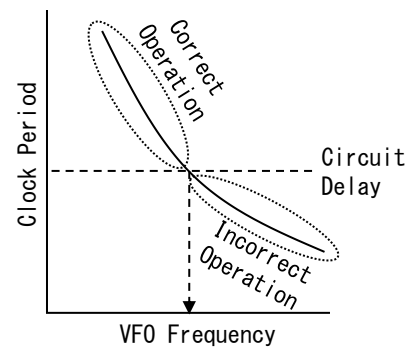


図 2 実回路のディレイ測定の概念図

Figure 2 Conceptual Diagram of Real Circuit Delay Measurement

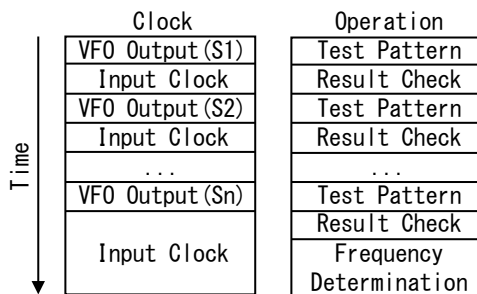
2.2 テストパターンの実行

回路のディレイを測定するためには、内部回路を様々な周波数で動作させる必要がある。回路のディレイを測定するための処理フローの例を図 3 に示す。まず最初に、VFO の周波数設定値を S1 として VFO の出力を選択する。この状態で、内部回路がテストパターンを実行し、結果をメモリに書き込む。テストパターンは、複数の測定対象のクリティカルパスを活性化させる複数のテストケースを含む。次に、入力クロックを選択し、メモリに格納されたテストパターンの実行結果を読み出して、結果が正しいかどうかを判定する。入力クロックを選択している状態では内部回路は常に正しく動作するため、実行結果の正誤を誤って判定することはない。この 2 つのステップを VFO の周波数設定値 S2, ... Sn に対して繰り返す。VFO の設定値 (S1, S2, ..., Sn) は、全てのテストケースが正しく動作する周波数から、

全てのテストケースで誤動作が発生する周波数までをカバーする様に選択する。その後、テストケース毎に結果が不正とならない最大の周波数を決定する。

テストパターンを例を表1に示す。テストパターンは内部回路の機能に依存するが、表1にはマイクロプロセッサのテストパターンの例を示した。通常マイクロプロセッサは複数の機能ブロック、例えば、整数乗算器、整数シフト、浮動小数点加算器、浮動小数点乗算器、などを内蔵している。多くの場合、これらの機能ブロックは互いに独立である。例えば、整数乗算器を動作させる命令は他の機能ブロックは動作させない。そこで、整数乗算器のみを動作させるテストケースを作成すれば、他の機能ブロックのクリティカルパスの影響を受けずに整数乗算器のクリティカルパスのディレイを測定することが可能である。また、整数乗算器の内部に複数のクリティカルパスが存在する場合も考えられる。その場合、個々のクリティカルパスを活性化させる入力パターンを使用した複数のテストケースを作成することも考えられる。

また、マイクロプロセッサではメモリをアクセスする経路が最悪のクリティカルパスとなるケースも多い。複数のメモリマットを内蔵している場合は、個々のメモリマットをアクセスするテストケースをそれぞれ作成すれば、マット毎のディレイを測定することが可能である。また、同一のマット内でもアドレス毎にディレイ値が異なる可能性もある。異なるアドレスへのアクセスを別々のテストケースとして作成すれば、アドレス毎のディレイの違いを測定することも可能である。



S1, S2, ..., Sn: VFO Frequency Setting

図3 クロック選択方法

Figure 3 Clock Selection Method

表1 テストパターンの例

Table 1 Example of Test Pattern

Category	Test Case
Integer	Multiplication
	Shift
Floating Point	Addition
	Multiplication
Memory	SRAM mat variation
	Address variation (inside mat)

2.3 ハングアップへの対処

前述した通り、各テストケースで活性化されるクリティカルパスのうち最悪のパスが正しく動作する最大周波数を決めるため、それ以外のパスのディレイは測定することができない。それに加えて、内部回路がマイクロプロセッサの場合、命令フェッチや命令デコードなどの命令実行を担う基本回路が最悪のクリティカルパスであった場合、CPUがハングアップ（あるいは暴走）する可能性がある。ハングアップが発生しなかったとしても、意図した機能ブロックが動作しない可能性がある。内部回路がマイクロプロセッサでなかった場合も同様である。

この問題に対しては、いくつかの対処方法が考えられる。なお、以下において基本制御回路とは、機能ブロックに所定の動作をさせるために必要な制御回路のことを指す。

(a) ウォッチドック機能の設置

ハングアップが発生すると、図3に示した処理フローを完了することができず、周波数の測定が全くできなくなってしまう。そこで、ハングアップを検出して基本制御回路を正常状態に戻す機能を設けてこの問題に対処する手法が考えられる。マイクロプロセッサの周辺機能として良く用いられるウォッチドックタイマ（一定期間にタイマがクリアされなかった場合、マイクロプロセッサにリセットをかける）がこの用途に使用できる。これによって、図3の処理フローを継続することができる。基本制御回路より高速な回路のディレイは測定できないが、基本制御回路より低速な回路のディレイは測定可能なことが保証される。

(b) 基本制御回路のタイミングマージンの拡大

基本制御回路のディレイ値が小さいほど、測定可能なディレイの幅が大きくなる。そこで、基本制御回路のタイミングマージンを拡大し、ディレイを測定したい回路より高速に動作させる手法が考えられる。タイミングマージンの拡大によって基本制御回路の面積が増大する可能性があるため、面積オーバーヘッドと測定可能回路の拡大のトレードオフを検討する必要がある。

(c) タイミングエラー予測センサ

タイミングエラー予測センサ(6)7)8)は、回路の誤動作が発生するより低い周波数でタイミングエラーを検出することが可能である。このセンサをディレイを測定したいパスの終点のFFに設置することで、より低い周波数でそのパスのディレイを測定することが可能となる。この手法はセンサの設置により面積オーバーヘッドが発生するのと、センサによってディレイ測定誤差が拡大するというデメリットがあるが、測定したいパスを確実に測定できる点がメリットである。

2.4 経年速度劣化量測定への適用

図4に、現実的なワークロードを実行した状態での実回路の経年速度劣化量の測定方法の例を示す。図4(a)に示した通り、図3の処理フローによる内部回路のディレイ

測定を一定周期で実行する。それ以外の時間は現実的なワークロードを実行する。これによって、内部回路の経年速度劣化量が実アプリケーションと同等となることを保証する。図4 (b) に示した通り、テストケース毎に稼働時間と測定したディレイ値から回路の経年速度劣化量を求める。多数のテストケースを実行することにより、多数のパスの経年速度劣化量を求めることが可能となる。

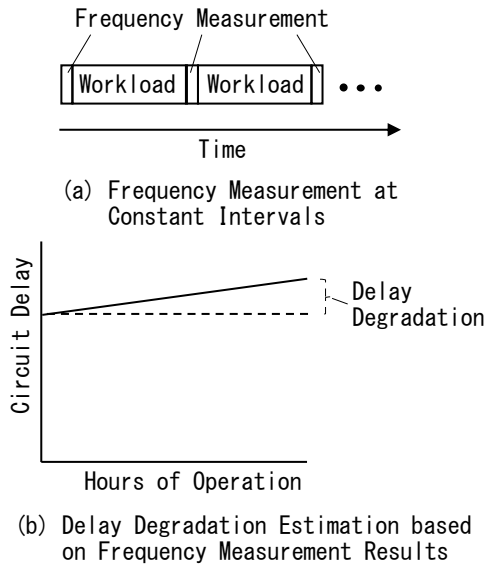


図4 現実的なワークロード実行時の劣化量測定
Figure 4 Delay Degradation Measurement under Realistic Workload

3. 高精度化手法

3.1 クロックの通倍化

最新の高性能マイクロプロセッサは1GHzを超える周波数で動作する。1GHzクラスの高分解能可変周波数クロックを直接生成するのは容易ではない。例えば、1%の分解能で1GHzのクロックを生成しようとする、10psのクロック周期の分解能が必要となる。この値はレイアウトの最適化を行わない限り、実現は困難である。一方、1%の分解能で100MHzのクロックを生成する場合、クロック周期の分解能は100psあれば良く、このレベルであればレイアウトの最適化なしに実現が可能である。1%の分解能で100MHzのクロックを10倍に通倍することで、1%の分解能で1GHzのクロックを比較的容易に生成することが可能となる。通倍率が高ければ高いほどディレイ測定の精度は高くなる。

3.2 発振器周波数の補正

CMOS回路はPVTの変動でディレイ値が変化するため、高精度な発振器を設計するのは容易ではない。そこで、提案手法ではVFOの周波数を補正する手法を採用する。図5に周波数の補正に使用するカウンタの構成を示す。カウンタ1は内部クロック(CKS)で動作し、カウンタ2のイネーブル信号を生成する。イネーブル信号はCKSのCSサイクルの間highとなる。カウンタ2はVFOの出力クロック

(CKV)で動作し、イネーブル信号がhighの期間カウンタをインクリメントする。イネーブル信号がlowとなった後のカウント数をCVとすると、CVとCSの比がCKVの周波数とCKSの周波数の比となる。

表2にVFO周波数補正カウンタの使用法を示す。図5(a)のMUXで入力クロックが選択されている場合は、CV、CS、及びCKSの周波数(FS)からCKVの周波数(FV)を求めることが可能である。CKSの周波数は入力クロックの周波数にクロック生成回路の通倍率を掛けることで求めることができる。入力クロックに高精度なクロックを使用することで、VFOの周波数を高精度で求めることが可能である。一方、図5(a)のMUXでVFOの出力を選択した場合、通常はCSとCVの比はクロック生成回路の通倍率で決まり一定値である。しかしながら、VFOの周波数が高い領域ではクロック生成回路で誤動作が発生し、CSとCVの比が通倍率と等しくならない場合がある。例えば、クロックの通倍によく用いられるPLL(Phase-Locked Loop)は最高動作周波数が存在し、その周波数で出力周波数が飽和する。CSとCVの比の値を確認することで、クロック生成回路の出力の妥当性を確認することができる。

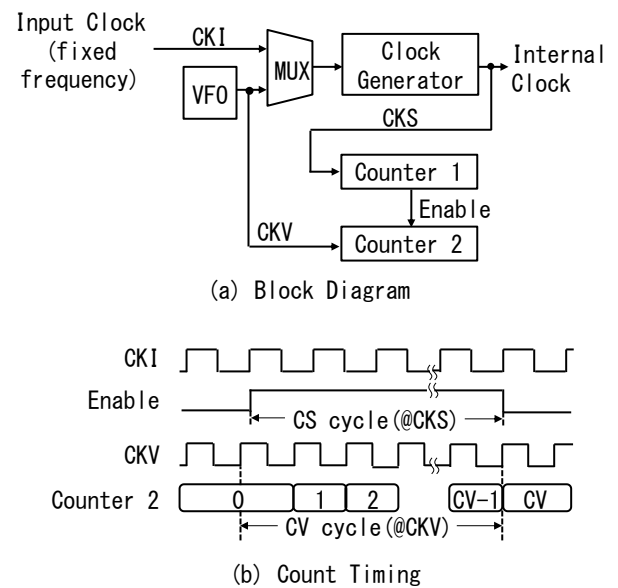


図5 VFO周波数補正カウンタ
Figure 5 VFO Frequency Calibration Counter

表2 補正カウンタの使用法
Table 2 Calibration Counter Usage

Selected Clock	Usage	Note
Input Clock	VFO Frequency Calibration	$FV = \frac{CV \times FS}{CS}$
VFO Output	Clock Generator Validity Check	$\frac{CS}{CV} = \text{const}$

FS: frequency of CKS FV: frequency of CKV

4. テストチップへの実装

4.1 テストチップの概要

提案手法を 65nm 低消費電力プロセスで実装したテストチップを作成した。テストチップの概要を表 3 に示す。テストチップは 5.0M ゲートのランダム論理と、19.0M ビットのメモリを内蔵している。提案手法のオーバーヘッドは、図 1 の VFO と MUX、図 5 (a) の補正カウンタ、及び、2.3 節で述べたウォッチドックタイマである。2.3 節で述べたその他の手法は採用しなかったが、実機を測定した結果ではメモリアクセスが最悪のクリティカルパスであり、基本制御回路は比較的多くのタイミングマージンがあることがわかった。命令フェッチやテストケースの実行結果の格納でメモリアクセスを行うが、一番高速にアクセス可能なメモリを選択することで、測定可能なディレイの範囲を拡大することが可能であった。ランダム論理の合計に対するオーバーヘッドの比率は 0.09% である。クロック生成回路は 3 種類のクロックを生成し、逡倍率はそれぞれ 6 倍、3 倍、1 倍である。

表 3 テストチップの概要
Table 3 Test Chip Overview

Radom Logic (Overhead)	5.0M gates 4.5k gates (0.09%)
Memory	19.0M bits
Clock Generator Multiplication Factor	X6, X3, X1
Process	65nm Low Power

4.2 可変周波数発振器の構成

図 6 に VFO の回路構成を示す。VFO はスタンダードセルを使用したリングオシレータである。可変周波数は、粗粒度と細粒度の 2 種類の可変ディレイで実現する。

粗粒度の可変ディレイはインバータと NAND セルで構成されている。制御信号 S0, S1, S2, ... はいずれか 1 つのみが high でそれ以外は low に設定される。例えば、S0 が high の場合、クロックは 2 個の NAND セルを通過する。S1 が high の場合は、3 個の NAND セルと 1 個のインバータを通過する。両者のディレイの差は NAND セル 1 個とインバータ 1 個である。クロックの 1 周期の間に rise と fall の 2 回の回路をクロックが通過するため、クロック周期の差は NAND セル 1 個とインバータ 1 個の rise ディレイと fall ディレイの和となる。

細粒度の可変ディレイは、2 入力 NAND セルと 3 入力 NAND セルのディレイ差を利用する。Sn0 と Sn1 (n = 0, 1, ...) のうちいずれか一方が high、もう一方が low に設定される。Sn0 が high の場合はクロックは 2 入力 NAND セルを通過し、Sn1 が high の場合は 3 入力 NAND セルを通過する。クロック周期の差は、2 入力 NAND セルと 3 入力 NAND セルのディレイの差で、rise ディレイと fall ディレイ

の和となる。

レイアウト後のディレイ計算で評価した結果、PVT が worst の条件で、粗粒度の可変ディレイは平均の分解能が 0.40ns、細粒度の可変ディレイは平均の分解能が 0.10ns となった。レイアウト設計で特別な最適化を行っていないため、クロック周期の分解能は配線負荷の設計ばらつきの影響を受け、一様ではない。

前述した通り、VFO の出力を逡倍することにより、クロック周期の分解能が向上する。6 倍に逡倍したクロックでは、クロック周期は 0.017ns となる。仮に 6 倍の周波数のクロックを直接 VFO で生成した場合、分解能はテストチップと同様 0.10ns 程度となると予想されるため、クロックの逡倍により分解能が 6 倍向上したことになる。

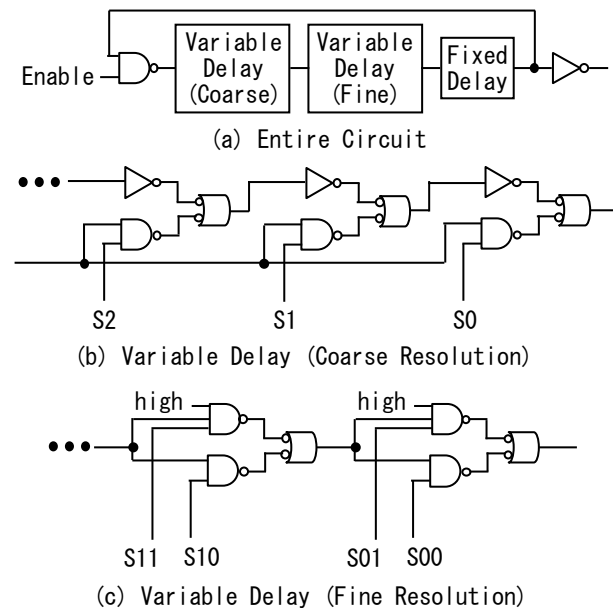


図 6 VFO の回路構成
Figure 6 VFO Circuit

4.3 測定結果

図 7 に測定結果の一例を示す。この図は、特定のテストケースを VFO の設定値毎に 100 回ずつ実行し、結果が不正となった回数の比率をプロットしたものである。前述した通り、配線長のばらつきの影響で周波数の分解能は一様ではない。図 7 の例では、VFO 周波数は左から順に 65.13、65.18、65.29、65.36、65.45、65.48、65.76MHz となっている。間隔が最小となるのは 65.45MHz と 65.48MHz の間の 0.05% であり、最大となるのは 65.48MHz と 65.76MHz の間の 0.42% であるこの不均一性がディレイの測定誤差に与える影響を評価する必要がある。

回路のディレイの時間変動の影響で一部が正しく一部が不正となる周波数が存在する。ディレイに時間変動が発生する原因としては、大きく 2 つの要因があると考えられる。一つは、半導体の微細化の進行に伴い顕在化するランダムテレグラフノイズ (RTN) [12] の影響である。RTN は時間とともにランダムにディレイ値が変動する現象で、測定対象

の回路と VFO 周波数の両方に影響を与える。もう一つは、クロック生成回路で使用している PLL のジッタである。回路のディレイを測定する際には、ディレイの時間変動を考慮した手法を考案する必要がある。

図 8 はチップ間のディレイばらつきの測定に提案手法を適用した例である。2つのチップでテストケース毎の回路のディレイを測定し、相関を調べたものである。横軸が負の領域は 2 番目のチップが遅いことを示し、正の領域は 2 番目のチップが早いことを示す。図 8 から、平均すると 2 番目のチップが 2% 程度遅いことがわかる。一方、回路ごとのディレイの差は -5% から 1% まで分布している。このことから、チップ間のグローバルなばらつきよりもチップ内のローカルなばらつきの方が大きいと言える。

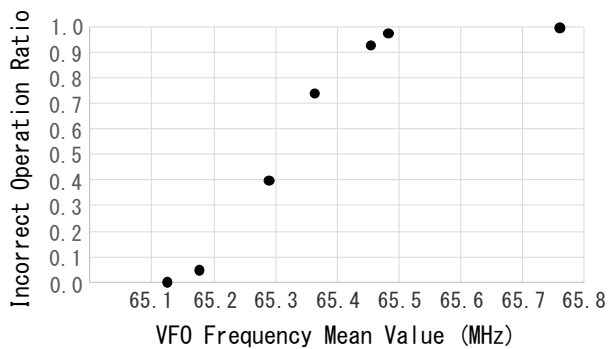


図 7 測定結果の例

Figure 7 Example of Measurement Result

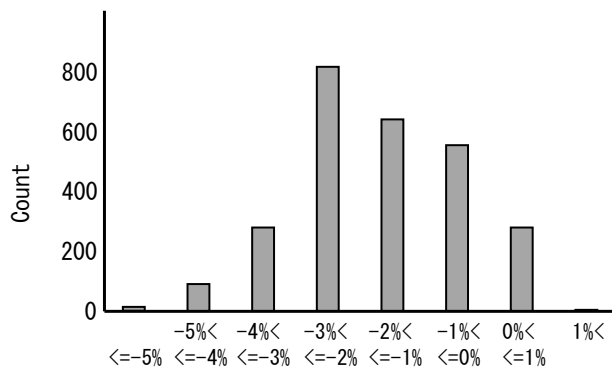


図 8 チップ間ディレイばらつきの測定

Figure 8 Inter-Chip Delay Variation Measurement

5. おわりに

本論文では、実回路の経年速度劣化量の回路構成とワークロード依存性を測定可能な精度を実現する実回路のディレイ測定手法を提案した。提案手法では、VFO が高分解能の可変周波数クロックを内部回路に供給する。内部回路はクリティカルパスを活性化するテストパターンを実行し、実行結果が不正とならない最大の動作周波数を求める。求めた最大動作周波数からクリティカルパスのディレイを計算する。VFO の出力を逡倍することでクロック周期の分解能を向上し、周波数補正カウンタで VFO 周波数の PVT に

依存するばらつきを補正する。提案手法を 65nm 低消費電力プロセスのテストチップに実装して評価した。可変周波数発振器はスタンダードセルのみを使用して構成し、特別な最適化を行うことなく自動配置配線を行った。VFO 単体で 0.10ns のクロック周期分解能を実現した。6 倍にクロックを逡倍することで分解能は 0.017ns に向上する。提案手法の面積オーバーヘッドはランダム論理の 0.09% となった。

謝辞 実回路のディレイ測定手法に関して有益なご助言を頂いた梶原誠司氏、佐藤康夫氏、三宅庸資氏、井上美智子氏、三浦幸也氏、大竹哲史氏、畠山一実氏、米田友和氏、及び、テストチップの実装にご協力頂いた下村哲也氏、竹原剛氏、佐藤新之介氏、松本浩希氏に謹んで感謝の意を表す。

参考文献

- 1) W. Wang, et al., "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 18, No. 2, pp. 173-183, Feb. 2010.
- 2) H. Keukner, et al., "NBTI Aging on 32-Bit Adders in the Downscaling Planar FET Technology Nodes," 2014 17th Euromicro Conference on Digital System Design, pp. 98-107, Aug. 2014.
- 3) E. Mintarno et al., "Workload Dependent NBTI and PBTI Analysis for a sub-45nm Commercial Microprocessor," IEEE International Reliability Physics Symposium(IRPS), pp. 3A.1.1-6, Apr. 2013.
- 4) J. Tschanz, et al., "Tunable Replica Circuits and Adaptive Voltage-Frequency Techniques for Dynamic Voltage, Temperature, and Aging Variation Tolerance," Symposium on VLSI Circuits, pp. 112-113, June 2009.
- 5) A. J. Drake, et al., "Single-cycle, pulse-shaped critical path monitor in the POWER7+ microprocessor," International Symposium on Low Power Electronics and Design (ISLPED), pp. 193-198, Sep. 2013.
- 6) T. Sato and Y. Kunitake, "A Simple Flip-Flop Circuit for Typical-Case Designs for DFM," 8th International Symposium on Quality Electronic Design (ISQED), pp. 539-544, Mar. 2007.
- 7) M. Wirthofer, L. Heis, G. Georgakos and D. Schmitt-Landsiedel, "An Energy-Efficient Supply Voltage Scheme using In-Situ Pre-Error Detection for on-the-fly Voltage Adaptation to PVT Variations," International Symposium on Integrated Circuits, pp. 94-97, Dec 2011.
- 8) A. Amouri and M. Tahoori, "A Low-Cost Sensor for Aging and Late Transitions Detection in Modern FPGAs," 21st International Conference on Field Programmable Logic and Applications, pp. 329-335, Sep. 2011.
- 9) Y. Sato, et. al., "DART: Dependable VLSI Test Architecture and Its Implementation," IEEE International Test Conference, pp. 1-10, Nov. 2012.
- 10) T. Fischer, et al., "A 90-nm Variable Frequency Clock System for a Power-Managed Itanium Architecture Processor," IEEE Journal of Solid-State Circuits, Vol. 41, No. 1, pp. 218-228, Jan. 2006.
- 11) D. Bull, et al., "A Power-Efficient 32 bit ARM Processor Using Timing-Error Detection and Correction for Transient-Error Tolerance and Adaptation to PVT Variation," IEEE Journal of Solid-State Circuits, vol. 46, Issue 1, pp. 18-31, Jan. 2011.
- 12) K. Ito, et al., "Modeling of Random Telegraph Noise under Circuit Operation - Simulation and Measurement of RTN-induced delay fluctuation," 12th International Symposium on Quality Electronic Design, pp. 1-6, Mar. 2011.