

単一磁束量子回路に基づくゲートレベル・パイプライン 算術論理演算器の高エネルギー効率化と 0.3mW, 30GHz 動作実証

田中 雅光^{1,a)} 長岡 一起¹ 石田 浩貴² 佐野 京祐¹ 山下 太郎¹ 小野 貴継² 井上 弘士²
藤巻 朗¹

概要：超伝導デバイスを用いた単一磁束量子 (SFQ) 回路は、100 GHz 級の高速動作を特徴とし、ポストムーア時代の高速・低エネルギー集積回路技術として期待される。我々は、SFQ 回路によるコンピューティング基盤の実現に向け、デバイス/回路/アーキテクチャの協創によるアプローチを行っている。これまでに、SFQ 回路の性能を最大限に引き出す、ゲートレベル・パイプライン手法を取り入れた算術論理演算器 (ALU) の動作実証を進めてきたが、本発表ではエネルギー効率の改善を目的として再設計した ALU について報告する。この ALU は、動作電圧を従来の 1/5 の 0.5 mV に下げることによって、消費電力の大幅な低減を実現している。ニオブ 9 層プロセスを用いて試作した ALU をオンチップテストにより評価し、30 GHz の動作を確認した。消費電力は 0.3 mW 以下で、エネルギー効率は 100 TOPS/W を超える。本稿では、実証した演算器に基づき、SFQ 回路における消費電力と動作速度のトレードオフ、冷凍機の冷却コストも考慮した消費電力あたりの演算性能、並びに、エラー許容によるエネルギー効率改善の可能性検討について議論を行う。

1. はじめに

超伝導エレクトロニクスを用いた、極低温コンピューティングは、ポストムーア時代の次世代コンピューティング技術の有力な候補と考えられる。特に、超伝導リング内の磁束量子の有無を利用した、単一磁束量子 (SFQ) 回路 [1,2] は、(i) 100 GHz で動作させても論理ゲートあたりの電力消費は原理的には 0.1 μ W 程度という超低消費電力性、(ii) 700 GHz を超える動作の実証 [3] が行われるなどの超高速動作性、(iii) 損失や分散が極めて小さい超伝導受動線路 [4,5] を用いた低消費電力高スループット電磁波配線技術などが特徴とし、さらに、2010 年代に入り、従来の SFQ 回路を発展させた、よりエネルギー効率の高い回路方式が次々と提案、実証されている [6-12]。この結果、冷却のハンディキャップを加味しても、CMOS 集積回路に対し

て優位性を保つことができる水準に達している。加えて、磁性体材料との融合により、従来の課題であったメモリなどで新たな進展や機能付加が可能になったことから、日米や中国を中心に活発な研究が進められている。

SFQ 回路によるマイクロプロセッサの研究は、米国の設計と試作 [13] に端を発するが、大規模集積回路の設計・実証技術が未熟であったため、動作には至らなかった。その後、日本の研究グループがプロトタイプを含む幾つかの SFQ マイクロプロセッサの動作実証に成功し [14-20]、現在に至る。ただし、これらのマイクロプロセッサにおいては、集積度の制約と、タイミング設計の難しさから、ビットシリアル処理による簡単なアーキテクチャが採用されていたため、15-100 GHz の信号で回路を駆動することに成功したものの、マイクロプロセッサとしての実効的な性能、即ちプログラム実行時間では、CMOS マイクロプロセッサと同程度の可能性を示すに留まっていた。

我々は、ポストムーア時代における超高速・超低消費電力コンピューティングを目指し、SFQ 回路によるハイパフォーマンス・コンピューティングの研究に着手している。

¹ 名古屋大学
Nagoya University, Nagoya 464-8603, Japan

² 九州大学
Kyushu University, Fukuoka 819-0395, Japan

a) masami.t@ieee.org

これまでのビットシリアル処理では、データのビット長により性能が必然的に制限されるため、大規模な科学技術計算応用に向けては、SFQ回路の高周波動作をマイクロプロセッサの処理性能に直結させる必要がある。SFQ回路のような新奇技術の特徴を最大限に引き出すには、デバイスや回路の技術レイヤーだけにとどまらず、欠点を隠蔽しながら、アーキテクチャまでを含めてシステム全体で最適化を行う協調設計(コデザイン)が鍵となる。我々は、これまでにマイクロプロセッサのアーキテクチャに関する検討 [21] を進め、ビットパラレル処理、ゲートレベル・パイプライン、細粒度マルチスレッディングを取り入れた手法の可能性を明らかにした。また、これらの手法の実現可能性を評価するために8 bitのゲートレベル・パイプラインによる算術論理演算器(ALU)を1.6 mW, 56 GHzで動作させることに成功した [22]。このALUのスループットは56 GOPS(毎秒560億演算)、エネルギー効率は35 TOPS/W(1ワット当たり毎秒35兆演算)となる。

ここで実証したALUは、ビット並列ゲートレベル・パイプライン演算の高速動作の実現可能性を評価することを主目的として設計を行ったため、消費電力については、まだ改善の余地が残されていた。本研究の目的は、よりエネルギー効率の高いSFQ回路技術を用いてALUを再設計し、エネルギー効率改善の効果を定量的に示すことである。

本稿では、まず、SFQ回路とSFQ回路におけるタイミング設計を簡単に説明した後、高エネルギー効率を目指したゲートレベル・パイプラインALUの設計と試作について報告する。駆動電圧を従来の1/5の0.5 mVに下げたことで、消費電力を1/5以下に削減することに成功し、4.2 Kの液体ヘリウム中で30 GHzでの動作実証に成功した。消費電力は0.3 mW以下で、100 TOPS/Wを超えるエネルギー効率を達成している。後半では、更なる高エネルギー効率化の見通しについて述べる。将来のプロセスを仮定すると、19倍の高効率化が見込まれ、また、システムレベルでのビット誤り率の隠蔽ができれば、動作速度を低下させることなく2.5倍の向上が可能であることを示す。これは、中～大規模冷凍機を用いたシステムにおいて、冷却コストを含めてもSFQ回路によるシステムが競争力を有することを意味する。本研究で開発したALUの動作実証の成功は、エネルギー効率に優れたテラFLOPS/Wクラスの高性能極低温コンピューティングに向けた第一歩となる。

2. 単一磁束量子回路とタイミング設計

超伝導体でできたリングに入る磁束は量子化され、磁束量子 $\Phi_0 = h/2e \approx 2.07 \times 10^{-15}$ Wb (h はプランク定数、 e は素電荷)の整数倍となる。この磁束量子の有無をバイナリ信号に対応させて演算を行う論理回路がSFQ回路である。リング内の磁束量子を操作するために、トランジスタに対応する能動素子として、ジョセフソン接合が用いら

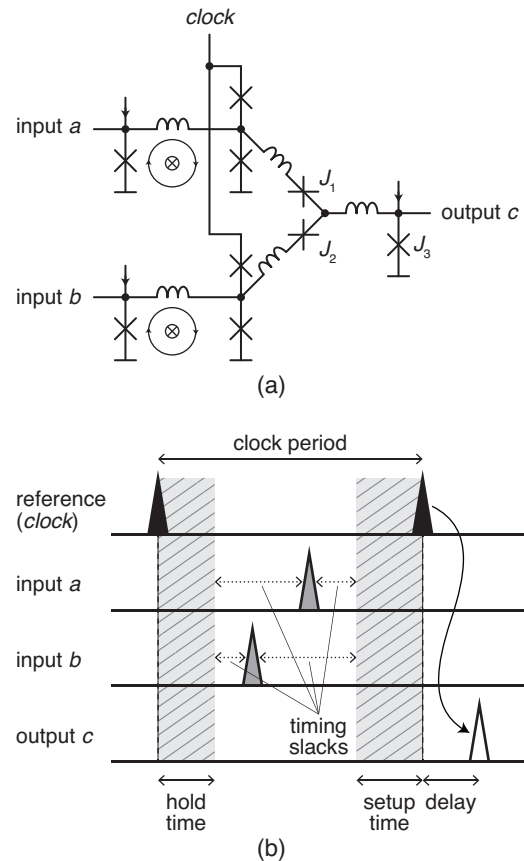


図 1 SFQ回路によるANDゲートの等価回路図(a)と動作タイミングチャート(b)。×印がジョセフソン接合を表す。磁束量子に伴う電圧パルスが来ていないのか、'0'の信号が来たのかの区別がつかないため、参照信号clockを用いて論理値を定義する。このため、各論理ゲートはクロック入力を持つ順序回路となり、ラッチ機能を内部に持つ。

れる。これは超伝導体の間に厚さ数ナノメートルのトンネル障壁層を挟んだデバイスで、現在の集積回路の主流はニオブとアルミ酸化膜を用いた、Nb/AlO_x/Nb接合である。ジョセフソン接合に一定の電流値(臨界電流値と呼ぶ)以上の電流を流すと、磁束量子がジョセフソン接合を横切ることができ、このときのみ、ジョセフソン接合の両端には磁束の時間変化に対応したインパルス状の電圧パルスが発生する。臨界電流密度10 kA/cm²、ジョセフソン接合の最小寸法1.0 μm四方の作製プロセスでは、パルス幅(ジョセフソン接合のスイッチ時間に対応)は約2 psとなる。この値は接合寸法によりスケールアップする。SFQ回路の特徴である、高速動作性や低消費電力性は、この電圧パルス信号を用いることの帰結である。

SFQ回路における論理ゲートは、磁束量子の相互作用を利用して実現される。ここでは、図1に示すANDゲートを例に説明する(代表的なSFQ回路の例については、[23]などを参照)。図1(a)はANDゲートの等価回路図である。×印がジョセフソン接合で、超伝導体の部分はインダクタで表される。幅数ピコ秒の磁束量子同士を直接作用させる

ことは難しいため、入力 a や b から入力された磁束量子は、図に示したように一旦超伝導ループで保持され、 $clock$ 信号で同時に読み出される。ジョセフソン接合 J_3 は、 J_1 や J_2 よりも臨界電流値が大きめに設定されており、磁束量子が両方の超伝導ループに保持されている場合に限り、合計の周回電流が流れることで J_3 がスイッチし、磁束量子が出力 c に伝搬される。片方にしか存在しない場合は、 J_3 の代わりに J_1 や J_2 がスイッチすることで出力は現れず、結果として論理積の演算を行うことができる。

SFQ 回路は、磁束量子に伴う電圧パルスで動作するため、電圧の高低で論理値を定義する半導体回路とは動作が大きく異なる。特に、磁束量子の到着を論理値の '1' で表すとすると、入力がまだ到着していないのか、'0' の信号が来たのか区別がつかないため、参照信号 $clock$ が必要となる。SFQ 回路においては、この参照信号は意図的にクロックと呼ばれている。このことを図 1(b) に示す。入力は、クロックの到着まで一旦論理ゲート内で待ち合わせを行うことになるため、各論理ゲートは一種の順序回路となり、ラッチ機能を内部に持つ。

なお、実際には半導体回路のフリップ・フロップと同様、クロック入力に対してデータ入力が許されない、セットアップ/ホールド時間と呼ばれる時間がある。さらに、製造ばらつきや内外の雑音などにより磁束量子の到着時間が揺らぐため、ある程度のタイミング余裕 (slack) を加えて磁束量子の動きをコントロールしなければ正しい論理演算を行うことができない。このようなタイミング設計を、論理ゲートごとに行わなければならない上、SFQ 回路が狙っているクロック周波数は数十 GHz から 100 GHz 級であり、タイミング・ウィンドウが僅か数ピコ秒しかないことが、SFQ 回路の設計を極めて難しくしている。

3. 高エネルギー効率算術論理演算器の実証

3.1 電源電圧の選定

SFQ 回路では、ジョセフソン接合が 1 回のスイッチング動作すると本質的に消費されるエネルギーは 10^{-19} J 程度である。ただし、従来の SFQ 回路では、図 2 に示すように、電源となるバイアス電流の分配・制御に一定のバイアス電圧源 V_b と抵抗 R_{b1} , R_{b2} , ... を用いている。この V_b は、ジョセフソン接合のスイッチング動作中にも一定のバイアス電流を供給するため、通常は SFQ 信号の電圧パルスよりも十分高い (5–10 倍高い) 電圧が選ばれる。このため、 R_b では、ジョセフソン接合のスイッチング動作にかかわらず、1 桁以上大きいエネルギーが静的に消費されている。

本研究では、定電流駆動を諦め、一定の低電圧で回路を駆動する低電圧駆動 RSFQ (LV-RSFQ) [10] により消費エネルギーを下げるアプローチを採用した。LV-RSFQ 回路では、バイアス電流がジョセフソン接合のスイッチング動

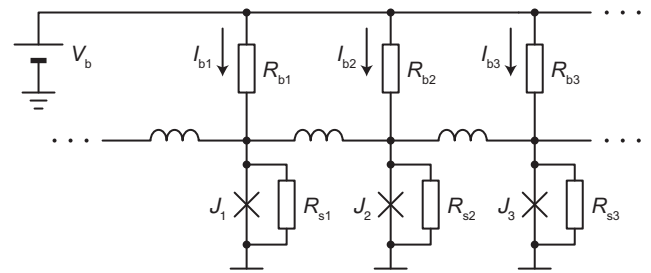


図 2 SFQ 回路におけるバイアス電流の供給方法。

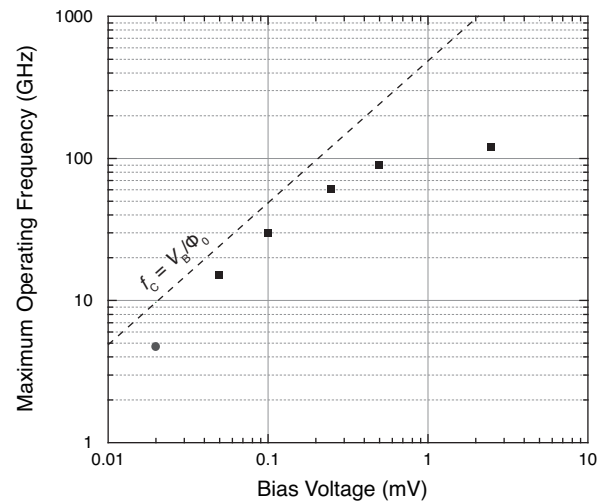


図 3 LV-RSFQ 回路におけるバイアス電圧と最高動作周波数のトレードオフ。10 kA/cm² プロセスで試作したシフトレジスタを評価した結果を [24] より抜粋した。LV-RSFQ 回路においては、原理的に動作周波数は $f_c = V_b / \Phi_0$ を超えられないことが知られている。

作に応じて減少するため、スイッチング速度が若干低下するが、それ以上に電力削減効果があるため、エネルギー効率が改善する。基本的にはバイアス電流を分配する抵抗の変更だけで設計でき、追加の回路要素がないため集積度の点で有利なこと、既存のセルライブラリなどの設計資産が活用できることなどが利点である。

図 3 は LV-RSFQ 回路におけるバイアス電圧と回路の動作速度のトレードオフを示したものである。 R_b で消費される電力はバイアス電圧に比例する。一方、前節で述べたとおり、回路の動作周波数は必ずしもジョセフソン接合のスイッチ速度だけで決まらないため、複雑である。図では、シフトレジスタを試作して実験的な評価を行った結果を示している。ALU のような複雑な回路では、シフトレジスタの 1/2 から 1/3 程度の動作周波数を達成できると考えてよい。

本研究で利用した、臨界電流値が 10 kA/cm² のアドバンスト・プロセスを仮定した場合、エネルギー効率が最も高くなるバイアス電圧は、0.2–0.5 mV 程度である。今回は、1.6 mW, 56 GHz 動作を実証した ALU に対して 1/5 となる 0.5 mV を選択した。これにより消費電力は 1/5、回路の操作速度はおおよそ 40% 低下すると予想される。

なお、 V_b を下げた状況でも一定電流を供給するために、大きなインダクタを直列に挿入する手法 (LR バイアス) [6, 7] や、ジョセフソン接合を電流の分配・制御に用いる手法 (ERSFQ, eSFQ) [8, 9] など提案されている。回路が複雑になるが、消費エネルギーの点では ERSFQ が最も優れており、LV-RSFQ 回路に比べ 2 倍程度優れたエネルギー・遅延積を達成している。

3.2 回路設計と試作

図 4(a) に回路図を示す。黒丸は SFQ 信号の分岐，白丸は合流 (ワイヤード OR に相当) を表す。簡単のため、図中ではクロック線は省略しているが、信号の分岐と合流を除き、全ての論理ゲートはクロックト・ゲートとなっており、ゲートレベルでのパイプライン処理を行う。あらゆる配線において論理ゲートの段数を同一にするため、D フリップ・フロップ (DFF) を挿入している。ALU の入力は、8 bit の符号付き整数 $X = (x_7, x_6, \dots, x_0)$ と $Y = (y_7, y_6, \dots, y_0)$ である。この ALU は桁上げ先見加算器の一種である Brent-Kung 加算器 [25] を変更し、加算、減算、論理積、論理和、排他的論理和、否定論理和の 6 つの算術論理演算を可能にしたものである。全体のパイプライン段数は 9 段である。

電源電圧を低下させると、駆動能力が下がるため、ジョセフソン接合のスイッチング時間が負荷により強く依存する傾向がある。例えば、分岐や合流回路は、通常の配線に比べて遅延時間が大きくなり易く、これらを含む配線では、他の配線と比べ SFQ 信号の到着が遅くなる。ビット並列回路では、ファンアウトやファンインが大きい箇所が存在するため、このようなタイミングの差が特に問題となる。クロック分配と配置配線においては、PTL 配線の長さを数 μm 単位で調整し、ピコ秒単位のタイミングを慎重に考慮したレイアウト設計を行った。本設計では、製造ばらつきや熱雑音によるジッターなど、既知あるいは未知な効果によるずれや揺らぎの影響を極力排除するため、クロック木は魚骨状とし、PTL 配線長は同一パイプライン・ステージのすべての論理ゲートに対して等長とした。

詳細配線を考慮したポストレイアウト・シミュレーションは、Cadence Verilog-XL を用いて行った。このシミュレーションでは、実際の配線遅延を含む回路の動作を検証することが可能である。ばらつきを考慮しない場合、設計値の 30 GHz において、電源となるバイアス電圧に対する動作マージンは設計値に対して 82–125% であり、最高動作周波数は 42 GHz と見積もった。このとき期待される消費電力とエネルギー効率は、それぞれ 0.271 mW と 111 TOPS/W である。

テストチップは、産業技術総合研究所のアドバンスト・プロセス [26] を用いて試作した。アドバンスト・プロセスでは、ニオブによる 9 層の超伝導配線層とモリブデンに

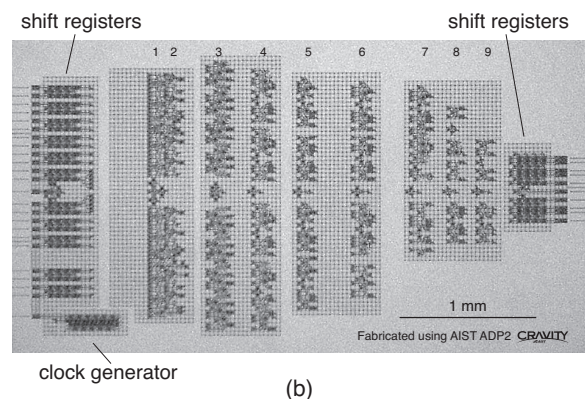
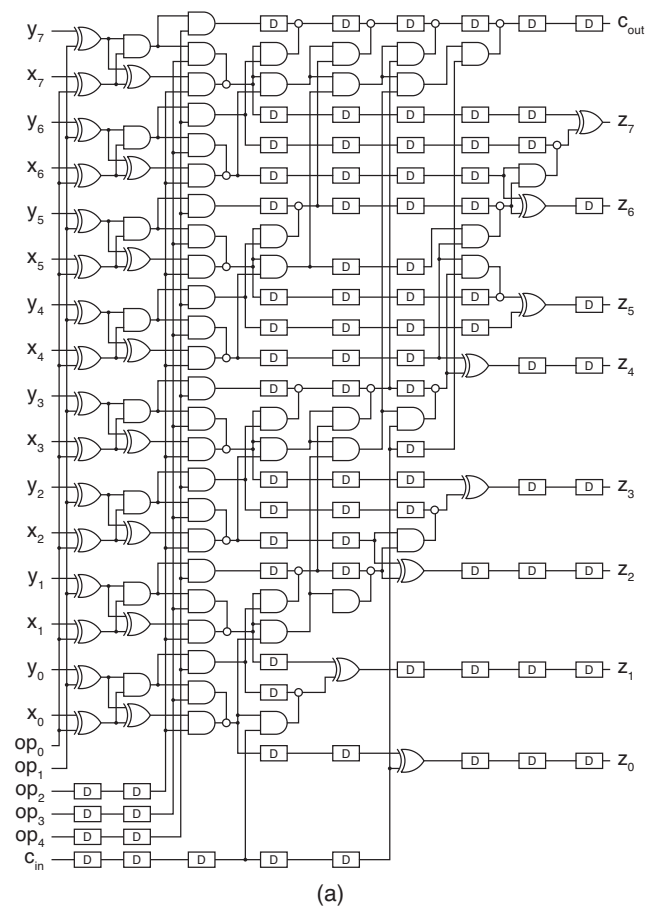


図 4 ゲートレベル・パイプライン ALU の回路図 (a) と試作したテストチップの顕微鏡写真 (b)。D はパイプライン段数を合わせるために挿入した D フリップフロップ，黒丸は SFQ 信号の分岐，白丸は合流を表す。テスト回路は、産業技術総合研究所のニオブ 9 層プロセスで試作され、7451 個のジョセフソン接合を集積している。オンチップ高周波テストのためのシフトレジスタ，オンチップ高周波クロック発生回路を含む。

よる 1 層の抵抗層による集積デバイスが作製可能であり、電源供給、PTL 配線、論理ゲートを自由に重ねてレイアウトすることができる。ALU は $2.85 \times 2.01 \text{ mm}^2$ の面積に集積された 4908 個のジョセフソン接合で構成される。通常の電源電圧 (2.5 mV) で設計した ALU [22] と比較して、タイミング調整用のジョセフソン接合が若干増えたため、接合数は 0.8% 増加している。図 4(b) に ALU のテストチッ

プの顕微鏡写真を示す。オンチップテストのためのクロック発振回路、テストベクタや結果を格納するシフトレジスタなどを加え、7451個のジョセフソン接合が含まれる。これらのオンチップテスト用の周辺回路は、通常の電源電圧で設計した。ダイサイズは $7.1 \times 7.1 \text{ mm}^2$ である。

3.3 動作テスト

チップ評価は液体ヘリウムを用い、4.2 Kに冷却して行った。オンチップの高周波テストにより、ゲートレベル・パイプライン処理による正常動作を確認した。複数の演算命令を含むテストシーケンスを2種類用いて、すべての算術演算と論理演算をそれぞれテストした。

ALUは、図4(b)の上部に示すように、パイプライン・ステージの1-2段目、3-4段目、5-6段目、7-9段目の4つの部分に分けて独立に電源供給することで、詳細な評価を行えるようにしている。図5の(a)から(d)に、測定によって得られたALUのそれぞれの部分における動作領域の周波数依存性を示す。縦軸は、4つの部分に印加したバイアス電圧値である。

ALUの各部分の動作マージンを評価する際には、他の部分は最も動作の安定する、動作領域の中央にバイアス電圧を設定した。図5(a)の通り、設計値の0.5 mVに対して、1-2段目のパイプライン・ステージは低いバイアス電圧の領域でのみ動作した。設計においては、パイプライン・ステージ間のクロック配線とデータ配線には基本的にPTLを用いているが、物理的に距離の近い1, 2段目の接続はジョセフソン接合を用いたジョセフソン伝送路(JTL)を用いている。我々は、PTLとJTLにおけるタイミング特性の相違が、ばらつきやタイミング揺らぎに対する耐性を低下させた原因だと考えている。ALUの他の部分については、比較的広い動作マージンが得られた。

算術演算と論理演算のそれぞれについて、オンチップテストで得られた最高動作周波数は30 GHzであった。これは30 GOPS(每秒30億演算)のスループット特性に相当する。30 GHz動作時における消費電力は、それぞれ276 μW と251 μW で、エネルギー効率(109 TOPS/Wと120 TOPS/W)を達成した。

4. エラー許容によるエネルギー効率改善の可能性検討

SFQ回路にはスケール則がある[27]、ジョセフソン接合の臨界電流値は、作製プロセスで決まる臨界電流密度と、接合面積の積で決定される。同じ臨界電流値(即ち、同じ設計パラメータ)でSFQ回路を実現する場合、臨界電流密度を上げ、接合面積を小さくすることでより高速なスイッチ動作をさせることができる。即ち、高臨界電流密度化と加工寸法の微細化による作製プロセスの進展は、動作速度の向上とエネルギー効率の改善に貢献する。

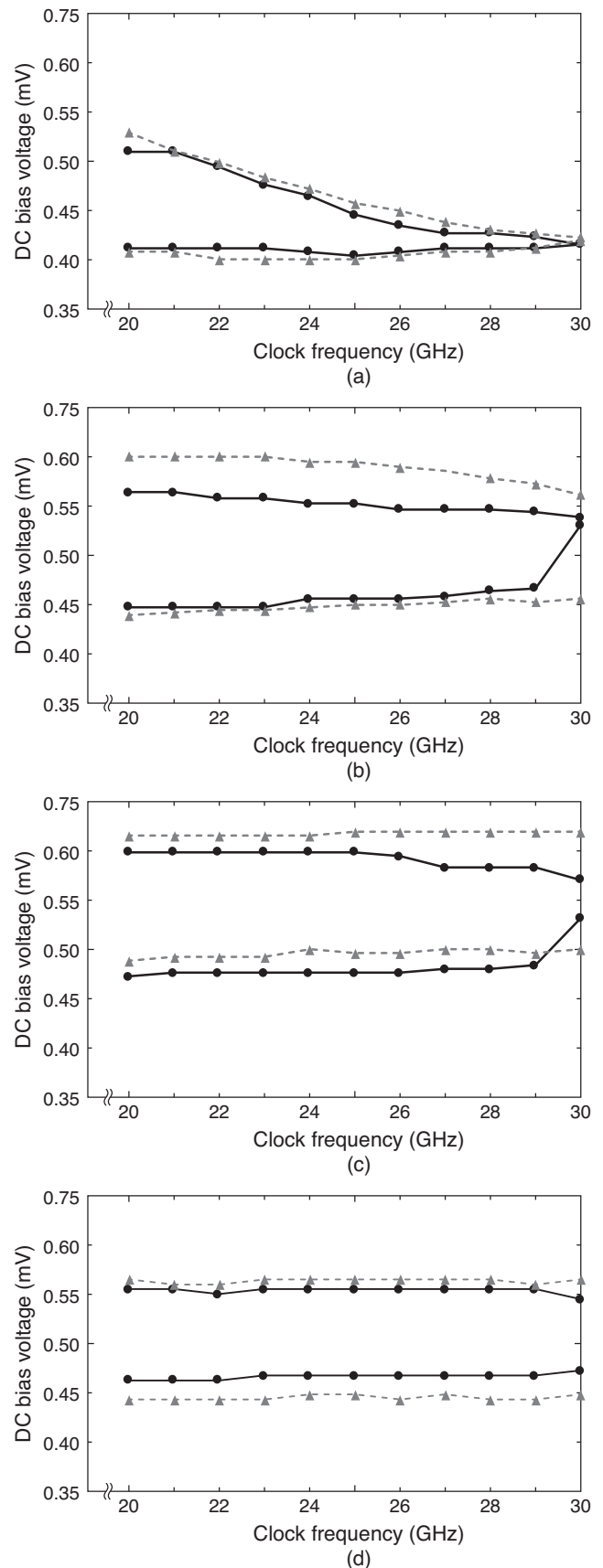


図5 8 bit ALUの動作領域と周波数依存。パイプライン・ステージの(a) 1-2段目、(b) 3-4段目、(c) 5-6段目、(d) 7-9段目の4つの部分に分けて独立に供給バイアス電圧を変化させたとき、動作した領域を折れ線で囲まれた内側の領域で示す。

表 1 ALU の性能の比較 (冷却のための電力を含めない)

	V_b mV	消費電力 mW	周波数 GHz	効率 TOPS/W
先行研究 [22]	2.5	1.57	56	36
本報告	0.5	0.276	30	109
0.2 μm プロセス	0.5	0.28	150	540
0.1 μm プロセス	0.5	0.007	150	2100

今回の設計で用いたセルライブラリ [28, 29] では、臨界電流密度 100 kA/cm^2 、最小のジョセフソン接合寸法は $1 \mu\text{m}$ 四方 (臨界電流値は $100 \mu\text{A}$) のニオブ接合による作製プロセスを利用している。0.2 μm プロセスを仮定した場合、ジョセフソン接合の大きさを $1/5$ 、臨界電流密度を 250 kA/cm^2 として、動作速度はおよそ 5 倍に向上することが期待される。これ以上の高速化 (高臨界電流密度化) はニオブ接合では難しいが、別の超伝導材料、例えば窒化ニオブなどで実現できる可能性がある。

臨界電流密度を一定に保つ場合、速度の改善はないものの、ジョセフソン接合の面積を小さくして臨界電流値 (I_c) を下げることにより、消費電力を下げる事が可能である。これまでに試作したデバイスや回路で、作製ばらつきやビット誤り率の評価 [30] を行った限りでは、臨界電流値を $1/2$ または $1/4$ に下げても遜色ない結果が得られている。0.1 μm プロセスを仮定し、接合面積が $1/4$ になった場合、2100 TOPS/W (2.1 POPS/W) の性能を見込むことができる。表 1 にこれまでに実証した ALU と、上記の検討結果をまとめる。

臨界電流値 (I_c) を下げることは、消費エネルギーを下げる直接的なアプローチであるが、作製プロセスで加工できる最小接合寸法のほかに、熱雑音に対して十分な信号雑音比を確保すること、などが回路を動作させるための制約となる。SFQ 回路において、熱雑音を発生させる主な要因はジョセフソン接合のスイッチ動作を安定させるために並列に挿入するシャント抵抗 (図 2 における R_{s1} , R_{s2} , ...) である。回路動作に必要なシャント抵抗の値は、臨界電流密度の平方根に比例し、臨界電流密度に反比例する。臨界電流値を小さくすると、遅延時間はほぼ変わらないが、熱雑音に起因するタイミング・ジッターは増加する。4.2 K における熱雑音を考慮し、臨界電流密度 2.5 kA/cm^2 のプロセスで試作する $I_c = 100, 25, 10 \mu\text{A}$ のジョセフソン接合 1 つあたりのタイミング・ジッターを数値計算により計算したところ、それぞれ $\sigma = 0.134, 0.231, 0.385 \text{ ps}$ と見積もられた。これは過去に行われた実験結果 [31, 32] と比較して妥当である。以下、これに基づき臨界電流密度の低減化の影響を議論する。ただし、ここでは簡単のため、(i) タイミング・ジッターの値についても単純なスケール則が成り立つこと、(ii) 各ジョセフソン接合の揺らぎは独立に生じること、(iii) シャント抵抗以外の雑音源は無視できること、と仮定する。

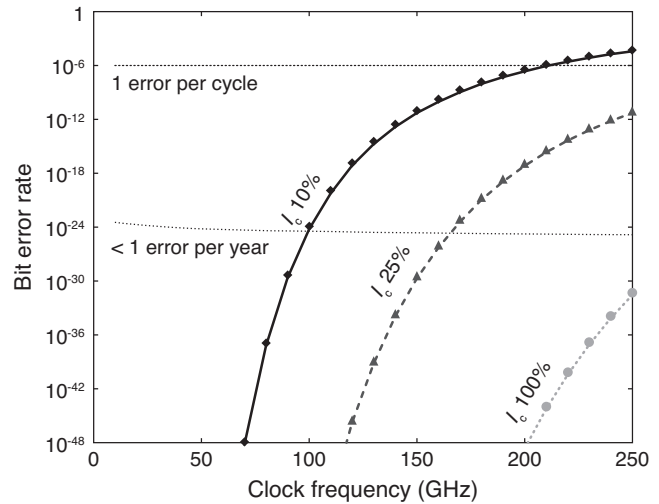


図 6 臨界電流値を低減化させた場合の動作周波数とビット誤り率との関係。250 kA/cm^2 プロセスで 100 万接合規模の回路を想定して解析的に求めた結果。

8 bit ALU の設計経験に基づき、将来の大規模な SFQ 回路において論理ゲート間の配線上のジョセフソン接合数を 160 (クロックと信号線の合計) と想定する。セットアップ/ホールド時間を無視すれば、クロック周期 T に対して理想的なタイミング余裕は $\Delta = T/2$ であり、タイミング・ジッターがこの枠内に収まらなければ誤動作となる。この確率は

$$1 - \text{erf}(\Delta/\sigma'\sqrt{2}) \quad (1)$$

で計算できる。ここで、 $\sigma' = \sqrt{160}\sigma/10$ はスケールしたタイミング・ジッターの値、 $\text{erf}(x)$ は誤差関数である。

図 6 は式 (1) に従い、100 万接合規模の回路を想定してビット誤り率をプロットしたものである*1。1 年間に 1 回の誤動作を事実上のエラーフリー動作と考えると、 $I_c = 25 \mu\text{A}$ のジョセフソン接合を用いる場合、160 GHz 程度が動作周波数の上限となり、ここから更に臨界電流値を下げると、エラーフリー動作を保証するためにさらに動作周波数を下げる必要がある。例えば、 $I_c = 10 \mu\text{A}$ のジョセフソン接合を用いる場合は、100 GHz が上限となる。

この制約は、あくまでも回路がエラーフリーで動作することを前提とした議論であるため、アルゴリズムやアプリケーションなどシステムレベルで誤動作が許容できる場合は、動作周波数の上限を引き上げることができることを意味する。例えば、1 クロック・サイクルあたり回路のどこか 1 箇所でも 1 回のエラーを許容できる場合、 $I_c = 10 \mu\text{A}$ のジョセフソン接合を用いれば、速度を低下させることなく、消費電力を $1/10$ に下げることが可能である。なお、このジョセフソン接合の実現には 60 nm の加工寸法が要求されるが、現在の半導体集積回路の作製プロセスと比べて非現実的な寸法ではなく、物理的に大きな障害は見当たらないと思われる。

*1 x が大きいとき、 $\text{erf}(x) \approx 1 - e^{-x^2}/x\sqrt{\pi}$ を利用して近似した。

以上をまとめると、臨界電流密度を 250 kA/cm^2 に向上させた $1/5$ スケーリング、 60 nm 級のプロセス微細加工技術、システムレベルでのビット誤り率隠蔽を駆使することにより、およそ 5400 TOPS/W のエネルギー効率が達成可能である。大型冷凍機の成績係数を 600 W/W と想定すると、冷却のコストを含めても 9 TOPS/W のエネルギー効率が期待でき、少なくとも半導体集積回路に比べて1桁の優位性がある。本研究では、汎用のALUの設計と実証に基づいて見積もりを行ったが、AI処理など、アプリケーションに特化したチューニングを行えば、更なるエネルギー効率の改善も見込むことができる。

5. おわりに

ゲートレベル・パイプライン手法を取り入れたALUについて、エネルギー効率の改善を目的として再設計したALUについて報告した。試作した8ビットALUは、消費電力を $1/5$ 以下に削減することに成功し、 30 GHz での動作実証に成功した。エネルギー効率については 109 TOPS/W (1 ワット あたり毎秒 109 兆演算)を達成した。将来のプロセスを仮定すると、 19 倍の高効率化が見込まれる。また、システムレベルでのビット誤り率の隠蔽ができれば、動作速度を低下させることなく 2.5 倍の向上が可能である。これらの結果は、中～大規模冷凍機を用いたシステムにおいて、冷凍機の冷却コストを含めても、SFQ回路によるシステムが競争力を有することを意味する。我々は、デバイス/回路/アーキテクチャの階層横断型アプローチにより、現在、特定アプリケーション向けの処理エンジンや、高性能マイクロプロセッサなどの実現に向け、取り組みを進めている。本研究で開発したALUの動作実証の成功は、エネルギー効率に優れたテラFLOPS/Wクラスの高性能極低温コンピューティングに向けた第一歩となる。

今回のエラー許容によるエネルギー効率改善の可能性の検討では、幾つかの仮定をおき、簡単なモデル化に基づいた計算による見積もりを示した。今後は、回路シミュレーションやチップ試作と実験結果に基づき、将来プロセスにおける見積もりの精緻化を目指す。

謝辞 本研究はJST未来社会創造事業JPMJMI18E1, ならびに、JSPS 科研費 JP16H02796, JP18H05211, JP18H01498, 及び19H01105の支援を受け実施したものである。回路は産業技術総合研究所のクリーンルームCRAVITYにおいて作製された。研究の一部は、東京大学大規模集積システム設計教育研究センター(VDEC)を通し、ケイデンス株式会社の協力で行われたものである。

参考文献

[1] Nakajima, K., Onodera, Y. and Ogawa, Y.: Logic design of Josephson network, *J. Appl. Phys.*, Vol. 47, No. 4, pp. 1620–1627 (1976).

[2] Likharev, K. K. and Semenov, V. K.: RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems, *IEEE Trans. Appl. Supercond.*, Vol. 1, No. 1, pp. 3–28 (1991).

[3] Chen, W., Rylyakov, A., Patel, V., Lukens, J. and Likharev, K.: Rapid single flux quantum T-flip flop operating up to 770 GHz , *IEEE Trans. Appl. Supercond.*, Vol. 9, No. 2, pp. 3212–3215 (1999).

[4] Polonsky, S., Semenov, V. and Schneider, D.: Transmission of single-flux-quantum pulses along superconducting microstrip lines, *IEEE Trans. Appl. Supercond.*, Vol. 3, No. 1, pp. 2598–2600 (1993).

[5] Hashimoto, Y., Yorozu, S., Kameda, Y. and Semenov, V.: A design approach to passive interconnects for single flux quantum logic circuits, *IEEE Trans. Appl. Supercond.*, Vol. 13, No. 2, pp. 535–538 (2003).

[6] Rylyakov, A.: New design of single-bit all-digital RSFQ autocorrelator, *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 2709–2712 (1997).

[7] Yoshikawa, N. and Kato, Y.: Reduction of power consumption of RSFQ circuits by inductance-load biasing, *Supercond. Sci. Technol.*, Vol. 12, No. 11, pp. 918–920 (1999).

[8] Kirichenko, D. E., Sarwana, S. and Kirichenko, A. F.: Zero static power dissipation biasing of RSFQ circuits, *IEEE Trans. Appl. Supercond.*, Vol. 21, No. 3, pp. 776–779 (2011).

[9] Volkmann, M. H., Sahu, A., Fourie, C. J. and Mukhanov, O. A.: Implementation of energy efficient single flux quantum digital circuits with sub-aJ/bit operation, *Supercond. Sci. Technol.*, Vol. 26, No. 1, p. 015002 (2013).

[10] Tanaka, M., Ito, M., Kitayama, A., Kouketsu, T. and Fujimaki, A.: 18-GHz, 4.0-aJ/bit operation of ultra-low-energy rapid single-flux-quantum shift registers, *Jpn. J. Appl. Phys.*, Vol. 51, p. 053102 (2012).

[11] Herr, Q. P., Herr, A. Y., Oberg, O. T. and Ioannidis, A. G.: Ultra-low-power superconductor logic, *J. Appl. Phys.*, Vol. 109, No. 10, p. 103903 (2011).

[12] Takeuchi, N., Ozawa, D., Yamanashi, Y. and Yoshikawa, N.: An adiabatic quantum flux parametron as an ultra-low-power logic device, *Supercond. Sci. Technol.*, Vol. 26, No. 3, p. 035010 (2013).

[13] Dorojevets, M., Bunyk, P. and Zinoviev, D.: FLUX chip: design of a 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on $1.75\text{-}\mu\text{m}$ LTS technology, *IEEE Trans. Appl. Supercond.*, Vol. 11, No. 1, pp. 326–332 (2001).

[14] Tanaka, M., Matsuzaki, F., Kondo, T., Nakajima, N., Yamanashi, Y., Fujimaki, A., Hayakawa, H., Yoshikawa, N., Terai, H. and Yorozu, S.: A single-flux-quantum logic prototype microprocessor, *2004 IEEE International Solid-State Circuits Conference*, pp. 298–529 (2004).

[15] Tanaka, M., Kondo, T., Nakajima, N., Kawamoto, T., Yamanashi, Y., Kamiya, Y., Akimoto, A., Fujimaki, A., Hayakawa, H., Yoshikawa, N., Terai, H., Hashimoto, Y. and Yorozu, S.: Demonstration of a single-flux-quantum microprocessor using passive transmission lines, *IEEE Trans. Appl. Supercond.*, Vol. 15, No. 2, pp. 400–404 (2005).

[16] Yamanashi, Y., Tanaka, M., Akimoto, A., Park, H., Kamiya, Y., Irie, N., Yoshikawa, N., Fujimaki, A., Terai, H. and Hashimoto, Y.: Design and implementation of a pipelined bit-serial SFQ microprocessor, CORE1 β ,

- IEEE Trans. Appl. Supercond.*, Vol. 17, No. 2, pp. 474–477 (2007).
- [17] Fujimaki, A., Tanaka, M., Yamada, T., Yamanashi, Y., Park, H. and Yoshikawa, N.: Bit-serial single flux quantum microprocessor CORE, *IEICE Trans. Electron.*, Vol. E91-C, No. 3, pp. 342–349 (2008).
- [18] Tanaka, M., Hayakawa, Y., Takata, K. and Fujimaki, A.: 35-GHz demonstration of energy-efficient microprocessor based on low-voltage RSFQ circuit, *Applied Superconductivity Conference*, Charlotte, NC, USA (2014).
- [19] Ando, Y., Sato, R., Tanaka, M., Takagi, K., Takagi, N. and Fujimaki, A.: Design and demonstration of an 8-bit bit-serial RSFQ microprocessor: CORE e4, *IEEE Trans. Appl. Supercond.*, Vol. 26, No. 5, p. 1301205 (2016).
- [20] Sato, R., Hatanaka, Y., Ando, Y., Tanaka, M., Fujimaki, A., Takagi, K. and Takagi, N.: High-speed operation of random-access-memory-embedded microprocessor with minimal instruction set architecture based on rapid single-flux-quantum logic, *IEEE Trans. Appl. Supercond.*, Vol. 27, No. 4, p. 1300505 (2017).
- [21] 石田浩貴, 田中雅光, 小野貴継, 井上弘士: 単一磁束量子回路向けマイクロプロセッサのアーキテクチャ探索, 情報処理学会論文誌, Vol. 58, No. 3, pp. 629–643 (2017).
- [22] 田中雅光, 石田浩貴, 長岡一起, 村瀬健, 佐野京佑, 小野貴継, 井上弘士, 藤巻朗: 単一磁束量子回路に基づくゲートレベル・パイプライン算術論理演算器の設計とエネルギー効率評価, 情報処理学会研究報告, ARC2018-224, Vol. 2018-ARC-232, 熊本市, pp. 1–8 (2018).
- [23] 田中雅光: デバイス/回路/アーキテクチャの協創による超伝導超高速マイクロプロセッサ, 情報処理学会研究報告, ARC2018-223, Vol. 2018-ARC-231, 山形市, pp. 1–6 (2018).
- [24] Tanaka, M., Kitayama, A., Koketsu, T., Ito, M. and Fujimaki, A.: Low-energy consumption RSFQ circuits driven by low voltages, *IEEE Trans. Appl. Supercond.*, Vol. 23, No. 3, p. 1701104 (2013).
- [25] Brent, R. P. and Kung, H. T.: A Regular Layout for Parallel Adders, *IEEE Trans. Comput.*, Vol. C-31, No. 3, pp. 260–264 (1982).
- [26] Nagasawa, S., Hinode, K., Satoh, T., Hidaka, M., Akaike, H., Fujimaki, A., Yoshikawa, N., Takagi, K. and Takagi, N.: Nb 9-layer fabrication process for superconducting large-scale SFQ circuits and its process evaluation, *IEICE Trans. Electron.*, Vol. E97.C, No. 3, pp. 132–140 (2014).
- [27] Kadin, A. M., Mancini, C. A., Feldman, M. J. and Brock, D. K.: Can RSFQ logic circuits be scaled to deep submicron junctions?, *IEEE Trans. Appl. Supercond.*, Vol. 11, No. 1, pp. 1050–1055 (2001).
- [28] Akaike, H., Tanaka, M., Takagi, K., Kataeva, I., Kasagi, R., Fujimaki, A., Takagi, K., Igarashi, M., Park, H., Yamanashi, Y., Yoshikawa, N., Fujiwara, K., Nagasawa, S., Hidaka, M. and Takagi, N.: Design of single flux quantum cells for a 10-Nb-layer process, *Physica C*, Vol. 469, No. 15–20, pp. 1670–1673 (2009).
- [29] Yamanashi, Y., Kainuma, T., Yoshikawa, N., Kataeva, I., Akaike, H., Fujimaki, A., Tanaka, M., Takagi, N., Nagasawa, S. and Hidaka, M.: 100 GHz demonstrations based on the single-flux-quantum cell library for the 10 kA/cm² Nb multi-layer process, *IEICE Trans. Electron.*, Vol. E93-C, No. 4, pp. 440–444 (2010).
- [30] Tanaka, M., Kitayama, A., Takinami, T., Komura, Y. and Fujimaki, A.: Bit error rate in low-voltage RSFQ circuits with small critical currents/lowered bias voltages, *2013 IEEE 14th International Superconductive Electronics Conference (ISEC)*, pp. 1–3 (2013).
- [31] Terai, H., Wang, Z., Hishimoto, Y., Yorozu, S., Fujimaki, A. and Yoshikawa, N.: Timing jitter measurement of single-flux-quantum pulse in Josephson transmission line, *Appl. Phys. Lett.*, Vol. 84, No. 12, pp. 2133–2135 (2004).
- [32] Terabe, M., Sekiya, A., Yamada, T. and Fujimaki, A.: Timing jitter measurement in single-flux-quantum circuits based on time-to-digital converters with high time-resolution, *IEEE Trans. Appl. Supercond.*, Vol. 17, No. 2, pp. 552–555 (2007).