

論理関数 P_D^n を計算する 3 段のしきい値回路

久野 太吾^{1,a)} 内澤 啓^{1,b)}

概要: 本研究では脳の視覚情報処理に基づいた論理関数である P_D^n に着目した。既知の研究結果では、素子数 $O(\sqrt{n} \log n)$ で段数 $O(\sqrt{n})$ のしきい値回路が与えられているが、本稿ではこれを改良し、素子数 $O(\sqrt{n} \log n)$ かつ段数 3 のしきい値回路の構成を与える。

1. はじめに

神経細胞は他の神経細胞から電気信号を受け取り、細胞内の電位を変化させる。さらに、細胞内の電位が、あるしきい値を超えると他の神経細胞に電気信号を伝える [1]。この振る舞いをモデル化したものを人工ニューロンという。

人工ニューロンのなかに、しきい値素子と呼ばれるものがある。しきい値素子は、 n 個の入力 $\mathbf{x} = (x_0, x_1, \dots, x_{n-1}) \in \{0, 1\}^n$ と実数の重み $\mathbf{w} = (w_0, w_1, \dots, w_{n-1})$ としきい値 t を持っている。入力の 0 と 1 は電気信号の有無を表し、重みは各信号の重要度を表している。しきい値素子の出力 $g(\mathbf{x})$ は

$$g(\mathbf{x}) = \text{sign} \left(\sum_{i=0}^{n-1} w_i x_i - t \right)$$

となる。

しきい値回路は、しきい値素子からなる組合せ回路であり、その重みやしきい値を適切に設定することにより様々な関数を計算することができる。回路の評価基準には、回路の規模を示す素子数や、回路の計算時間を示す段数がある。

P_D^n は、2 つの物体の位置関係に関する論理関数である。 P_D^n は、2 つのベクトル $\mathbf{x}, \mathbf{y} \in \{0, 1\}^n$ を入力とし、2 つの入力を 2 次元の格子に 1 つ 1 つ並べて 2 つの入力を重ねたときに、ある $y_i = 1$ の左下に $x_i = 1$ が存在したとき出力は 1、それ以外するとき出力は 0 となる。直感的には、 P_D^n の入力を 2 次元の格子に 1 つ 1 つ並べて 2 つの入力を重ね合わせたときに、右上と左下に分割できるか、そうでないかを判別する論理関数である。 P_D^n は論文 [2] で定義が与えられ、その後いくつかの結果が得られている (表 1)。まず論

表 1 P_D^n を計算するしきい値回路の研究結果

参照	素子数	段数
[2]	$O(n)$	$O(\log n)$
[3]	$O(\sqrt{n} \log n)$	$O(\sqrt{n})$
本研究	$O(\sqrt{n} \log n)$	3

文 [2] において、素子数 $O(n)$ かつ段数 $O(\log n)$ のしきい値回路で計算できることが示されている。また、論文 [3] では、素子数 $O(\sqrt{n} \log n)$ かつ段数 $O(\sqrt{n})$ のしきい値回路で計算できることが示されている。さらに論文 [3] では、素子数に対して、 $\Omega(\sqrt{n}/\log n)$ の下界も示されている。本研究では、論文 [3] の構成を改良し、素子数 $O(\sqrt{n} \log n)$ からなる段数 3 のしきい値回路を与える。

2. 定義

本章では、しきい値素子、しきい値回路、および本研究の対象となる論理関数 P_D^n を定義する。

2.1 しきい値回路

しきい値素子は n 個の入力 $\mathbf{x} = (x_0, x_1, \dots, x_{n-1}) \in \{0, 1\}^n$ に対して、それぞれに対応する重み $\mathbf{w} = (w_0, w_1, \dots, w_{n-1})$ としきい値 t を持つ。ここで、重みとしきい値は全て実数とする。しきい値素子の出力 $g(\mathbf{x})$ は入力 \mathbf{x} と重み \mathbf{w} としきい値 t を用いて

$$g(\mathbf{x}) = \text{sign} \left(\sum_{i=0}^{n-1} w_i x_i - t \right)$$

となる。

しきい値回路は、しきい値素子からなる組合せ回路である。しきい値回路の評価指標に素子数と段数がある。素子数は回路を構成する素子の数であり、段数は、入力から出力までの通る素子の数で最大の数値である。

¹ 山形大学大学院理工学研究科
 Graduate School of Science and Engineering, Yamagata University, Yonezawa, Yamagata 992-8510, Japan

a) tae35476@st.yamagata-u.ac.jp

b) uchizawa@yz.yamagata-u.ac.jp

	0	1	...	j	...	σ
0	$x_{0,0}$	$x_{0,1}$		$x_{0,j}$		$x_{0,\sigma}$
1	$x_{1,0}$	$x_{1,1}$		$x_{1,j}$		$x_{1,\sigma}$
\vdots						
i	$x_{i,0}$	$x_{i,1}$		$x_{i,j}$		$x_{i,\sigma}$
\vdots						
σ	$x_{\sigma,0}$	$x_{\sigma,1}$		$x_{\sigma,j}$		$x_{\sigma,\sigma}$

図 1 P_D^n の入力 $]bf_x$ の配置方法

2.2 P_D^n

論理関数 P_D^n は、図 1 のような $\sigma+1$ 行、 $\sigma+1$ 列の正方形の格子に、入力である $\mathbf{x} = (x_{0,0}, x_{0,1}, \dots, x_{\sigma,\sigma}) \in \{0, 1\}^n$ と $\mathbf{y} = (y_{0,0}, y_{0,1}, \dots, y_{\sigma,\sigma}) \in \{0, 1\}^n$ を並べたときのある相対的な位置関係の認識に関わる論理関数である。図 1 に変数 \mathbf{x} の並び方を示す。変数 \mathbf{y} もこれと同様に並べられているものとする。 n は完全平方数であり、 $\sigma = \sqrt{n} - 1$ である。

上記の並べ方にに基づき、入力 $\mathbf{x}, \mathbf{y} \in \{0, 1\}^n$ に対する $P_D^n(\mathbf{x}, \mathbf{y})$ は

$$P_D^n(\mathbf{x}, \mathbf{y}) = \begin{cases} 1 & \text{if } \exists i_1, i_2, j_1, j_2 : x_{i_1, j_1} = y_{i_2, j_2} = 1 \\ & \text{such that } i_1 > i_2 \text{ and } j_1 < j_2; \\ 0 & \text{otherwise} \end{cases}$$

と定義される。言い換えれば、ある $y_{i_2, j_2} = 1$ が存在し、その左下に $x_{i_1, j_1} = 1$ が存在したときに限り $P_D^n(\mathbf{x}, \mathbf{y})$ の出力は 1 となる。

3. 結果

本論文の結果は以下の定理である。

定理 3.1. 素子数 $O(\sqrt{n} \log n)$ かつ、3 段のしきい値回路で P_D^n を計算できる。

以降では、実際に回路を構成することにより、定理 3.1 を証明する。まず 3.1 節で、回路構成のアイデアを述べる。続いて 3.2 節で、そのアイデアに基づいた回路の詳細な設計について述べる。最後に 3.3 節で回路全体の段数と素子数の評価をする。

3.1 回路構成のアイデア

入力 \mathbf{x} および、 $0 \leq j \leq \sigma$ なる各 j について、演算

$$\max(\mathbf{x}; *, j) = \max\{i \mid x_{i,j} = 1, 0 \leq i \leq \sigma\},$$

を定義する。この演算は j 番目の列の $x_{i,j} = 1$ となるような i の最大値を出力する。もしも、 $x_{i,j} = 1$ となるような i が存在しない場合、 $\max(\mathbf{x}; *, j) = 0$ とする。また、入力 \mathbf{y} および、 $0 \leq j \leq \sigma$ なる各 j について、演算

$$\min(\mathbf{y}; *, j) = \min\{i \mid y_{i,j} = 1, 0 \leq i \leq \sigma\};$$

を定義する。この演算は j 番目の列の $y_{i,j} = 1$ となるよう

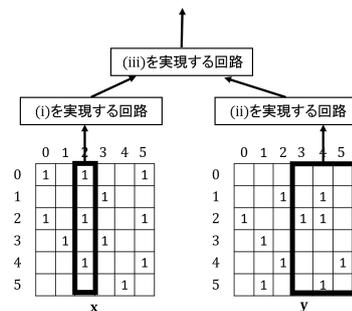


図 2 $\sigma = 5$ のときの C_2 の概略図

な i の最小値を出力する。もしも、 $y_{i,j} = 1$ となるような i が存在しない場合、 $\min(\mathbf{y}; *, j) = \sigma$ とする。

上記 2 つの演算について、論文 [3] では次の補題が証明されている。

補題 1. 不等式

$$\min_{j+1 \leq q \leq \sigma} \min(\mathbf{y}; *, q) < \max(\mathbf{x}; *, j) \quad (1)$$

を満たす $j(0 \leq j \leq \sigma - 1)$ が存在するときかつそのときに限り $P_D^n(\mathbf{x}, \mathbf{y}) = 1$ となる。

補題 1 より $0 \leq j \leq \sigma$ なる各 j について、不等式 (1) が成り立っているかを判定するしきい値回路 C_j を作成することができれば、それら $C_1, C_2, \dots, C_\sigma$ の出力の OR を得れば、 $P_D^n(\mathbf{x}, \mathbf{y})$ を計算できることが分かる。

OR の計算は 1 個のしきい値素子で実現できることが知られているため、 $0 \leq j \leq \sigma$ なる任意の j について、回路 C_j をどのように構成するかを示せばよい。

論文 [3] では C_j を以下の 3 つの部分に分けて設計している。

- (i) 入力を \mathbf{x} とし、 $\max(\mathbf{x}; *, j)$ を 2 進数の形式で出力する部分
- (ii) 入力を \mathbf{y} とし、 $\min_{j+1 \leq q \leq \sigma} \min(\mathbf{y}; *, q)$ を 2 進数の形式で出力する部分
- (iii) (i) と (ii) の出力をもとに、不等式 (1) を判定する部分

図 2 は $\sigma = 5$ のときの回路 C_2 の概略図である。ここで入力 \mathbf{x} 中の太い枠が (i) に対する入力、入力 \mathbf{y} 中の太い枠が (ii) に対する入力である。

さらに (i) は、素子数 $O(\log n)$ の段数 1 のしきい値回路で実現でき、(ii) は素子数 $O(\log n)$ の段数 $O(\sqrt{n})$ のしきい値回路で実現でき、(iii) は 1 個のしきい値素子で実現できることも示されている。本論文では、素子数 $O(\log n)$ かつ段数 1 のしきい値回路で (ii) が実現できることを示す。これにより、論文 [3] で示されている (i) と (iii) を利用して、目的の回路全体を得ることが可能となる。

3.2 回路構成

以下では $1 \leq j \leq \sigma - 1$ なる j を任意の値に固定し、(i) を実現するしきい値回路 C_j^y の構成を与える。 C_j^y は段

	0	1	2	3	4	5
0				2^{17}	2^{16}	2^{15}
1				2^{14}	2^{13}	2^{12}
2				2^{11}	2^{10}	2^9
3				2^8	2^7	2^6
4				2^5	2^4	2^3
5				2^2	2^1	2^0

図 3 $\sigma = 5, j = 1$ のときの式 (4) が与える重みの絶対値

数 1, 素子数 t のしきい値回路であり, 素子 $g_j^0, g_j^1, \dots, g_j^t$ からなる. ただし, t は出力となりうる最大値 σ を 2 進数で表記するために必要な桁数, すなわち $t = \lceil \log \sigma \rceil + 1$ である. また素子 g_j^k は, C_j^y の $k+1$ 桁目を表現する素子となる. g_j^k はしきい値 0 をもち, 入力として, 入力 \mathbf{y} の $j+1$ 列から σ 列のの全てを受け取る. $0 \leq i \leq \sigma$ および $j+1 \leq q \leq \sigma$ について, 素子 g_j^k の入力 $y_{i,q}$ に対する重みを $W_{i,q}^k$ とすると,

$$W_{i,q}^k = c(i, k)w(i, q) \quad (2)$$

となる. ここで, $c(i, k)$ は

$$c(i, k) = (-1)^{\lfloor i/2^k \rfloor + 1} \quad (3)$$

であり,

$$w(i, q) = 2^{(\sigma-q)+(\sigma-i)(\sigma-j)} \quad (4)$$

である. したがって,

$$g_j^k(\mathbf{y}) = \text{sign} \left(\sum_{i=0}^{\sigma} \sum_{q=j+1}^{\sigma} W_{i,q}^k y_{i,q} \right)$$

となる.

式 (3) は, i を 2 進数変換したときに, $k+1$ 桁目が 1 のときに +1 の値をとり, $k+1$ 桁目が 0 のときに -1 の値をとる. 例えば, $\sigma = 5$ (すなわち $t = 3$) で $i = 4$ の場合, 4 の 2 進数表記は 100 となるので, $c(4, 0) = c(4, 1) - 1$, $c(4, 2) = 1$ となる.

式 (4) は, g_j^k が受け取る入力について, 左上にあるほど重みが指数的に大きくなるように設計されている (図 3 参照). この設定により, g_j^k の出力は, $\min_{j+1 \leq q \leq \sigma} \min(\mathbf{y}; *, q)$ を 2 進数表記した際の k 番目のビットに明らかに一致する.

3.3 回路評価

論文 [3] の (i) を実現する回路と (iii) を実現するしきい値回路と C_j^y を用いることにより, 段数 2, 素子数 $O(\log n)$ のしきい値回路で C_j を構成できる. P_D^n を計算するには $0 \leq j \leq \sigma$ について, C_j が必要となる. さらに, 3 段目でそれら C_j の出力の OR をとる必要がある. 従って, P_D^n を計算するしきい値回路の段数は 3, 素子数は $O(\sqrt{n} \log n)$ となる.

4. 結論

本論文では, 論文 [3] の P_D^n を計算する素子数 $O(\sqrt{n} \log n)$, 段数 $O(\sqrt{n})$ のしきい値回路を改良することで, 素子数 $O(\sqrt{n} \log n)$, 段数 3 のしきい値回路を得ることができた. しかし, 論文 [3] の回路内のしきい値素子が持つ重みが $2^{O(\sqrt{n})}$ だったのに対し, 我々が構成した回路内のしきい値素子の持つ重みは $2^{O(n)}$ になった. 重みが小さくなるようなしきい値回路の設計が今後の課題となる.

参考文献

- [1] 甘利 俊一, 神経回路網の数理: 脳の情報処理様式, 産業図書, 東京, pp7-10, 1990.
- [2] R. A. Legenstein and W. Maass. "Foundations for a circuit complexity theory of sensory processing." Advances in neural information processing systems, pages 259–265, 2001.
- [3] Kei Uchizawa, Daiki Yashima, Xiao Zhou. "Threshold Circuits for Global Patterns in Two-Dimensional Maps," Journal of Graph Algorithms and Applications, Volume 20, pp.115-131,2016.