

セル内配線トラック数に応じた配線層の自動選択機能を備えた セルレイアウトジェネレータ

西澤 真一，伊藤 和人
埼玉大学 大学院理工学研究科

概要 セル内配線資源に応じて利用する配線層を自動的に選択するセルレイアウトジェネレータについて議論する．スタンダードセルはデジタル回路の基本構成素子であり，セルの高さ（セルハイト）は集積回路の速度性能と実装密度に影響する．様々なセルハイトのセルライブラリを用意する事で回路事に最適なライブラリの利用を可能にできるがライブラリの設計コストの増大を招く．本論文ではシンボリックレイアウトベースのセルレイアウト生成システムを対象に，セルハイトに応じて利用する配線層を自動選択可能な機能を追加した．同一のシンボリックレイアウトから，セルハイトが低く多層配線のマスクレイアウトから，セルハイトが高く単一配線層のマスクレイアウトを実現する．

Cell layout generator with automatic metal layer selection for various cell height library design

Shinichi Nishizawa and Kazuhito Ito
Graduate School of Science and Engineering, Saitama University

Abstract This paper discuss a standard cell layout generator which automatically selects its metal layer depending on its available metal routing track. Standard cells are key building blocks of VLSI circuits and the cell height strongly affects the operation speed and area of VLSI circuits. Prepareing the libraries with various cell height make possible to chose the best cell height library for various circuit, however, prepareing various kinds of cell height libraries consumes large designing cost for library design. In this peper, we builed a layout generator which can automatically selects the metal layer for signal routing inside a cell. This achieves to generate both high density and multi metal layer cell layout and low density and single metal layer cell layout from the same symbolic layout.

1 序論

セルベース設計を利用する ASIC において，スタンダードセルの性能は回路性能に直結する重要な基本素子である．設計対象の回路によって求められる性能が異なるため，一般にセルライブラリは様々な論理，及び駆動力を持つ多数のスタンダードセルを用意する事で，より性能の良い回路の合成を実現している．スタンダードセルはその高さ（セルハイト）と横幅を規格化することで，隙間無くスタンダードセルを埋めることで回路のレイアウトを実現している．スタンダードセルの高さ（セルハイト）が高いセルライブラリは高い駆動力を持つセルを効率よく設計可能できるが，面積あたりのトランジスタ密度が劣化する．そのため高速な回路であればセルハイトの高いセルライブラリが望ましく，低速な回路であればセルハイトの低いセルライブラリを利用する事で実装密度を高くする事ができる．このように様々なセルハイトを持つスタンダードセルが望まれる一方で，セルハイトの異なるスタンダードセルを作り変える事はセル設計者への負荷が高い．

スタンダードセルの設計負荷を下げるために，スタンダードセルのマスクレイアウトを合成する CAD やプログラム

言語による設計支援の研究がなされている．トランジスタレベル合成では，与えられた回路図情報から最適なゲート幅を持つトランジスタの生成し，配置配線を行う事でセルのマスクレイアウトを生成する [1] [2] [3]．理想的にはレイアウト生成の完全自動化が可能である．一方で，セルの入出力に対する制約なくセル内配線を行うと，セル間の配線可能性が悪化する可能性がある．セル内部のトランジスタや配線のといった構造を表す情報であるシンボリックレイアウトからデザインルールを考慮してマスクレイアウトを生成するシンボリックレイアウトベースのレイアウト生成手法がある [4] [5] [6]．あらかじめセル内部の構造を設計者が与えることが可能であるため，セル間の配線可能性をある程度制約する事が可能である．一方で，セルハイトが変わるとセル内に存在する横方向配線トラックが変化するため，セルハイトに合わせてシンボリックレイアウトを作り替える必要がある．シンボリックレイアウトはマスクレイアウトの設計ほどは困難ではないが，多様なセルハイトを持つセルライブラリを作り替えるためにシンボリックレイアウトを作り替える設計負荷が高い問題がある．

本論文では，シンボリックレイアウトベースのセルレイ

アウト生成システムに対し、現在存在するセル内配線トラックに応じて利用する配線層を自動で選択可能な機能を追加したことについて報告する。セル内の一部の配線に対し、横方向トラック数に余裕がある場合は下層の配線層を利用した配線を行い、余裕がない場合はより上層の配線層を利用した配線を行う。配線層を移動可能なセル内配線をあらかじめ設計者が指定可能にする事で、意図しないセル内配線が上層の配線層に移動しセル間の配線可能性を悪化する事を防ぐ。本機能を持つことで、一つのシンボリックレイアウトから、セルハイトが高く低密度で使用配線層の少ないマスクレイアウトから、セルハイトが低く高密度で使用配線層の多いマスクレイアウトの生成を可能にする。

本論文の構成は以下の通りである。2章では改造元のレイアウト生成システムについて簡単に説明する。3章では使用する配線層を自動的に選択可能な機能について説明する。4章では本機能を実装したレイアウト生成システムを利用した、マスクレイアウトの生成実験について述べる。5章で結論を述べる。

2 シンボリックレイアウトベースのセルレイアウト生成システム

本節ではシンボリックレイアウトベースのセルレイアウト生成システム [7] について簡単に述べる。

本論文で利用しているセルレイアウト生成システムを図1に示す。シンボリックレイアウトと呼ばれるセル内のトランジスタや配線の構造を定義したレイアウト情報から、対象のデザインルール、および生成対象のセルライブラリのベーシックセルの大きさ(単位高さ, 単位幅)、や Pwell と Nwell の境界といったライブラリのプロパティを読み取り、これらの条件を満たすマスクレイアウトを生成する。同じ製造プロセスであってもセルハイトや Pwell と Nwell の比率の異なるセルライブラリが要求される事があるため、これらライブラリの生成条件を変えたセルライブラリのマスクレイアウトを生成する。本システムでは、マスクレイアウトを Cadence Virtuoso の SKILL プログラムとして生成する。Virtuoso を利用して GDS へ変換後、自動配置配線を利用するための物理データベースおよびタイミングデータベースへの変換を商用 CAD を利用し行う。

3 配線層を自動選択可能なセルレイアウト生成システム

本節では、利用可能な配線トラック数に応じて配線層を自動選択可能なセルレイアウト生成システムについて述べる。

シンボリックレイアウトを利用したセルレイアウト生成システムでは、スタンダードセル内部のトランジスタや配線の場所といったセルの構造を記述するシンボリックレイ

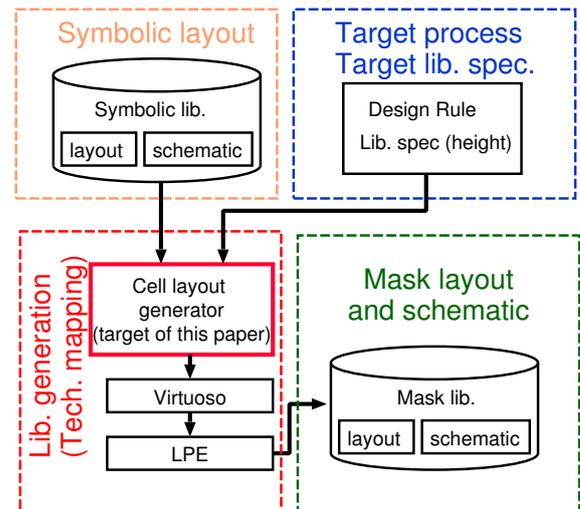


図 1: マスクレイアウト生成フロー。

アウトを利用する。シンボリックレイアウトを特定のファブのデザインルールには依存させないことで、異なるレイアウト設計ルールに対しても同一のシンボリックレイアウトから対応するマスクレイアウトの生成を可能にする。一方で、対象のデザインルールとセルハイトによって、セル内の配線資源が変化する。シンボリックレイアウト中で利用している配線資源が対象のセル内配線資源より足りない場合は、シンボリックレイアウトの修正が必要である。図2に、Nwell 領域中と Pwell 領域中に横配線トラックが2本存在するシンボリックレイアウトの例を示す。仮に9Tセル(セルハイトが配線トラックの9本分のセル)の配線トラックが Nwell 領域および Pwell 領域共に2本確保できる場合、シンボリックレイアウトはそのままマスクレイアウトに変換可能である。一方で、仮に7Tセルの配線トラックが Nwell 領域に2本あるが Pwell 領域に1本しか確保できない場合、シンボリックレイアウトをそのまま変換するとセル内配線がショートする。図3に、Nwell 領域中の横配線トラックが2本、Pwell 領域中の横配線トラックが1本利用するシンボリックレイアウトの例を示す。Pwell 領域中の配線トラックが少ないため配線を交差するためにメタル2層目を利用する事を想定する。本シンボリックレイアウトであれば前述の9Tセル及び7Tセルを共に生成可能である。一方で9Tセルは Pwell 領域中に使用されない配線トラックがあるにもかかわらずメタル2層目の配線を使うため、セル間配線で利用可能であったメタル2層目の配線資源を消費してしまう問題がある。最適なマスクレイアウトを生成するためには、利用可能な配線トラック数を考慮したシンボリックレイアウトの生成が必要である。一方で利用可能な配線トラック数はセルハイトだけでなくデザインルールにも依存するため、シンボリックレイアウトの設計には配線トラッ

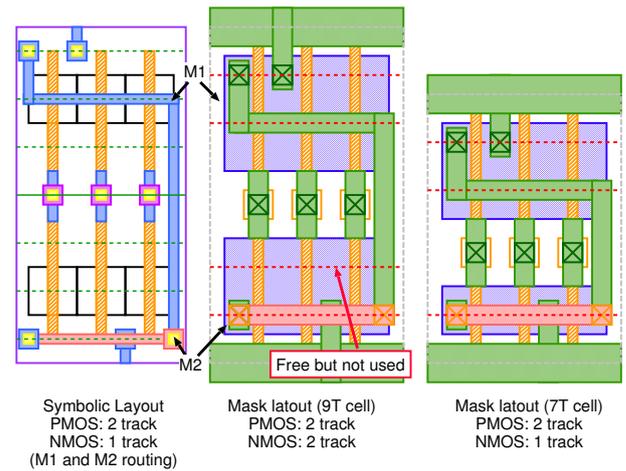
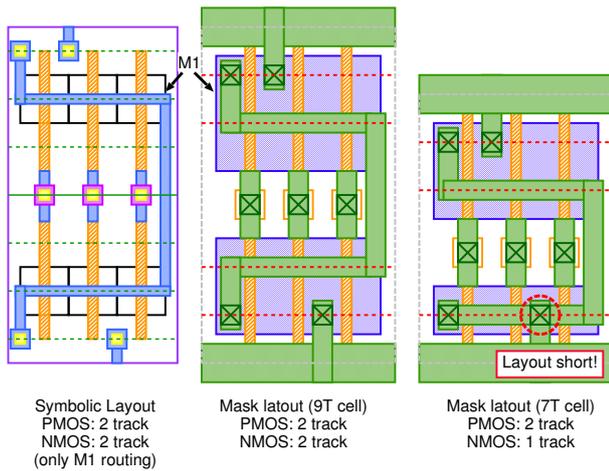


図 2: Nwell2 トラック, Pwell2 トラックのシンボリックレイアウトから 9T セル, 7T セルを生成した例. 7T セルはショートが発生している.

図 3: Nwell2 トラック, Pwell1 トラックのシンボリックレイアウトから 9T セル, 7T セルを生成した例. 9T セルはメタル 1 層が利用可能だがメタル 2 層を利用している.

ク数の適切な予測が必要である.

本論文では, セル内の配線トラック数に応じて配線層の自動選択を可能にする. 図 4 の様に, 配線トラック数が少ない時に一部の配線を上層に移動させる事をあらかじめ設定する事で, セル内に存在する配線トラック数に応じて利用する配線層を自動で選択する. 本機能を利用する事で, セル内配線トラック数に余裕がある場合は低い配線層を利用する事でセル間配線資源を確保する. 一方でセル内配線トラック数が不足するときはセル内配線としてより上位層の配線トラックを利用する. セル内配線トラック数の必要数はセルの構造によって変化する. またセルの入力ピンは上位の配線層からセル間配線が接続されることが多いため, 入力ピン近辺の配線層をセル内配線として利用される事はセルの接続容易性を下げる可能性がある. シンボリックレイアウトにおけるセル内配線資源に対し, セル内配線トラック数に応じて利用する配線層を変更可能なプロパティを付与する. 配線層を移動した場合は, それに応じて上下の配線層を接続する VIA を自動生成する. 本機能を利用する事で, セル事に必要な配線トラック数に応じたセル内配線の配線層の自動選択を実現する.

4 実装実験

4.1 配線層の自動選択機能の追加

我々が開発しているセルレイアウト生成システムに対し, 配線トラック数に応じて使用する配線層を自動選択する機能を追加した.

シンボリックレイアウトにおいて, メタル 1 層もしくはメタル 2 層として配置可能な配線層の定義を “M12” として追加した. “M12” 層の配線は, 配線トラック数が十分ある

場合はメタル 1 層配線として配置されるが, 配線トラック数が不足する場合はメタル 2 層として配線される. この際, 下層に存在する配線とのショートを防ぐように考慮して, “M12” 層となる信号配線を選択する必要がある. 前述の図 4 の場合は, ソースを GND に接続するための Diffusion コンタクトを避けるように, “M12” 層を利用する配線を指定する.

次に, “M12” 配線を認識できるようにセルレイアウト生成システムを変更した. デザインルールと生成対象のセルハイトが与えられると, レイアウト生成システムは Nwell 領域および Pwell 領域に存在する横方向配線トラックの数を自動的に計算する. 計算された横方向配線トラック数に応じて, 優先的にメタル 1 層の配線を割り当て, 配線トラックに余裕があれば “M12” 層の配線をメタル 1 層に割り当て, 余裕がなければメタル 2 層に割り当てる. “M12” 層の配線をメタル 2 層に割り当てた場合, メタル 1 層と接続するために VIA が必要となる. “M12” の配線の方向とメタル 1 層の配線の方向の情報から, 最適な VIA を生成する. VIA の周囲には VIA を囲むように金属配線を拡張する必要がある場合, “M12” 層およびメタル 1 層と同一の方向に金属配線の拡張をもつ VIA を生成する. デザインルールで許容される VIA と金属配線終端との最小距離だけ金属配線を拡張する.

4.2 マスクレイアウト生成結果

65-nm FDOSI プロセスを対象に組み合わせセルの生成を試みた. 生成したスタンダードセルを表 1 に示す. インバータ, NAND 論理, NOR 論理, AOI 論理, OAI 論理セルを生成した. 65-nm プロセスへの対応が不完全である事から

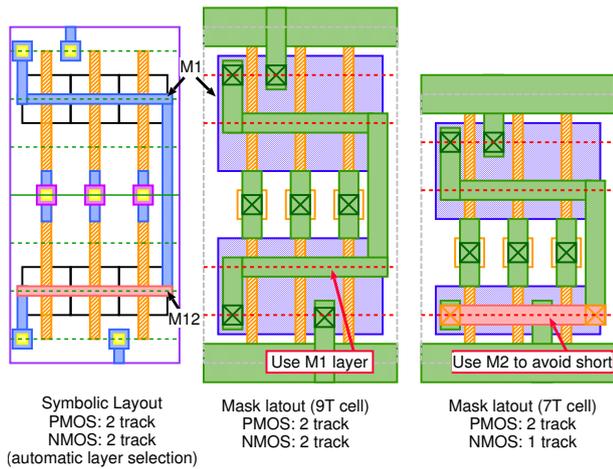


図 4: トラック数に応じた配線層の自動選択を利用する例。同一のシンボリックレイアウトから 9T セル, 7T セルを生成する。

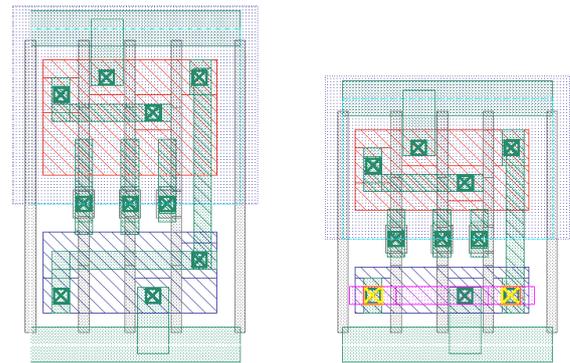
表 1: 作成したレイアウト。

Cell Type	Strength
Inverter	1.0x 2.0x 3.0x 4.0x 8.0x 16.0x
Buffer	1.0x 2.0x 3.0x 4.0x 8.0x 16.0x
NAND2	1.0x 2.0x 4.0x 8.0x
NAND4	1.0x 2.0x 4.0x
NOR2	1.0x 2.0x 4.0x 8.0x
NOR4	1.0x 2.0x 4.0x
AOI21	1.0x 2.0x
OAI21	1.0x 2.0x

一部のデザインルールへの対応が完全ではなく、特に最小面積ルールと電源レールへの近接ルールへの対応が十分ではない。図 5 に、9トラックセルライブラリ, 7トラックセルライブラリを対象に生成した AOI21 セルのマスクレイアウトを示す。Pwell 領域の横方向配線に本機能を適用した結果、セルハイトが 9トラックの場合はメタル 1 層に配置されるが、セルハイトが 7トラックの場合は横方向配線トラックが少ないためにメタル 2 層に配線が引かれた事がわかる。このように配線トラック数に応じて配線層を自動的に選択可能にする事で、同一のシンボリックレイアウトから異なる構造と配線層を利用したマスクレイアウトの生成が可能である。

5 結論

本論文では、使用可能な配線トラック数に応じて配線層を自動選択可能なシンボリックレイアウトベースのセルレイアウト生成システムについて述べた。シンボリックレイアウトを利用したセルレイアウト生成システムは設計者がセル内部の構造を明示的に設計するため、マスクレイアウトの予測やセル間配線を考慮した入出力ピンの指定が容易



(a) 9T height cell w/o M2 layer. (b) 7T height cell w/ M2 layer.

図 5: 生成した AOI セル。(a) 9T セル。メタル 1 層のみで配線。(b) 7T セル。メタル 1 層, 2 層を利用し配線。

である利点がある。一方で生成するセルハイトによって使用可能な配線トラック数が変化するため、様々な配線トラック数を考慮したシンボリックレイアウトの準備が必要であった。本システムでは生成対象のセル内部の配線トラック数に応じて配線層を自動選択可能にする事で、同一のシンボリックレイアウトから使用する配線層の異なるマスクレイアウトの生成を可能にした。

今後の課題は、プロセスを移行した事による 65nm プロセスのデザインルールへの対応が不十分である点を修正する事があげられる。現状では、最小面積ルール、電源への近接ルールへの対応ができていない。また自動生成される VIA を囲う金属配線とセル境界との近接ルールについても不備がある。また、セル間配線の容易性について評価を行うために、ベンチマーク回路を対象に自動配置配線を行う。

謝辞 設計実験は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] C. Liu and J. Abraham, "Transistor Level Synthesis for Static CMOS Combinational Circuits," in *GLVLSI*, 1999, pp. 172 – 175.
- [2] D. Kagaris and T. Haniotakis, "Transistor-Level Synthesis for Low-Power Applications," in *ISQED*, 2007, pp. 607 – 612.
- [3] NanGate Library Creator, <http://www.nangate.com/>
- [4] J. Burns and J. Feldman, "C5M-a control-logic layout synthesis system for high-performance microprocessors," *IEEE Trans. on CAD*, vol. 17, no. 1, pp. 14–23, 1998.
- [5] M. Hashimoto, K. Fujimori, and H. Onodera, "Automatic Generation of Standard Cell Library in VDSM Technologies," in *ISQED*, 2004, pp. 36–41.
- [6] Synopsys Cadabra, <https://www.synopsys.com/>
- [7] S. Nishizawa, T. Ishihara, and H. Onodera, "Layout Generator with Flexible Grid Assignment for Area Efficient Standard Cell," *IPSSJ TSLDM*, vol. 8, pp. 131–135, 2015.