

# チャージポンプによる動的基板バイアス制御 を用いた低電圧動作 SRAM の検討

中鉢洸太 西澤真一 伊藤和人  
埼玉大学大学院 理工学研究科

**概要:** 集積回路の低消費エネルギー化には低電源電圧化が有効である。しかし集積回路を構成する SRAM は論理回路と比較して最低動作電圧が高い問題がある。低電圧化によってトランジスタのオン電流が減少すると、非活性セルのリーク電流によって低電圧動作が困難になる。ビットセルのリーク電流を選択的に制御する手法として、基板バイアス制御が挙げられる。本研究では、チャージポンプが生成した逆方向基板バイアス電圧を、レベル変換回路を用いたスイッチにより動的に各ビットセルに対して印加する手法を提案する。商用 65nm FDSOI CMOS プロセスにおける設計実験の結果、最低動作電圧 0.23 V を達成した。

**キーワード:** 低電圧化, SRAM, 基板バイアス制御, チャージポンプ

## Low voltage operation SRAM utilizing dynamic body bias control with charge pump circuit

KOTA CHUBACHI SHINICHI NISHIZAWA  
KAZUHITO ITO  
SAITAMA UNIVERSITY GRADUATE SCHOOL  
OF SCIENCE AND ENGINEERING

**Abstract:** Lowering the supply voltage is one of a solution to achieve higher energy efficiency for VLSI circuits. Minimum operation voltage of the SRAM circuit is higher than that of the digital circuit thus it limits the minimum supply voltage for overall VLSI circuit. The minimum operation voltage for the SRAM circuit is limited by the leakage current of the access transistors inside the SRAM bit cells. Body bias technique is one solution to control the leakage current of access transistors. In this work, we design an SRAM circuit with a charge pump to minimize its operation voltage. The body voltage of the SRAM bit cell is individually biased to achieve both higher on-current and off lower leakage current. Experimental results in commercial 65-nm process show body bias technique achieves SRAM operation voltage 0.23 V.

**Keywords:** Low voltage, SRAM, Body bias control, Charge pump

### 1. 序論

集積回路の用途が広がるにつれ、集積回路のエネルギー効率の向上が強く求められている。集積回路のエネルギー効率の向上の実現方法の一つとして、電源電圧の低下が挙げられる。集積回路では一般にデジタル回路と、大容量の記憶素子として SRAM 回路が混載される。デジタル回路に比べ SRAM 回路が動作可能な最低動作電圧が低いため、集積回路全体の電源電圧は SRAM 回路によって決定されてしまう。SRAM 回路が低電圧で動作不可能な理由は SRAM ビットセル中のアクセストランジスタのオン電流が電源電圧によって減少するため、負荷となる非活性ビットセルのアクセストランジスタのリーク電流の影響によって SRAM としての動作が出来なくなるためである。

SRAM 回路の低電圧動作を実現するため、一般的に用いられる 6 トランジスタ(6T) 構造ではなく、アクセストランジスタでのリーク電流の影響を軽減する 8T 構造の SRAM が提案されている[1]。しかし、ビットセルを構成す

るトランジスタ数が増える事で、最も大きな回路面積を占めるビットセルアレイの面積が増大する欠点がある。他にも、ワード線の電圧をバイアスすることで、アクセストランジスタのオン電流を補償する手法[2]が提案されているが、補償されるのがアクセストランジスタのみであり、十分に速い速度でワード線に高電圧を与える必要がある。また、SRAM ビットセルの電圧を下げる事により書き込みマージンを向上させる手法[3][4][5]も提案されている。この手法では多くのビットセルに対して低い電圧を与える為のレギュレーター回路が必要である。

トランジスタの電流特性を変化する手法として、基板バイアス制御が挙げられる。活性化するビットセルと非活性ビットセルの基板電圧を選択的に制御する事で、リーク電流とオン電流の制御を同時に行う事が出来る。しかし、通常の SRAM はアクセストランジスタに NMOS 用いる為、一般的な P 型を持つ Twin-Well CMOS では選択的に基板バイアスの印加を行うことが出来ない

本論文では、チャージポンプが生成した基板バイアス電圧を選択的にビットセルに与える事で、低電圧動作が可能なSRAM回路構成を提案する。文献[6]のP-N反転6T-SRAMビットセルを利用し、Twin-Well CMOS プロセスにおいてビットセル単位の基板バイアス電圧印加を行うことで、低電圧におけるSRAM読み出し動作特性の改善を試みる。

論文の構成を以下に示す。2章において、通常6T-SRAM回路の低電圧化への課題の説明、及び、チャージポンプによる動的基板バイアス制御を利用した低電圧動作SRAMの提案を行う。3章において設計実験により動的基板バイアス制御がSRAM回路に与える影響の評価を行う。4章にて結論を述べる。

## 2. SRAM 低電圧動作の課題と提案手法

### 2.1 SRAM 低電圧化への課題

図1に一般的に用いられている6T-SRAMを示す。SRAMビットセルが2つのビット線を共有する構造となっている。ビットセルから値を読み出す時、2つのビット線をプリチャージし、ワード線の電圧が立ち上がりビットセルを活性化する。“0”を出力側とするインバータがアクセストランジスタを通してビット線の電荷を放電する。読み出し回路中のセンスアンプが2つのビット線の電位差を検知し、値を読み出す。

SRAM回路の動作速度はビットセルの値の読み出し速度に制約される。非活性化多数のビットセルが並列に接続さ

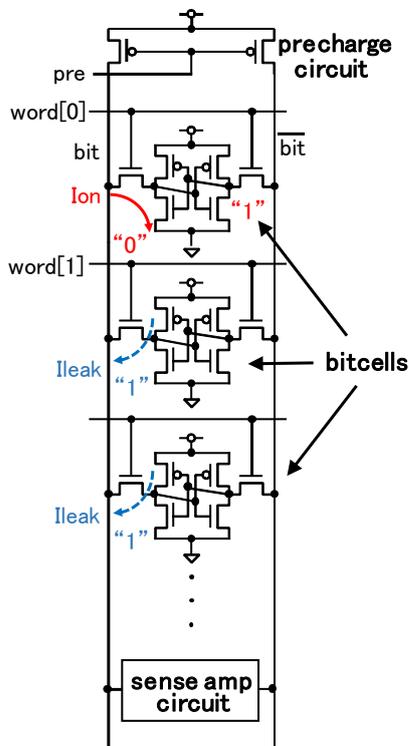


図1 一般的な6T-SRAM回路における読み出し動作とリーク電流の影響。

れているビット線は大きな負荷容量を持っており、これを1つのビットセルが放電するためである。カラム毎に1つのプリチャージ回路、書き込みドライバ回路、センスアンプ回路は大きなゲート幅のトランジスタを利用可能な一方、ビットセルは高密度化の為に最小ゲート幅で作られ、駆動力は小さい。

非活性のビットセル各ビットセルが格納している値に依存してビット線へリーク電流が発生する。従って活性化されたビットセルのオン電流は、ビット線にたまった電荷の放電だけでなく、非活性ビットセルからのリーク電流より大きくある必要がある。低電圧化が進行すると、活性化ビットセルのオン電流が減少し、ビットラインを共有する非活性化ビットセルからのリーク電流の影響が相対的に増加する。このリーク電流の和がオン電流を上回ると、SRAM回路として正しく読み出し動作が出来なくなる。SRAMが正しく読み出し動作を行う最低動作電圧は、トランジスタのオン電流とリーク電流、ビット線に接続するビットセルの並列数に依存する。

### 2.2 チャージポンプによる動的基板バイアス制御を利用した低電圧動作SRAMの提案

本論文では、チャージポンプが生成した逆方向基板バイアス電圧をSRAMビットセルに対して選択的に与えることで、SRAM回路の低電圧動作を実現する手法を提案する。非活性化状態のビットセルに対して逆方向基板バイアス電圧を与え、閾値電圧を上げる事でリーク電流の削減を試みる。一方で活性化ビットセルに対しては基板バイアスがゼロバイアスとなるように基板電圧を与えることでオン電流の減少を防ぐ。

図2(a)に一般的に利用される6T-SRAMビットセルを示す。Twin-Well CMOS プロセスにおける6T-SRAM回路では、アクセストランジスタとしてNMOSを利用するため、ビットセルごとに基板バイアスを印加する事は難しい。Triple-Well構造を利用する事で基板バイアスを選択的に印加が可能になるが、Deep N-well層を定義するために追加マスクが必要となる。

この問題を解決する為、文献[6]で提案されている閾値電圧の動的制御が可能なP-N反転SRAMビットセルを用いる。図2(b)にP-N反転SRAMビットセルを示す。このビットセルはアクセストランジスタにPMOSトランジスタが用いられており、N-wellの電圧を変えることにより、容易に逆方向基板バイアス電圧を与えることが出来る。SRAMビットセルの実装密度を向上する為、2word単位でビットセルのN-wellを共有しており、通常の6T-SRAMとほぼ同じ密度で実装が可能である。

基板バイアス電圧を得る為に外部からの複数電源を用いる場合、多くの電源入出力が必要な他、チップ外部において複数のレギュレーター回路が必要となる。そこで、チップ内部においてチャージポンプを用いて基板バイアス電圧

を生成し、逆バイアスを印加する Well へ分配する。リーク電流を削減するのに十分な昇圧をチャージポンプで行うことが可能である。また、ビットセルの N-well におけるウェル容量の総和は十分に大きく、リップルは発生しづらい。

図 3 にチャージポンプを利用した低電圧動作 SRAM によるチップの全体の低電圧化を説明する図を示す。(a)の従来 LSI の場合、プロセッサの最低動作電圧より SRAM の最低動作電圧が高い為、最低動作電圧は SRAM の最低動作電圧に制約される。一方、(b)の提案手法を用いた LSI は、プロセッサと SRAM と共通の電源を用いてチャージポンプが基板バイアス電圧を生成し、SRAM の低電源電圧化を実現しているため、最低動作電圧が SRAM の最低動作電圧に制約されない。

### 3. 商用テクノロジーを用いた SRAM 回路の設計実験

本節では、商用 65-nm CMOS プロセスを想定した SRAM 回路の設計実験を行う。

#### 3.1 実験準備

商用 65-nm 薄膜 FDSOI CMOS プロセスを利用して設計実験を行った。本プロセスの特徴として 2.0 V までの基板バイアス電圧の印加が可能である。SRAM ビットセルの作成にあたり、回路設計は通常のロジックプロセスを利用した。チャージポンプを含む SRAM 回路のレイアウト設計を行い、抽出した寄生素子付きネットリストを利用して回路シミュレーションによる評価を行った。チャージポンプが生成した逆方向基板バイアス電圧を非活性化セルの PMOS トランジスタに対して印加し、一方で活性化セルの PMOS トランジスタの基板バイアス電圧を無バイアス状態にさせることでリーク電流の影響の削減を試みる。

電源電圧 0.4 V、読み出し周波数 3 MHz 想定して SRAM ビットセル、及び周辺回路を作成した。チャージポンプはコアトランジスタの耐圧を考慮し、電源電圧 0.4 V、周波数 1 MHz において 1.0 V の出力電圧を想定して設計した。チャージポンプに用いるクロック信号は SRAM の同期クロックと別の信号を用いるよう設計した。

電源電圧を 0.4 V から低下させ、SRAM の最低動作電圧

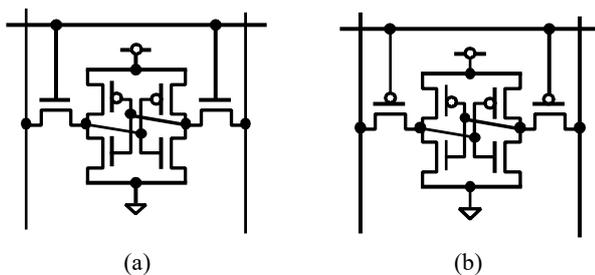


図 2 (a)従来の 6T-SRAM ビットセル (b)P-N 反転 6T-SRAM ビットセル[6].

を評価すると共に、それぞれの電圧における読み出し時間、消費エネルギーを評価した。

#### 3.2 評価する SRAM 回路

チャージポンプを用いた動的基板バイアス制御による SRAM の特性の変化を評価するため、文献[6]の P-N 反転 6T-SRAM ビットセルを用いて、動的基板バイアス制御の有無を切り替え可能な P-N 反転 6T-SRAM 回路を作成した。イネーブル信号が“0”の場合、活性化セル/非活性化セルに関わらず PMOS トランジスタの基板バイアス電圧は無バイアス状態となる。一方、イネーブル信号が“1”の場合、非活性化セルの PMOS トランジスタの基板バイアス電圧は逆方向バイアスとなり、活性化セルの PMOS トランジスタは無バイアス状態となる。

図 4 に作成した SRAM のブロックダイアグラムを示す。クロック信号によって入出力レジスタとタイミング制御回路が同期動作する同期 SRAM 回路である。ビットセルアレイは 1 ワードあたり 16 ビット、512 ワード から構成され、従って、1 本のビットラインに 512 個のビットセルが接続される。9 ビットのアドレス選択信号とアドレスデコーダーによって、512 ワードのうちアクセスする 1 ワードの電位をプルダウンすることが出来る。チャージポンプが生成した逆方向基板バイアス電圧は 256 個のレベル変換回路を用いたスイッチによりビットセルアレイ中の各 N-well へ供給される。ビットセルアレイ中の N-well は 2 word 単位で共有されており、256 個の N-well に対して選択的に基板バイアス電圧が与えられる。

チャージポンプは低い電源電圧においても十分に高い電圧を生成出来る必要がある。オンチップの昇圧回路とし

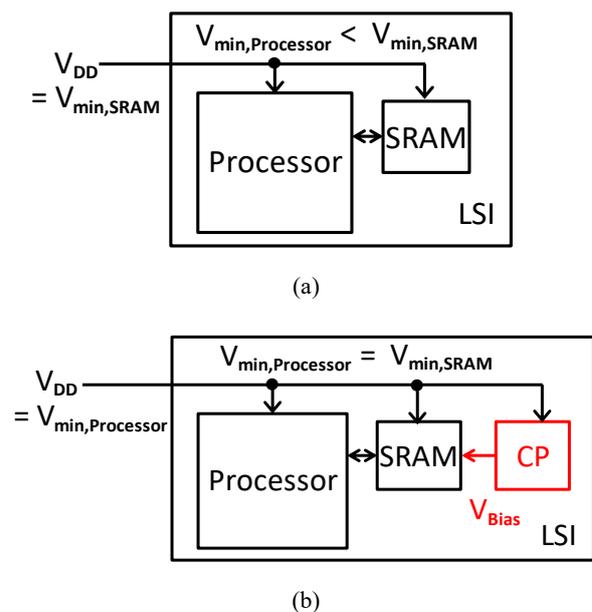


図 3 チャージポンプを利用した低電圧動作 SRAM によるチップの全体の低電圧化 (a)従来の LSI (b)提案するチャージポンプと SRAM を用いた LSI.

て広く用いられている Dickson 型チャージポンプ[7]は電源電圧が閾値電圧に近くなるほど低下すると昇圧が困難になる問題が生じる．そこで低電圧で動くチャージポンプとして文献[7]の Two-Branch Charge Pump(TBCP)を採用した．図5に TBCP の回路図を示す．このチャージポンプは低電源電圧においても閾値電圧分の電圧降下の影響を受けず，高い電圧を得る事が出来る．また，Deep N-well を用いない為，Twin-Well プロセスにおいてTBCPを用いることが出来る．

今回のチャージポンプ設計にあたり，回路面積削減の為，文献[8]の薄膜 FDSOI の特徴を利用した高面積効率なキャパシタを利用した．図6に薄膜 BOX 層容量を利用したキャパシタを示す．このキャパシタは薄膜 FDSOI の大きな拡散-基板間容量を利用しており，一般的なメタルフリンジキャパシタと重ね合わせる事が出来る事から，メタルフリンジキャパシタ単体と比較して高い面積効率を実現している．レイアウト設計の結果，チャージポンプの面積はメタルフリンジキャパシタ単体を用いた場合と比較して43%削減された．

アクセス時，N-well の電圧を逆バイアス状態から無バイアス状態へ切り替えるスイッチとしてレベル変換回路を用いる．レベル変換回路は電源電圧範囲の入力信号を異なる電圧範囲の信号に変換する回路である．提案する基板バイアスの動的制御を行うには，ビットセルの活性化中にアク

セスセルの N-well の電圧が十分に立ち下がっている必要がある．ワード線の立下りに対して小さな遅延で N-well の電圧を立ち下げることが可能な回路として，文献[9]を参考に図7のようなレベル変換回路を設計した．0.4~0 V の入力信号を 1.0~0.4 V の出力信号に変換する事を想定し，ゲート幅，スタック数を決定した．

図8に作成した SRAM 回路のレイアウト図を示す．チャージポンプ及びレベル変換回路を追加したことによる回路面積オーバーヘッドは，ビットセル面積に対してそれぞれ15%，18%となり，合計で33%であった．周辺回路を含めた回路全体に対する面積オーバーヘッドは，チャージポンプ，レベル変換回路で合わせて15%となった．

### 3.3 評価方法

動的基板バイアス制御による最低動作電圧，最短読み出し周期，消費エネルギーの変化を評価する為，以下のような実験評価を行った．ビットセルに対して値の書き込みを行い，書き込んだ値の読み出しを行う．読み出し時の同期クロックの周期を短くさせ，誤った値を読み出し始める直前のクロック周期を最短読み出し周期と定義する．電源電圧を 0.4 V から低下させた時の最短読み出し周期を基板バイアスの有無を変えたそれぞれの状態において評価し，同期クロックの周期を十分に長くしても誤った値を出し始める電源電圧を最低動作電圧として比較評価を行う．また，

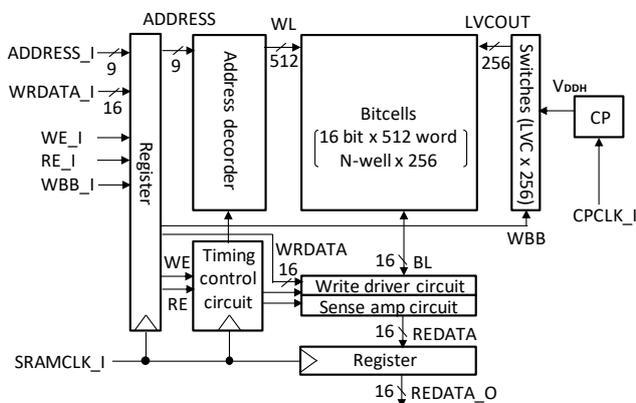


図4 基板バイアス制御の有無を切り替え可能な P-N 反転 6T-SRAM 回路のブロックダイアグラム．

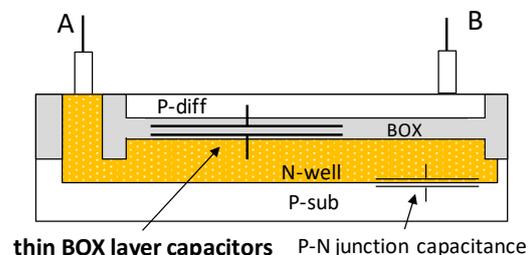


図6 薄膜 BOX 層容量を利用したキャパシタ[8]．

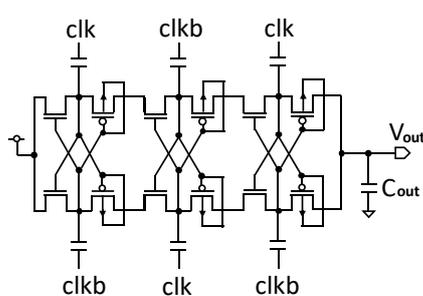


図5 6段 TBCP 回路図 [7]．

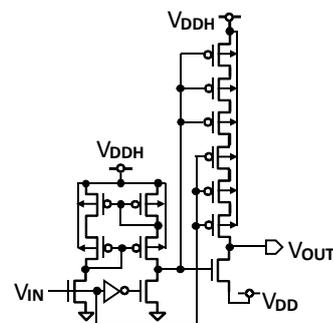


図7 作成したレベル変換回路．

表 1 シミュレーション結果

電源電圧 [V]	最短読み出し周期 [us]		チャージポンプの出力電圧 [V]	チャージポンプの動作周期 [us]	1 サイクルあたりの消費エネルギー [pJ]		エネルギーオーバーヘッド [%]
	基板バイアス無し	基板バイアス有り			基板バイアス無し	基板バイアス有り	
0.40	0.30	0.30	0.95	1	0.41	0.46	14
0.35	0.81	0.77	0.97	1	0.39	0.52	32
0.30	2.6	2.4	0.90	1	0.46	0.69	51
0.28	4.0	3.8	0.82	1	0.52	0.83	60
0.25	-	8.6	0.65	4	-	0.66	-
0.23	-	20	0.58	4	-	1.2	-



図 8 P-N 反転 6T-SRAM 回路レイアウト図.

各電源電圧の最短読み出し周期での動作時における 1 サイクルあたりの消費エネルギーを基板バイアスの有無と比較し、チャージポンプ及びスイッチを追加した事による消費エネルギーのオーバーヘッドの評価も行った。

基板バイアス電圧の印加にあたり、チャージポンプの動作周波数は 1 MHz としたが、1 MHz でのチャージポンプの駆動が不可能だった 0.25 V, 0.23 V においては動作周波数を 250 kHz として評価を行った。

### 3.4 評価結果

表 1 に TT コーナーにおける最短読み出し周期、チャージポンプの出力電圧、1 サイクルあたりの消費エネルギーを示す。基板バイアス無し/有りそれぞれの最低動作電圧は 0.28 V, 0.23 V となり、18%の低電圧化を達成した。

0.4 V において、基板バイアス有り/無しでほぼ同じ最短読み出し周期であったが、電圧低下に伴い、基板バイアス有りは無しに対して短い最小読み出し周期となった。

0.30 V において最大 8%最小読み出し周期が削減された。

最短読み出し周期での動作時における 1 サイクルあたりの消費エネルギーを比較した結果、基板バイアス制御によるエネルギーオーバーヘッドは、0.4 V において 14%、0.28 V において 60%発生した。電圧低下に伴いエネルギーオーバーヘッドは増加したが、これはチャージポンプの動作周波数に対して読み出し周波数が低下した事が原因である。

## 4. 結論

本論文では、集積回路の低電圧動作の為の、低電圧動作

SRAM を実現する動的基板バイアス制御によるリーク電流の削減方法について議論した。ビットセル単位での閾値電圧の動的制御に注目し、チャージポンプが生成した逆方向基板バイアス電圧をレベル変換回路を用いたスイッチにより各ビットセルに与える手法を提案した。チップ内部でチャージポンプによる昇圧を行うことにより、単一電源において SRAM 及びチップ全体の低電圧化を実現する手法を採用した。65-nm FDSOI プロセスにおける設計実験において、薄膜 BOX 層容量を利用したキャパシタを用いる事でチャージポンプの面積を 43%削減した。実験の結果、基板バイアス無しの SRAM における最低動作電圧が 0.28 V であったのに対し、基板バイアスを与えた SRAM は最低動作電圧 0.23 V を達成した。

今後の課題としては、より高い基板バイアス電圧の印加方法、チャージポンプの面積・エネルギーオーバーヘッドの削減方法などが挙げられる。

### 謝辞

設計実験は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

### 参考文献

- [1] R. Kumar and G. Hinton, "A Family of 45nm IA Processors," International Solid-State Circuits Conference (ISSCC), 2009, pp. 58-59.
- [2] K. Ishibashi, et al., "A 1-V TFT-Load SRAM Using a Two-Step Word-Voltage Method," IEEE Journal of Solid-State Circuits, 1992, vol. 27, no. 11, pp. 1519-1524.
- [3] Y. H. Chen, et al., "A 16 nm 128 Mb SRAM in high-k metal-gate FinFET technology with write-assist circuitry for low-VMIN applications," IEEE Journal of Solid-State Circuits, 2015, vol. 50, no. 1, pp. 170-177.
- [4] E. Karl, et al., "A 4.6 GHz 162 Mb SRAM design in 22 nm tri-gate CMOS technology with integrated read and write assist circuitry," IEEE Journal of Solid-State Circuits, 2013, vol. 48, no. 1, pp. 150-158.
- [5] O. Hirabayashi, et al., "A process-variation-tolerant dual-power-supply SRAM with 0.179um<sup>2</sup> Cell in 40nm CMOS using level-programmable wordline driver," ISSCC Dig. Tech. Papers, Feb. 2009, pp. 458-459.
- [6] 中馬良兵, 西澤真一, 伊藤和人. 極低電圧動作を目指した D-Nwell レス細粒度基板バイアス SRAM ビットセルの検討. DA シンポジウム 2016.
- [7] M. Ker, S. Chen, and C. Tsai, "Design of charge pump circuit with

consideration of gate-oxide reliability in low-voltage CMOS process,” IEEE J. Solid-State Circuits, May 2006, vol. 41, no. 5, pp. 1100-1107.

- [8] 中鉢洗太, 西澤真一, 伊藤和人. 薄膜 FDSOI トランジスタを用いた低電圧動作逆方向バイアス電圧生成回路. DA シンポジウム 2017.
- [9] S. Luo, C. Huang, and Y. Chu, “A Wide-Range Level Shifter Using a Modified Wilson Current Mirror Hybrid Buffer,” IEEE Transactions on Circuits and Systems, Regular papers, June 2014, vol. 61, no. 6, pp1656-1665.