

FDSOI プロセスにおけるスタック構造のソフトエラー耐性を 高める対策手法の提案およびデバイスシミュレーションを用いた評価

山田 晃大¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路素子の微細化に伴いソフトエラーによる集積回路の信頼性低下が問題となっている。本稿では、FDSOI プロセスにおいてスタック構造の脆弱性を重イオン照射測定により明らかにし、スタック構造の耐性を高める回路構造を提案する。トランジスタ間距離の異なる 3 種のスタック構造を 65 nm FDSOI プロセスで試作し、重イオン照射によりソフトエラー耐性を評価した。その結果、スタック構造の縦積トランジスタ間距離を 250 nm から 350 nm まで広げることで 41 MeV-cm²/mg 以下の重イオンではソフトエラーがほとんど起きなかったが、60 MeV-cm²/mg を超える重イオンではソフトエラーの抑制効果が弱くなることが判明した。スタック構造の NMOS および PMOS の縦積トランジスタ間を配線で繋ぐことで再結合を加速させ、60 MeV-cm²/mg を超える重イオンが衝突しても反転しない回路構造を提案する。提案した回路構造を用いたラッチを 3D で構築し、重イオン照射シミュレーションによりソフトエラー耐性の向上率を評価する。従来のスタック構造ではソフトエラーが起きる 60 MeV-cm²/mg の重イオンを照射してもソフトエラーが起きないことを明らかにした。提案構造は宇宙空間の使用にも耐え得る高い信頼性をもつ。

Evaluation of a Radiation-Hardened Structure for Stacked Transistors in FDSOI Processes by Device Simulations

KODAI YAMADA¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: According to process scaling, soft errors become a significant issue to threaten the reliability of semiconductor chips. In this paper, we evaluate soft-error tolerance of a stacked structure by heavy-ion irradiation tests and propose a radiation-hardened structure to reduce sensitive range (RSR) of a stacked structure for FDSOI. We fabricate three latches which have different distance between stacked transistors in a 65 nm FDSOI process. Experimental results reveal that the stacked structures from 250 nm to 350 nm distances are weak against a radioactive particle hit with more than 60 MeV-cm²/mg liner energy transfer (LET). We evaluate radiation hardness of the proposed RSR structure by device simulations. The diffusion layers between two series-connected NMOS and PMOS transistors in the RSR structure are shorted by a metal wire to wipe out generated holes through the metal quickly after a particle hit. It reveals that the stored value of the latch with the RSR structure does not upset even by a heavy ion hit with LET of 60 MeV-cm²/mg. Thus, the RSR structure has enough tolerance to use even if in outer space.

1. 序論

集積回路 (LSI) 素子の微細化・高集積化によって、トランジスタ数はムーアの法則に従って増加してきた [1]。一方で、微細化に伴い LSI の信頼性低下が問題となってい

る。信頼性低下の要因の 1 つとして、放射線起因のソフトエラーが挙げられる。ソフトエラーとは、LSI に粒子線が通過、または衝突することにより電子正孔対が生成され、一時的にメモリの保持値や FF (Flip-Flop) の論理値が反転する現象である。高集積化や電源電圧の低下によって、ソフトエラーの影響が顕在化している。

ソフトエラーの主な対策には、多重化回路である TMR

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

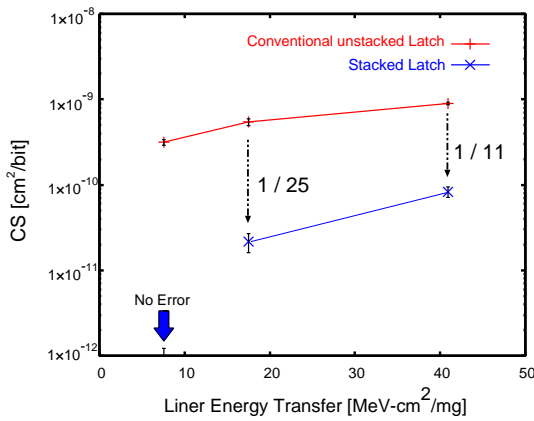


図 1 スタック構造の重イオンによるソフトエラー実測結果 [8].

(triple modular redundancy) [2] や DICE (dual interlocked storage cell) [3] が用いられる。しかし、面積や遅延時間、消費電力が大きくなるため多重化に依らない対策が求められている。FDSOI (fully-depleted silicon on insulator) プロセスを用いたスタック構造は多重化回路と比べ面積・電力の増加を抑えた対策である [4][5]。

DICE は複数のノードが同時に影響を及ぼされると保持値が反転してしまうため、微細プロセスではソフトエラー抑制効果が弱くなる。DICE は 90 nm プロセスでは通常の回路と比べ 10 倍高いソフトエラー耐性をもつが、40 nm プロセスでは 1.5 倍のソフトエラー耐性となる [6][7]。微細プロセスではトランジスタ間距離が短く、複数のトランジスタが 1 度の放射線効果により同時に影響を受けるためである。我々は文献 [8] で、図 1 に示すように重イオンが物質に与えるエネルギーである LET (liner energy transfer) が大きくなるにつれて、65 nm FDSOI プロセスにおいてスタック構造のソフトエラー耐性が低くなることを示した。高いエネルギーを持つ重イオンでは DICE 構造と同様にスタック構造でも複数のトランジスタが 1 つの放射線により同時に影響を受けることが原因である。

本稿では 65 nm FDSOI プロセスにおいて、スタック構造のソフトエラー耐性を高める回路構造を提案し、デバイスシミュレーションによりソフトエラー耐性を評価する。第 2 節ではソフトエラーの発生起因とその対策技術について述べる。第 3 節ではスタック構造の脆弱性について述べる。第 4 節では提案回路構造について述べ、デバイスシミュレーションを用いて提案回路構造のソフトエラー耐性を評価する。第 5 節ではデバイスシミュレーションを用いて提案回路構造とスタック構造の比較を行う。第 6 節では本稿の結論を述べる。

2. ソフトエラー

本節では LSI の一時的な誤動作の要因の 1 つであるソフトエラーについて説明する。

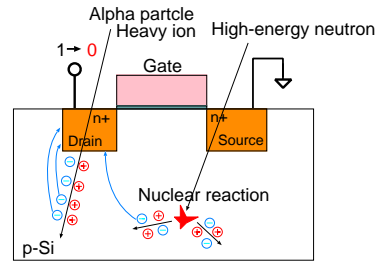


図 2 各粒子による電子正孔対の発生機構。

2.1 ソフトエラーの発生要因

放射線が LSI 内を通過または衝突することによって電子正孔対が生じる。発生したキャリアが拡散層に収集され、ドレイン電圧が変動することでソフトエラーが引き起こされる。ソフトエラーの発生機構を図 2 に示す。地上でソフトエラーを引き起こす要因となる主な粒子は、 α 粒子、高エネルギー中性子の 2 種類である。高エネルギー中性子が基板の Si などの原子核に衝突すると核反応を起こし、 α 線や重イオンを放出する。一方で、宇宙では重イオンがソフトエラーの要因である。宇宙空間では 60 MeV-cm²/mg 以下の重イオンがほとんどを占めるため、宇宙用デバイスでは一般的に 60 MeV-cm²/mg の重イオンが衝突してもエラーが起きない対策が求められる。

2.2 SEU (single event upset)

ソフトエラーが FF 内のラッチや SRAM などのデータ保持部で生じるものを SEU と呼ぶ。粒子線がトランジスタに突入することで SET (single event transient) パルスと呼ばれる一過性の電圧パルスが発生する。SET パルスがラッチや SRAM の内部で発生した場合は保持値を直接反転させる。ラッチを構成する一方のインバータの拡散層付近に粒子線が突入すると、一時的に出力が反転する。この反転が元に戻るまでに、もう一方のインバータの出力が反転すると保持値が反転してしまう。一定以上の電荷がトランジスタの拡散層に収集されると出力が反転する。ソフトエラーは NMOS トランジスタでは電子起因、PMOS トランジスタでは正孔起因である。電子の移動度は正孔に比べ大きいいため、PMOS トランジスタに比べて NMOS トランジスタでソフトエラーが生じやすい [8]。本稿ではすべてのソフトエラーが OFF 状態の NMOS トランジスタで発生していると仮定する。

2.3 ソフトエラー対策技術

ソフトエラー対策として、一般的にデバイスレベルと回路レベルでの対策がある。

2.3.1 FDSOI デバイス

デバイスレベルでの対策として FDSOI 構造が挙げられる [9]。シリコン基板とトランジスタの間に、絶縁層として BOX (Buried Oxide) 層が挿入されている。BOX 層以下の基板で発生したキャリアは BOX 層によって遮られ、拡散層に収集されないためバルク構造と比較してソフトエラー

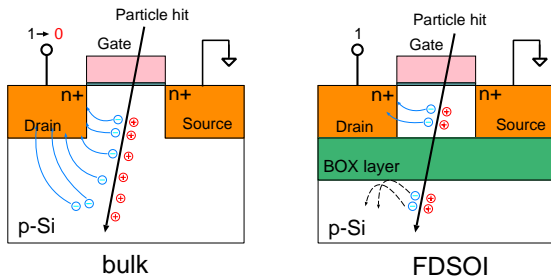


図 3 デバイス内に放射線が突入した時の様子 .

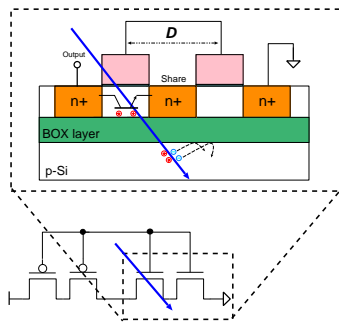


図 4 スタック構造の回路図とスタック構造の NMOS トランジスタの断面図 . D はトランジスタのチャンネル間距離 .

に強い [10] . しかし , FDSOI デバイスでは発生した正孔がボディーの電位を上昇させ , ドレインとソース間が ON 状態になることでソフトエラーを引き起こす . この現象を寄生バイポーラ効果と呼ぶ . 図 3 にバルクと FDSOI に放射線が突入した様子をそれぞれ示す . 本稿で使用するテストチップは , BOX 層が 10 nm の 65 nm thin BOX FDSOI プロセスで製造した .

2.3.2 スタック構造

FDSOI ではトランジスタを縦積にしたスタック構造が寄生バイポーラ効果対策として有効である [4] . スタック構造を用いたインバータに放射線が突入した様子を図 4 に示す . 通常のインバータでは OFF 状態の NMOS トランジスタに放射線が突入しボディー電位が上昇すると , 寄生バイポーラトランジスタが ON し出力と GND が導通する . そのため , 出力が '1' から '0' に変化しソフトエラーを引き起こす . 一方で , スタック構造の片方の OFF 状態の NMOS トランジスタに放射線が突入しても , もう一方は OFF 状態のままのため出力が大きく変化しない . スタック構造ではオーバーヘッドを小さくするために縦積トランジスタの拡散層を共有できる . 多重化回路と比べて面積・電力のオーバーヘッドが小さい .

3. スタック構造の脆弱性

図 1 に示すように重イオンの LET 値が大きくなるにつれて縦積トランジスタ直下の寄生バイポーラが同時に ON することで , スタック構造でもソフトエラーが発生する . 図 4 内の縦積トランジスタ間の距離 D を変更することで高いソフトエラー耐性を有することを文献 [11] で明らかにし

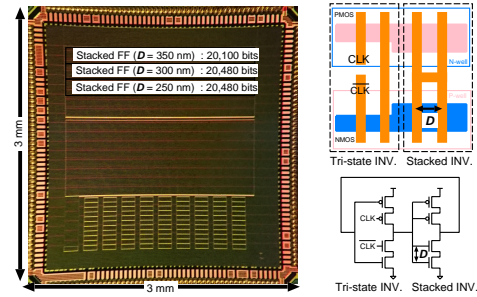


図 5 スタック構造におけるトランジスタ間の距離依存性を評価するためのテストチップ . トランジスタ間の異なる 3 種のスタック構造を含むラッチが約 20,000 段ずつ搭載されている [11] .

た . D を 250 nm から 350 nm に広げることにより , クリプトンイオン (Kr イオン: 40.9 MeV-cm²/mg) を照射角度 60° で照射した場合のソフトエラー率を 91%低減させた . 文献 [11] では Kr イオンを照射することで耐性が向上することを確認したが , ここではさらに高いエネルギーを持つキセノンイオン (Xe イオン: 67.2 MeV-cm²/mg) を照射することで宇宙用デバイスに求められる耐性を満たすか実測で確認する . D が 250 nm , 300 nm , 350 nm のスタック構造を用いたインバータとトリステートインバータで構成される 3 種類のラッチが約 20,000 段ずつ搭載されている . 評価に用いたテストチップとレイアウトを図 5 に示す . 文献 [11] と異なり保護膜の影響を無視するため , チップ上の保護膜を取り除いて評価した .

3.1 重イオン照射測定による評価および結果

重イオン照射測定は量子化学技術研究開発機構の TIARA (Takasaki ion accelerators for advanced radiation application) で実施した . 実測で照射した重イオンの核種はアルゴンイオン (Ar イオン: 17.5 MeV-cm²/mg) , Kr イオン , Xe イオンの 3 種類である . 宇宙航空研究開発機構 (JAXA) が保有する直径 900 mm のシングルイベント評価チャンバを用いて真空状態で実施した . 重イオン照射測定で得られるソフトエラー率は CS (Cross Section : 衝突断面積) を用いて評価する . CS とは放射線が通過した場合 , 保持値が反転する面積のことである . 式 1 に衝突断面積の算出式を示す [12] . 計算には , 観測ソフトエラー数 (N_{error}) , 単位面積当たりのイオン総数 (N_{ion}) , FF の搭載総数 (N_{FF}) 使用する .

$$CS [\text{cm}^2/\text{bit}] = \frac{N_{\text{error}}}{N_{\text{ion}} \times N_{\text{FF}}} \quad (1)$$

電源電圧 0.8 V で重イオン照射測定結果を図 6 に示す . 文献 [11] と同様に Kr イオン照射時には D が 250 nm の場合と比べ 350 nm では約 7 倍高い耐性を示したが , Xe イオン照射時にはほとんど差が見られなかった . このことから , スタック構造のトランジスタ間距離を 250 nm から 350 nm まで広げても 67.2 MeV-cm²/mg の重イオンではソフトエラー抑制効果が弱まる .

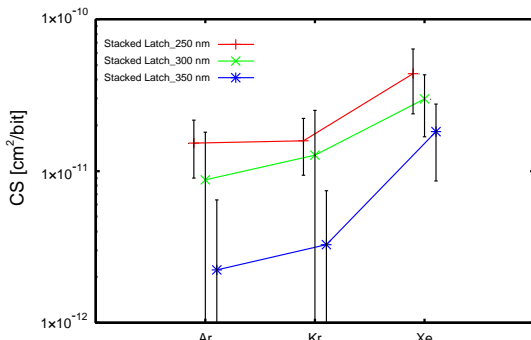


図 6 65 nm FDSOI プロセスにおけるトランジスタ間の距離の異なる 3 種類のスタックドラッチのソフトエラー実測結果。

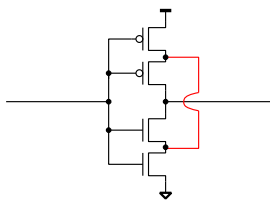


図 7 提案の RSR (reduction sensitive range) 構造。

4. スタック構造に適したソフトエラー耐性向上手法の提案と評価

本節では、高いエネルギーをもつ重イオンが衝突しても保持値が反転しない構造を提案する。デバイスシミュレーションを用いて提案した回路構造のソフトエラー耐性を見積る。

4.1 提案回路構造

RSR (reduction sensitive range) 構造を用いたインバータの回路図を図 7 に示す。スタック構造の NMOS および PMOS の縦積トランジスタの共有拡散層を配線で繋ぐ。これにより、スタック構造に放射線が突入し発生した正孔が、配線から流れこむ電子により再結合しやすく高いソフトエラー耐性を示すと考えられる。

4.2 デバイスシミュレーションのセットアップ

Synopsys 社の Sentaurus を用いてデバイスシミュレーションを行う。ソフトエラー耐性の評価方法には実測とシミュレーションがある。実測では特定の施設で限られた時間内にしか測定することができず、対象回路を設計し製造する必要があるため多大な時間を要する。シミュレーションでは回路を製造する必要が無く低コスト、短 TAT でソフトエラー耐性の評価が行える。デバイスシミュレーションではトランジスタを構築して任意の LET 値をもつ重イオンを任意の場所に照射することができる。チップの設計前に提案回路構造のソフトエラー耐性を見積ることができる。

デバイスシミュレーションに用いた回路を図 8 に示す。通常のインバータと RSR インバータで構成されたラッチで評価を行なっている。ノード N1 = 0 とし、OFF 状態の

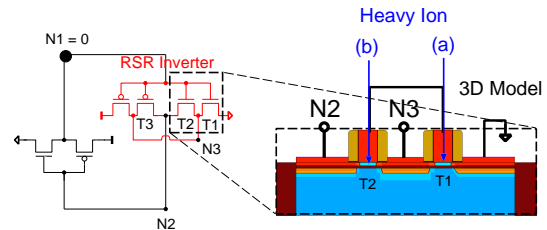


図 8 シミュレーション回路図。スタック構造の NMOS トランジスタのみ 3D モデル、他は回路シミュレーションモデルを使用。電源電圧 0.8 V において (a), (b) のそれぞれに重イオンを照射。

トランジスタ T1, T2 にそれぞれ 60 MeV-cm²/mg の重イオンを照射する。シミュレーションの高速化のために重イオンを照射するインバータの NMOS トランジスタのみ 3D モデルを使用し、他は回路シミュレーションモデルを使用している。すべてのシミュレーションは 65 nm Thin-BOX FDSOI デバイスを用いて評価しており、3D モデルと回路シミュレーションモデルの静特性は誤差 8%以内で一致している [5]。

(a) 重イオンを T1 に照射

N2 と N3 の電圧時間変化を図 9 (a) に示す。60 MeV-cm²/mg の重イオンを照射してもラッチの保持値は反転しなかった。T1 直下の寄生バイポーラトランジスタが ON し、SET パルスが発生してプルアップ側の PMOS トランジスタ T3 を通過する。通過した SET パルスは 56%に抑制されるため、保持値が反転しない。T3 が PMOS パストランジスタとして働くことで、'1' '0' '1' の SET パルスを '1' 'Vth' '1' の SET パルスへと変化させるためである。

(b) 重イオンを T2 に照射

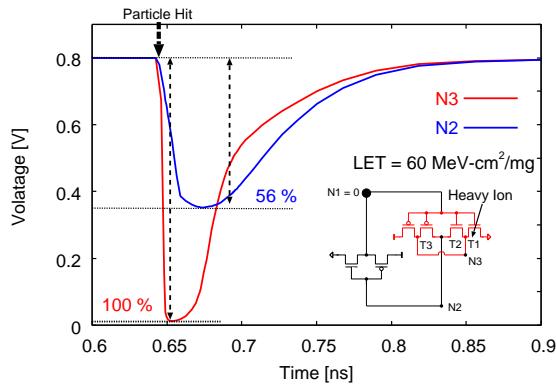
N2 の電圧時間変化を図 9 (b) に示す。60 MeV-cm²/mg の重イオンを照射してもラッチの保持値は反転しなかった。T2 直下の寄生バイポーラトランジスタは ON するが、T2 のドレインとソース電位差がほぼ 0 のため出力はほとんど変化しない。

5. 従来スタック構造と提案構造の比較

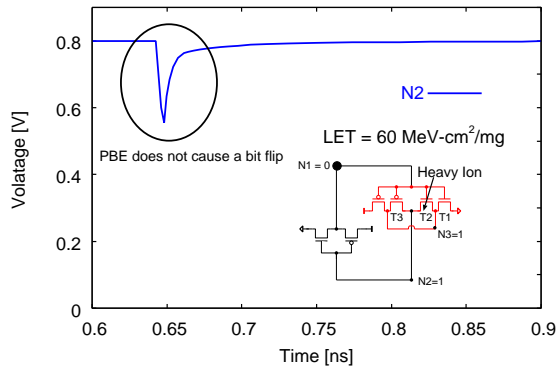
本節では、デバイスシミュレーションを用いて提案構造と従来スタック構造のソフトエラー耐性を比較する。

5.1 ソフトエラー耐性の比較方法

デバイスシミュレーションに用いた回路を図 10 に示す。L1 (通常のインバータとスタックドインバータで構成されたラッチ) と L2 (通常のインバータと RSR インバータで構成されたラッチ) で評価を行なう。第 4 節と同様にシミュレーションの高速化のために重イオンを照射するインバータの NMOS トランジスタのみ 3D モデルを使用する。スタック構造の縦積トランジスタの共有拡散層の中心に重イオンを照射する。重イオンの LET を 0 から 0.1 MeV-cm²/mg ずつ変化させて保持値が反転する臨界 LET



(a) 重イオンを T1 に照射．N2 と N3 の電圧時間変化を示す．PMOS トランジスタにより N3 の電圧降下は抑えられる．



(b) 重イオンを T2 に照射．N2 の電圧時間変化を示す．寄生バイポーラ効果 (Parasitic Bipolar Effect) は発生するが出力にほとんど影響がない．

図 9 各インバータの出力電圧の時間変化のシミュレーション結果．60 MeV-cm²/mg の重イオンを照射しても保持値の反転が見られなかった．

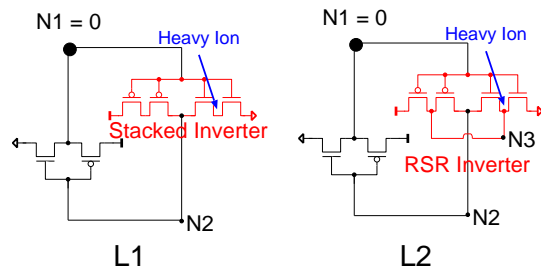


図 10 比較を行うシミュレーション回路図．L1: 通常のインバータとスタックドインバータで構成されたラッチ．L2: 通常のインバータと RSR インバータで構成されたラッチ．スタック構造の NMOS トランジスタのみ 3D モデル，他は回路シミュレーションモデルを使用．

の値を求め，電源電圧 0.8 V で比較する．臨界 LET が大きければ高いソフトエラー耐性を示す．

5.2 シミュレーション結果と考察

L1 のスタックドインバータおよび L2 の RSR インバータに当たった場合の臨界 LET を表 1 にまとめる．スタック構造は 5 MeV-cm²/mg で反転している．一方で，RSR 構造の場合には 60 MeV-cm²/mg を超える重イオンが拡散層

表 1 イオンが NMOS トランジスタに衝突した場合と PMOS トランジスタに衝突した場合のラッチの臨界 LET

インバータ	臨界 LET [MeV-cm ² /mg]
スタック構造	5.0
RSR 構造	61.0

の中心に衝突しても反転が見られず，高いソフトエラー耐性を示す．

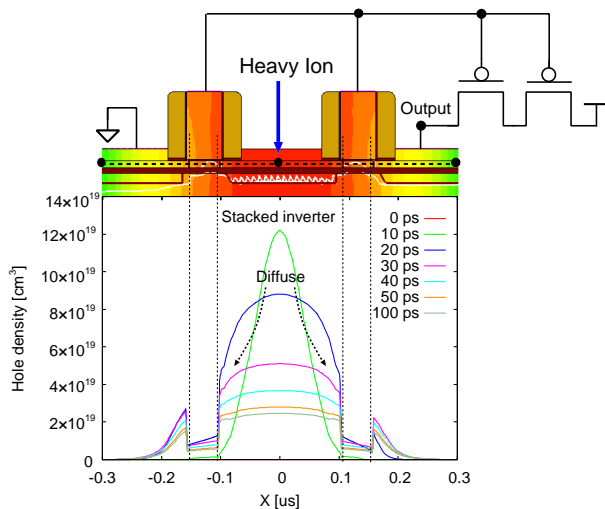
RSR インバータに照射時の臨界 LET がスタックドインバータに照射時の臨界 LET の 12 倍以上高くなった要因を突き止めるために重イオン入射後の正孔密度分布を調べる．RSR インバータとスタックドインバータのそれぞれにおいて，重イオン入射後の正孔密度の変化をデバイスシミュレーションを用いて検証した．60 MeV-cm²/mg の重イオンをスタック構造の縦積トランジスタの共有拡散層の中心に照射し，正孔密度の時間変化を確認した．チャンネルの中心の深さで，照射した点を $X = 0$ として $\pm 0.3 \mu\text{m}$ の距離を評価する．シミュレーション結果を図 11 に示す．スタックドインバータの場合には 100 ps 後の $X = 0$ の地点で正孔密度は $2 \times 10^{19} \text{ cm}^{-3}$ である．一方で，RSR インバータは 20 ps 後に正孔密度が $0.8 \times 10^{19} \text{ cm}^{-3}$ 以下まで減少する．スタックドインバータは，発生した正孔が再結合と拡散によって減少する．しかし，RSR インバータでは発生した正孔が配線 N3 によって流れ込む電子と再結合することで，減少が加速すると考えられる．N3 の電流波形を図 12 に示す．電子が流れ込むことをシミュレーションからも確認できた．よって，この N3 を接続することによって RSR インバータがスタックドインバータよりも高いソフトエラー耐性を示す．

6. 結論

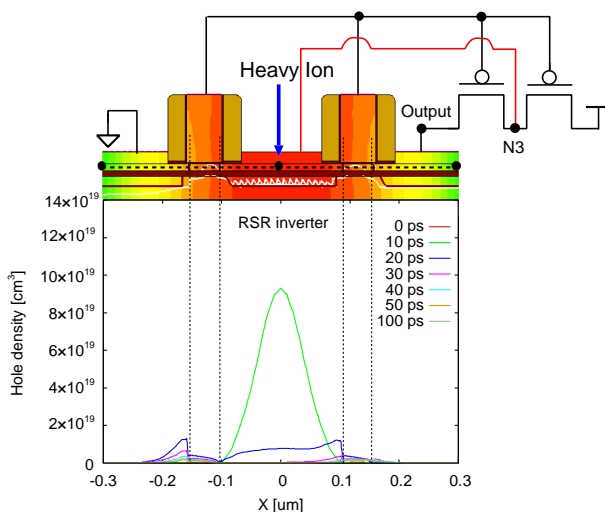
本稿では 65 nm FDSOI デバイスにおいてスタック構造の脆弱性を重イオン照射測定により明らかにし，スタック構造に適したソフトエラー対策技術を提案し，デバイスシミュレーションにより評価した．

FDSOI デバイスにおいてスタック構造は，縦積トランジスタの両方に放射線影響が及ぼされた場合に脆弱になると考えられる．そこで，縦積トランジスタ間距離を広げることで宇宙空間でも使用できる耐性向上が見込めるのかを確認した．重イオン照射測定結果からスタック構造のトランジスタ間距離を 250 nm から 350 nm に広げることで 41 MeV-cm²/mg の重イオンではソフトエラー率を約 1/7 に低減できるが，60 MeV-cm²/mg を超える重イオンではソフトエラー率に差が無いことを明らかにした．トランジスタ間距離を広げることで耐性は向上するが，面積が大きくなる．

スタック構造の NMOS および PMOS の縦積トランジスタの共有拡散層を配線で繋いだ RSR 構造を提案した．この配線により発生したキャリアが再結合しやすくなり，60



(a) スタックドインバータ



(b) RSR インバータ

図 11 60 MeV-cm²/mg の重イオン照射時の正孔密度の時間変化。重イオンを X = 0 に照射している。

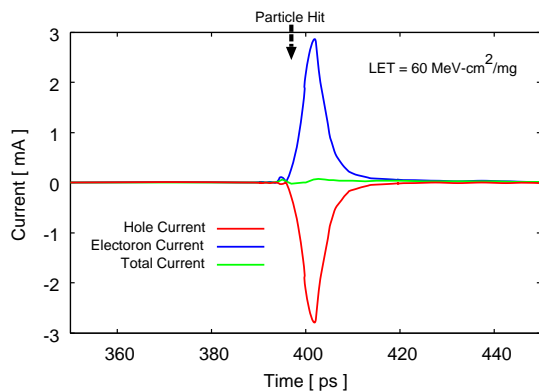


図 12 60 MeV-cm²/mg の重イオン照射時の共有部の配線 N3 を通過する電流波形。

MeV-cm²/mg の重イオンが突入してもエラーが発生しないことをデバイスシミュレーションにより明らかにした。RSR 構造は 60 MeV-cm²/mg の重イオンが縦積トランジスタの両方に影響を及ぼしたとしても、保持値の反転が見られないため、RSR 構造をデバイスに使用することで宇宙空間の使用にも耐え得る高い信頼性を実現できる。

謝辞 本研究は JSPS 科研費 15H02677, JP17K14667 および、(株) ソシオネクストの助成を受けて実施したものである。本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンターグラフィクス株式会社の協力で行われたものである。また、重イオン照射測定は量子科学技術研究開発機構の施設共用制度にて行われたものである。

参考文献

- [1] G. Moore, "Cramming more components onto integrated circuits," Proceedings of the IEEE, pp. 82–85, 1998.
- [2] D.G. Mavis and P.H. Eaton, "Soft error rate mitigation techniques for modern microcircuits," IEEE Int. Rel. Physics Symp., pp. 216–225, 2002.
- [3] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," IEEE Trans. Nucl. Sci., vol. 43, no.6, pp. 2874–2878, Dec. 1996.
- [4] A. Makihara, M. Midorikawa, T. Yamaguchi, et al., "Hardness-by-design approach for 0.15 μm fully depleted CMOS/SOI digital logic devices with enhanced SEU/SET immunity," IEEE Trans. Nucl. Sci., vol. 52, no. 6, pp. 2524–2530, Dec. 2005.
- [5] K. Yamada, H. Maruoka, J. Furuta, et al., "Radiation-hardened flip-flops with low-delay overhead using PMOS pass-transistors to suppress SET pulses in a 65 nm FD-SOI process," IEEE Trans. Nucl. Sci., early access, 2018.
- [6] T.D. Loveless, S. Jagannathan, T. Reece, et al., "Neutron- and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node," IEEE Trans. Nucl. Sci., vol. 58, no. 3, pp. 1008–1014, Jun. 2011.
- [7] P. Hazucha, T. Karnik, S. Walstra, et al., "Measurements and analysis of SER-tolerant latch in a 90-nm dual-VT CMOS process," IEEE Journal of Solid-State Circuits, vol. 39, no. 9, pp. 1536–1543, Sept. 2004.
- [8] K. Yamada, H. Maruoka, J. Furuta, et al., "Sensitivity to soft errors of NMOS and PMOS transistors evaluated by latches with stacking structures in a 65 nm FDSOI process," IEEE Int. Rel. Physics Symp (IRPS), pp. SE.3.1–SE.3.5, Mar. 2018.
- [9] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, "Radiation-induced pulse noise in soi cmos logic," Int'l Symposium on Advanced Semiconductor-on-insulator Technology and Related Physics, May 2011.
- [10] P. Roche, J.L. Autran, G. Gasiot, and D. Munteanu, "Technology downscaling worsening radiation effects in bulk: SOI to the rescue," IEEE Int. Electron Devices Meeting, pp. 31.1.1–31.1.4, Dec. 2013.
- [11] 丸岡晴喜, 山田晃大, 榎原光則, et al., 「FDSOI に適したスタック構造におけるソフトエラー耐性向上手法の提案・評価と微細化による影響の評価」, 電子情報通信学会技術報告 (VLSI 設計技術), VLD2017-103, pp. 85–89, Feb. 2018.
- [12] J.S. Kauppila, T.D. Loveless, R.C. Quinn, et al., "Utilizing device stacking for area efficient hardened SOI flip-flop designs," IEEE Int. Rel. Physics Symp (IRPS), pp. SE.4.1–SE.4.7, Jun. 2014.