

# 受信者操作特性の良い電源ピン間抵抗測定による TSV オープン故障の検出

蜂屋孝太郎<sup>†1</sup> 中野美幸<sup>†1</sup> 檜物菜々美<sup>†1</sup> 黒川敦<sup>†2</sup> 畠中雄平<sup>†3</sup>

3D-IC において、あるダイから別のダイに電源を供給するためのシリコン貫通ビア(TSV)のオープン故障を検出する方法を提案する。電源分配網のインピーダンスを下げるために LSI パッケージの端子には電源ピンが複数あるのが通常である。電源ピンのダイ内の接続先を適切に選ぶことにより、電源ピン間の抵抗を計測することで TSV のオープン故障を検出できるようにする。プロセスばらつきによる電源ピン間抵抗のばらつきをモンテカルロ解析で求め、各 TSV でオープン故障が発生した時としない時の抵抗ばらつきから受信者操作特性曲線下の面積を求める。これが最大となる電源ピン間を用いてオープン故障を検出する。実験結果として、13mm 角の 2 つのダイの電源網を 70 個の TSV で接続した 3D-IC の例に本手法を適用した時のシミュレーション結果を示す。

## TSV Open Fault Detection by Measuring Resistance between Power Pins with the Best ROC Curve

KOUTARO HACHIYA<sup>†1</sup> MIYUKI NAKANO<sup>†1</sup> NANAMI HIMONO<sup>†1</sup>  
ATSUSHI KUROKAWA<sup>†2</sup> YUHEI HATAKENAKA<sup>†3</sup>

A method is proposed which detects open fault of through Silicon via (TSV) delivering power (or ground) from one die to another in 3D-ICs. LSI package generally has many power pins to decrease impedance of the power delivery network. The method finds the optimal pair of power pins to measure resistance to detect open fault of the specified TSV. By running Monte Carlo fault simulations, resistance distributions of each pair of power pins with and without the open fault are obtained. From the resistance values, receiver operating characteristic (ROC) curve can be plotted. The method selects the pair of power pins which has the largest area under the curve (AUC) of its ROC curve. Example simulations for 3D-IC consisting of two dies (13mm square) connected by 70 TSVs demonstrate the feasibility of the method.

### 1. はじめに

ITRS の予測では、More Moore および More than Moore のトレンドの結果、CPU やメモリ、ロジック回路からなる SoC (System-on-Chip) と、アナログ/RF や高耐圧電源素子、センサーなどの非デジタル・デバイスからなる SiP (System-in-Package) を組み合わせた異種統合化が進むと考えられている[1]。特にダイ間の通信に高いバンド幅が要求される場合には、積層したダイ間をシリコン貫通ビア (TSV: Through Silicon Via) で接続した 3D-IC が有用であると考えられており、例えばイメージセンサーと画像処理プロセッサを統合した 3D-IC が実用化されている[2]。3D-IC の製造技術は成熟してきてはいるが設計が非常に困難で、設計自動化やテストについてはさらなる研究開発が必要な状況である[3]。設計自動化においては、熱・応力シミュレーション[4]や物理設計[5]、歩留まり向上手法について研究成果が得られているが、通常の LSI 設計と同様に 3D 設計を行える EDA ツールが揃っていないという状況には至っていない。テストおよびテスト考慮設計(DFT: Design for Testability)においては、テスト・アクセスやテスト・スケジューリング、

ダイ・テスト、故障モデルといった多くの研究課題が残されている[3]。本論文では 3D-IC 内の電源分配網のテストおよび DFT に着目し、電源分配網を構成するダイ間を接続する TSV の故障を出荷前のテストで検出する手法を提案する。

本論文は次のように構成されている。まず次章で、関連する先行研究を概説する。続く第 3 章で TSV の故障検出へのアプローチ方法について説明した後、提案手法を記述する。第 4 章で実験結果を示し、第 5 章で今後の課題についてまとめる。

### 2. 関連する先行研究

3D-IC の電源分配網の設計では、電源電圧の降下量がある基準を超えないという制約のもと、あるダイから隣のダイへ電源を供給するための TSV の数(場合によっては TSV の形状)と、各ダイのオンチップ・デカップリング容量を最適化する方法が提案されている[5][6][7][8]。製造後に電源分配網が設計通りにできていることをテストする手法については、オンチップ・モニター回路を搭載して電源電圧を計測する手法が提案されている[9]。この手法では電

<sup>†1</sup> 帝京平成大学  
Teikyo Heisei University

<sup>†2</sup> 弘前大学  
Hirosaki University

<sup>†3</sup> 琉球大学  
University of the Ryukyus

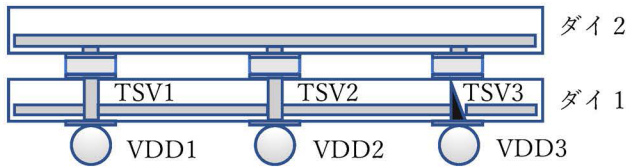


図 1. 3D-IC 断面図における電源分配網

圧降下が最大になるとと思われる電源分配網の複数の端点にモニター回路を追加する。モニター回路はリングオシレータの発振周期を計測し、温度とプロセスばらつきを補正を行なった後、電圧に変換される。この手法の問題点として、まずモニター回路を追加することによりチップ面積が増大する点が挙げられる。また、動作モードが多い回路やプロセッサを含む場合、3D-IC 全体にどのような動作をさせた時の電源電圧を計測すべきかが不明である。一般的には消費電力が最大となる動作パターンが選択されると考えられるが、この時にモニター回路を設置した箇所の電圧降下が最大になるという保証はない。さらに、本手法は機能テストであるため、故障要因に対するテスト網羅性は不明である。

電源分配網を構成する TSV やオンチップの電源配線、デカップリング容量といった要素の故障を検出する構造テスト手法についてはまだ提案されていないが、オペアンプなどのアナログ回路の構造テスト手法は研究されている[10][11]。以下では文献[10]の手法を紹介する。回路内の素子(デバイス、配線など)に対し故障モデルを定義し、全ての故障要因を記載した故障リストを作成する。このリストから故障を1つだけ取り出し故障シミュレーションを実行する。すなわち、その故障が発生した時の回路を生成し、回路シミュレータを用いてプロセスばらつきを反映させたモンテカルロ解析を実行する。この結果と、故障が全く存在しない時のモンテカルロ解析の結果から、診断を誤った時に発生するコストの期待値(ベイズリスク)を求める。このベイズリスクを全てのテストベクタについて求め、ベイズリスクが最小となるものを、当該故障を検出するためのテストベクタとする。この処理を故障リスト内の全ての故障に対して行う。本論文ではこのようなアナログ回路の構造テストの手法を3D-ICの電源分配網のテストに適用する。

### 3. 3D-IC 電源分配網の構造テスト

#### 3.1 アプローチ

3D-IC を構成する各ダイは、ダイ単体のテストをパスしており故障がないことが保証されているダイ(KGD: Known Good Die)であるとする。したがって、各ダイに搭載されたデカップリング・キャパシタが設計どおりの容量および周波数特性で正しく電源網に接続されているかどうかのテストはダイ単体テストで行われているとして扱い、ここでは TSV の欠陥による故障のテスト方法のみを考える。

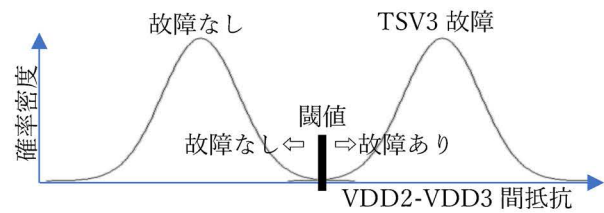


図 2. バンプ間抵抗の確率分布

図 1 のように 2 つのダイの電源ネット VDD が 3 つの TSV で接続され、各 TSV の直下にバンプ VDD1, VDD2, VDD3 があるとする。これらはショートされずにそのままパッケージの端子となっており、パッケージ外からこれらの端子間の抵抗を計測できるものとする。VDD1-VDD2 間の抵抗は TSV3 の断線(オープン故障)がある時とない時とでほとんど変わらないと予想されるが、VDD2-VDD3 間の抵抗は TSV3 のオープン故障が発生した時としない時とでは大きく異なると予想される。すなわち VDD2-VDD3 間の抵抗を測定することで TSV3 のオープン故障を検出できると考えられる。本論文では、電源分配網を構成する全ての TSV の直下もしくはその近傍にバンプを設置することができ、さらにこれらのバンプのうち任意のバンプ間の抵抗を測定できると仮定する。

続いて、多数あるバンプから抵抗測定を行うべきバンプ対を見つける方法を検討する。検出したい TSV 故障が発生した時と全く故障がない時のバンプ間抵抗の差が大きく、誤診断の確率が低いバンプ対を選択したい。抵抗測定時の 3D-IC デバイス全体の温度は制御でき、どのデバイスについても全く同じ温度で測定できると仮定しても、プロセスばらつきがあるためにバンプ間抵抗の値はデバイス(個体)毎にばらつき、図 2 のような確率分布を持つと考えられる。文献[10]の方式に従えば、抵抗の閾値を決め偽陽性率(FPR: false positive rate, 故障していないのに故障と診断する確率)と偽陰性率(FNR: false negative rate, 故障しているのに故障なしと診断する確率)を求めてそれぞれの誤診断が発生した時のコストからベイズリスクを求める。このベイズリスクが最小となるバンプ対を探す。ここで、閾値の決め方によって歩留まりと不良流出率が左右されるため、両者のトレードオフを考慮して閾値を決めるべきであるが、文献[10]ではその決め方が明確になっていない。そこで本論文では次節で説明する受信者操作特性を用いて診断性能の最も良いバンプ対を探す。

#### 3.2 受信者操作特性

受信者操作特性(ROC: Receiver Operating Characteristic)は診断性能を評価するための曲線であり、医療分野では頻繁に利用されている[12][13]。ROC 曲線は横軸に偽陽性率(FPR)、縦軸に真陽性率(TPR: True Positive Rate)とするグラフで、図 3 のように閾値を変化させた時の FPR と TPR の値をプロットしたものである(図 4)。例えば TSV3 の故障

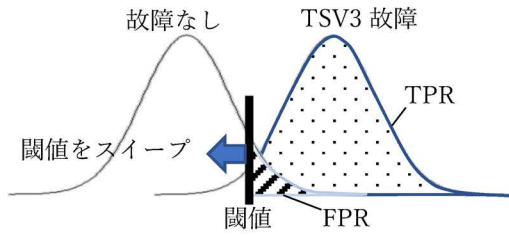


図 3. 真陽性率(TPR)と偽陽性率(FPR)

TPR の面積は FPR の影に隠れている部分も含む

を VDD2-VDD3 間抵抗で診断する時は図 4 の曲線(1)のようになり、VDD1-VDD2 間抵抗で診断する場合は曲線(2)のようになると考えられる。

ROC 曲線に基づき診断性能を定量化する方法として曲線下面積(AUC: Area Under the Curve)が一般的に用いられている。AUC=1 が理想であり、0.5 だとランダムな診断と同等と見なされ、AUC が 1 に近いほど診断性能が良いと判断される。例えば図 4 の(2)よりも(1)の曲線の方が、AUC が大きく診断性能が良い。AUC は、任意に選んだ陽性の個体が、任意に選んだ陰性の個体よりも高いスコア(抵抗値)が付けられる確率に等しい。

また ROC は、実際の診断で用いる最適な閾値を決めるのにも用いられており、座標(0,1)に最も近い曲線上の点における閾値を採用する方法や、TPR-FPR が最大となる点(Youden Index)における閾値を採用するのが一般的である[14]。

### 3.3 提案手法

提案手法の処理手順を図 5 に示す。出力として得られるのは、各 TSV の故障を検出するために抵抗測定を行うべきバンプ対である。入力として下記が必要となる。

- 各ダイの電源配線のレイアウトと配線ばらつき情報
- TSV の回路モデルとばらつき情報、故障モデル
- ダイ間マイクロバンプの回路モデルとばらつき情報
- バンプの回路モデルとばらつき情報

まず上記入力情報を元に故障を全く含まない時の回路シミュレーション用ネットリスト[15]を生成する(S1)。全てのバンプ対の組合せについて、回路シミュレーションを実行してバンプ間抵抗を求める(S3~S7)。この時、回路を構成する配線やバンプなど全ての要素のばらつき情報を用いて  $M$  回のモンテカルロ解析を行い[16]、 $M$  個の個体のバンプ間抵抗を求める。続いて故障注入シミュレーションを実行する。TSV の故障モデルを用いて、TSV を 1 つだけ ( $k$  番目の TSV) 故障させた時のネットリストを生成する(S9)。故障を全く含まない時と同様に、全てのバンプ対の組み合わせについて回路シミュレーションを実行してバンプ間抵抗を求める(S11~S13)。故障がない時の  $M$  個の抵抗値と、TSV  $k$  が故障した時の  $M$  個の抵抗値とから ROC 曲線を作成し[12]、AUC を求める(S14)。全てのバンプ対の組み合わせのうち AUC が最大となるものを TSV  $k$  の故障を検出

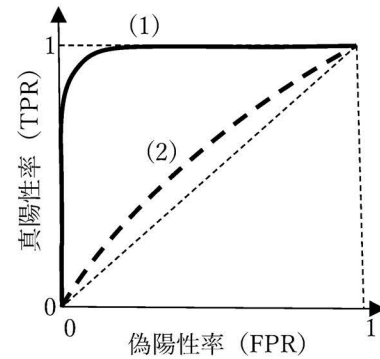


図 4. ROC 曲線

するために抵抗を測定するバンプ対として割り当てる。

## 4. 実験結果

2 つのダイからなる 3D-IC を想定して実験を行う。電源分配網には VDD と GND の 2 つの系統があることを想定するが、ここでは VDD についてのみ考える。2 つのダイはいずれも 13mm 角であり電源配線は図 6 に示す構造を持っているものとする。M7 層(縦)、M6 層(横)のメタルでグリッド状の電源分配網を構成する。これらの配線の幅の平均は  $\mu_w=3$  [um] (相対標準偏差  $\sigma_w/\mu_w=5\%$ )、厚さの平均は  $\mu_H=3$  [um] (相対標準偏差  $\sigma_H/\mu_H=5\%$ ) とし、幅  $W$  で厚さ  $H$ 、長さ  $l$  の配線セグメントの抵抗  $R$  は次式で得られるものと

```

S1: 故障なしのネットリストを生成
S2:  $N :=$  総バンプ数
S3: for  $i=1$  to  $N$ 
S4:   for  $j=i+1$  to  $N$ 
S5:     バンプ  $i$  と  $j$  間の抵抗をモンテカルロ解析
S6:   endfor
S7: endfor
S8: for  $k=1$  to  $N$ 
S9:   TSV  $k$  のみ故障させたネットリストを生成
S10:   $AUC_{max} := 0$ 
S11:  for  $i=1$  to  $N$ 
S12:    for  $j=i+1$  to  $N$ 
S13:      バンプ  $i$  と  $j$  間の抵抗をモンテカルロ解析
S14:      ROC 曲線の求め AUC を算出
S15:      if ( $AUC > AUC_{max}$ )
S16:         $\langle imax, jmax \rangle := \langle i, j \rangle$ 
S17:         $AUC_{max} := AUC$ 
S18:      endif
S19:    endfor
S20:  endfor
S21:  TSV  $k$  用バンプ対として  $\langle imax, jmax \rangle$  を保存
S22: endfor
    
```

図 5. 提案手法の処理手順



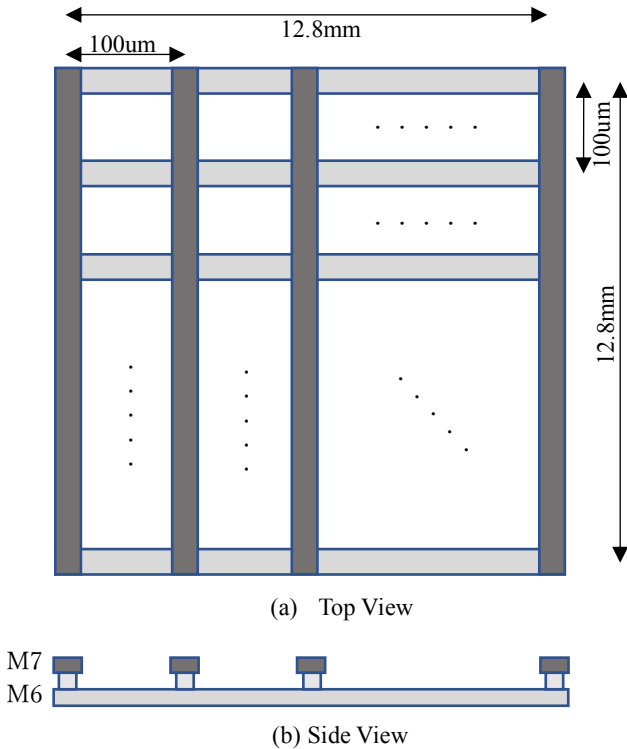


図 6. ダイ内電源分配網(VDD)の配線構造

する. ここで  $\rho = 1.68 \times 10^{-8} [\Omega \cdot \text{m}]$  (Cu の抵抗率) とする.

$$R = \rho \cdot \frac{\ell}{W \cdot H}$$

同一層内の  $W$  と  $H$  は全て同じとし, 異なる層の  $W$  と  $H$  は独立に正規分布でばらつくものとする. また, M7 と M6 を接続するビアの抵抗は本実験では無視する.

TSV とバンプは図 7 のようにそれぞれ 70 個を配置する. “<行番号>\_<列番号>”の書式で 1\_1 や 13\_13 のようにそれぞれの位置を表す. いずれもダイ内電源グリッドの交点の直下となっている. TSV は円柱形で, 半径の平均は  $\mu_r = 1 [\mu\text{m}]$  (相対標準偏差  $\sigma_r / \mu_r = 5\%$ ), 長さ  $\ell = 100 [\mu\text{m}]$  (ばらつきは無視) とし, その抵抗  $R$  は次式で得られるものとする.  $\rho$  はダイ内電源配線と同じとする.

$$R = \rho \cdot \frac{\ell}{\pi r^2}$$

半径  $r$  は TSV 毎に独立に正規分布でばらつくものとする. また, TSV の故障はオープン故障のみを考え, 故障した時の抵抗は  $R_{open} = 10^{12} [\Omega]$  とする.

まず 1\_1 の TSV が故障した時のモンテカルロ解析結果を表 1 に示す. モンテカルロの試行回数  $M = 3,000$  でサンプリング方式として Latin Hypercube を用いた. 1\_1 から 1\_13 までの横 1 列の 13 個のバンプの間の組み合わせのみを抜粋した. 抵抗増加率と AUC との間には相関が見られ, かつバンプ間抵抗の標準偏差が 5% 程度であるため, 抵抗増加率が 5% 未満のものは ROC 曲線の作成および AUC の算出は割愛した. AUC が最大となるバンプ対は <1\_1, 1\_3> で

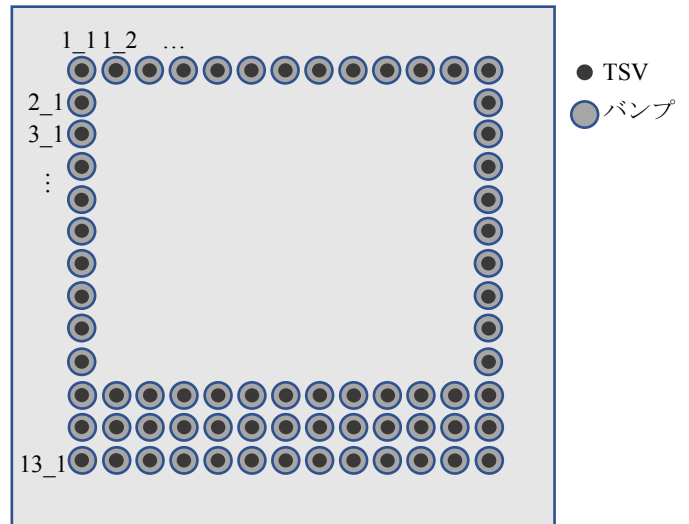


図 7. TSV とバンプの位置

ある. バンプ対 <1\_1, 1\_13> についての ROC 曲線を図 9 に, 抵抗値の度数分布を図 10 に示す. なお, モンテカルロ解析の回路規模は抵抗素子数 65,606, ノード数 33,281 で, 実行環境は MacBook Pro (Intel Core i5 2.7GHz, 8GB 1867MHz DDR3) で, 1 バンプ対の抵抗計算を行うモンテカルロ解析 (3,000 回) の実行時間は平均 3,819.9 sec であった.

次に 12\_7 の TSV が故障した時のモンテカルロ解析結果を表 2 に示す. 12\_7 から 12\_13 までの横 1 列 7 個のバンプの組み合わせのみを抜粋した. 抵抗増加率 5% 未満のものは ROC 曲線の作成と AUC 計算を割愛した. AUC が最大となったバンプ対は <12\_7, 12\_9> であった. TSV 1\_1 が故障した場合と比べ, 他の TSV に周囲を囲まれた状況であるため最大 AUC が若干低下したが, 同様の結果が得られた.

## 5. まとめと今後の課題

故障シミュレーションのモンテカルロ解析を行うことでバンプ間抵抗の ROC 曲線を求め, 最も診断性能の高いバンプ対を見つけ, このバンプ間抵抗を測定することで TSV のオープン故障を検出する方法を提案した. TSV 故障が発生した時のバンプ間抵抗の nominal 値の増加率を求めることで診断性能をある程度予想でき, 抵抗増加率が小さいバンプ対については時間のかかるモンテカルロ解析を割愛することができる.

本手法が実際の 3D-IC で有効かどうかを実デバイスで確認することが最大の課題であるが, まずは今回の実験で無視したマイクロバンプやバンプ, パッケージ電源網の回路モデルを追加し, さらには測定誤差のモデルを追加した故障シミュレーションを行いたい. また, 故障判定時の抵抗の閾値の決め方を明確にする必要がある. TSV 1 つにつき 1 つのバンプを割り当て, 同一電源の他のバンプとショートさせずにパッケージ外に端子として出せることを仮定したが, これが現実的に可能かどうか確認する必要がある.

表 1. モンテカルロ故障シミュレーション結果 (上から下記の値)  
故障なし時の nominal 抵抗  $R[\Omega]$ , TSV 1\_1 故障時の nominal 抵抗  $R'[\Omega]$ , 抵抗増加率  $(R'-R)/R$ , AUC

	1_2	1_3	1_4	1_5	1_6	1_7	1_8	1_9	1_10	1_11	1_12	1_13
1_1	0.4818	0.5671	0.6240	0.6700	0.7095	0.7447	0.7768	0.8069	0.8360	0.8652	0.8961	0.9334
	0.5998	0.7032	0.7678	0.8178	0.8597	0.8963	0.9293	0.9600	0.9894	1.0188	1.0498	1.0873
	24.477%	24.005%	23.039%	22.066%	21.168%	20.358%	19.628%	18.963%	18.346%	17.755%	17.160%	16.483%
	0.99992	0.99993	0.99992	0.99988	0.99982	0.99973	0.99954	0.99950	0.99930	0.99901	0.99878	0.99838
1_2		0.4800	0.5630	0.6179	0.6621	0.7002	0.7344	0.7660	0.7961	0.8261	0.8575	0.8952
		0.4807	0.5643	0.6196	0.6640	0.7023	0.7366	0.7683	0.7985	0.8284	0.8599	0.8976
		0.1358%	0.2270%	0.2730%	0.2939%	0.3013%	0.3015%	0.2978%	0.2919%	0.2849%	0.2767%	0.2662%
1_3			0.4795	0.5616	0.6156	0.6590	0.6965	0.7304	0.7622	0.7934	0.8256	0.8639
			0.4796	0.5619	0.6159	0.6594	0.6970	0.7309	0.7628	0.7939	0.8262	0.8644
			0.0218%	0.0430%	0.0561%	0.0632%	0.0665%	0.0676%	0.0675%	0.0665%	0.0651%	0.0628%
1_4				0.4793	0.5609	0.6144	0.6575	0.6949	0.7292	0.7620	0.7955	0.8345
				0.4793	0.5610	0.6145	0.6576	0.6951	0.7293	0.7622	0.7957	0.8347
				0.0059%	0.0125%	0.0169%	0.0194%	0.0208%	0.0213%	0.0214%	0.0211%	0.0205%
1_5					0.4792	0.5606	0.6139	0.6570	0.6948	0.7301	0.7653	0.8054
					0.4792	0.5606	0.6139	0.6570	0.6949	0.7302	0.7653	0.8055
					0.0019%	0.0042%	0.0058%	0.0068%	0.0073%	0.0076%	0.0076%	0.0075%
1_6						0.4791	0.5605	0.6139	0.6573	0.6962	0.7337	0.7753
						0.4791	0.5605	0.6139	0.6574	0.6962	0.7337	0.7753
						0.0007%	0.0015%	0.0022%	0.0026%	0.0028%	0.0029%	0.0029%
1_7							0.4791	0.5606	0.6143	0.6587	0.6996	0.7433
							0.4791	0.5606	0.6143	0.6587	0.6996	0.7433
							0.0003%	0.0006%	0.0008%	0.0010%	0.0011%	0.0011%
1_8								0.4792	0.5609	0.6154	0.6616	0.7083
								0.4792	0.5609	0.6154	0.6616	0.7083
								0.0001%	0.0002%	0.0003%	0.0004%	0.0004%
1_9									0.4793	0.5615	0.6175	0.6690
									0.4793	0.5615	0.6175	0.6690
									0.0000%	0.0001%	0.0001%	0.0002%
1_10										0.4795	0.5628	0.6233
										0.4795	0.5628	0.6233
										0.0000%	0.0000%	0.0001%
1_11											0.4799	0.5666
											0.4799	0.5666
											0.0000%	0.0000%
1_12												0.4817
												0.4817
												0.0000%

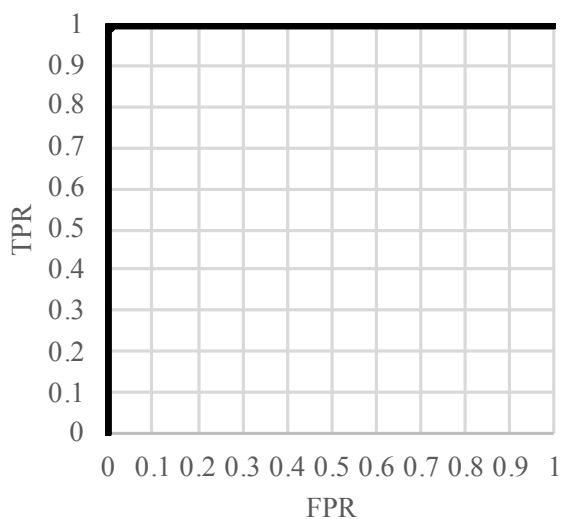


図 8. バンプ対 <1\_1, 1\_3> の ROC 曲線

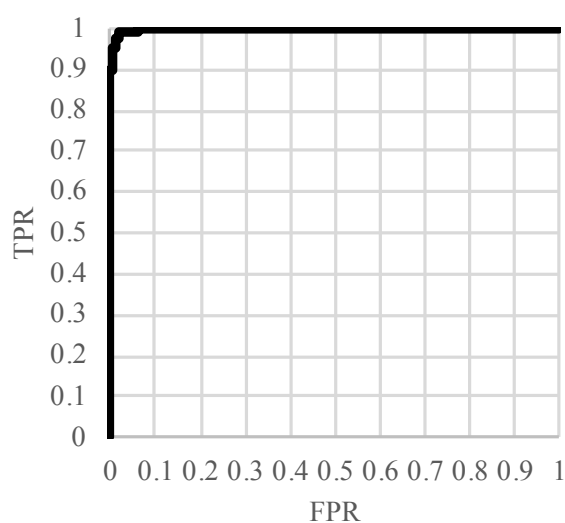


図 9. バンプ対 <1\_1, 1\_13> の ROC 曲線

参考文献

[1] International Technology Roadmap for Semiconductors 2.0, 2015 Edition.

[2] D. James, "3D ICs in the Real World", *IEEE Advanced Semiconductor Manufacturing Conference*, pp. 113-119, 2014.

[3] H.-H. S. Lee, K. Chakrabarty, "Test Challenges for 3D Integrated Circuits", *IEEE Design & Test of Computers*, Vol. 26, pp. 26-35, 2009.

[4] K. Furumi, O. Shintaro, T. Kanamoto, M. Imai, A. Kurokawa, "Impact of Distributing 3D Stacked ICs on Maximum Temperature Reduction", *The 21st Workshop on Synthesis And System Integration of Mixed Information technologies*, 2018.

[5] Y. Satomi, K. Hachiya, M. Imai, T. Kanamoto, K. Furumi, A. Kurokawa, "Power Delivery Network Optimization of 3D ICs Using Multi-Objective Genetic Algorithm", *The 21st Workshop on Synthesis And System Integration of Mixed Information technologies*, 2018.

[6] P. Zhou, K. Sridharan, S. S. Sapatnekar, "Optimizing decoupling capacitors in 3D circuits for power grid integrity", *IEEE Design & Test*, Vol. 26, No. 5, pp. 15-25, Sep. 2009.

[7] A. Todri-Sanial, S. Kundu, P. Girard, A. Bosio, L. Dililo, A. Virazel, "Globally constrained locally optimized 3-D power delivery networks", *IEEE Trans. Very Large Scale Integration Systems*, Vol. 22, No. 10, pp. 2131-2144, Oct. 2014.

[8] L. Zouwei, M. Yuchun, Z. Qiang, C. Yici, X. Yuan, H. Tingting, "Thermal-aware P/G TSV planning for IR drop reduction in 3D ICs", *Integration*, Vol. 46, No. 1, pp. 1-9, 2013.

[9] S.-Y. Huang, "Test Strategies for the Clock and Power Distribution Networks in a Multi-Die IC", *International Symposium on VLSI Design, Automation and Test*, 2017.

[10] K. Saab, N. Ben-Hamida and B. Kaminska, "Parametric Fault Simulation and Test Vector Generation", *Design, Automation and Test in Europe Conference and Exhibition*, 2000.

[11] Z. Lu, *Analog Fault Modeling, Simulation and Diagnosis*, Master Thesis, Arizona State University, Apr. 2014.

[12] T. Fawcett, "An introduction to ROC analysis", *Pattern Recognition Letters* 27, Elsevier, 2006.

[13] Y. Hatakenaka, H. Ninomiya, E. Billstedt, E. Fernell, C. Gillberg, "ESSENCE-Q – used as a screening tool for neurodevelopmental problems in public health checkups for young children in south Japan," *Neuropsychiatric Disease and Treatment*, Vol. 13, 2017.

[14] Akoberng AK, "Understanding diagnostic tests 3: Receiver operating characteristic curves", *Acta Paediatrica*, 2007.

[15] L. W. Nagel, *SPICE2: A computer program to simulate semiconductor circuits*, Memo No. ERL-M520, Electronics Research Lab. University of California, Berkeley, May 1975.

[16] P. Ghanta, S. Vrudhula, R. Panda, J. Wang, "Stochastic Power Grid Analysis Considering Process Variations", *Design, Automation and Test in Europe Conference and Exhibition*, 2005.

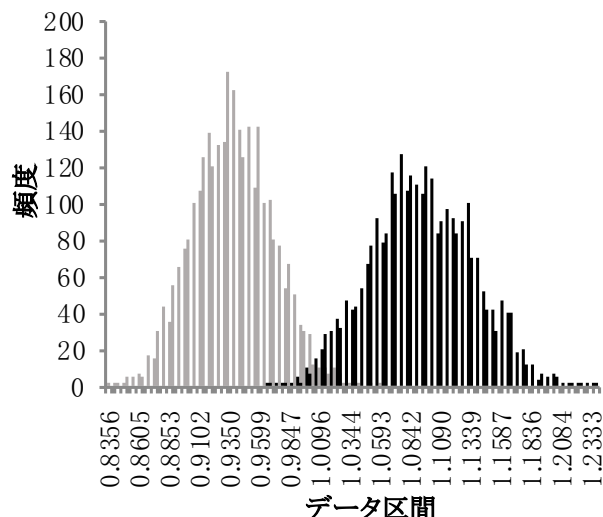


図 10. バンプ対 <1\_1, 1\_13> 間抵抗の度数分布

表 2. モンテカルロ故障シミュレーション結果

上から、故障なし時の nominal 抵抗  $R[\Omega]$ , TSV 12\_7 故障時の nominal 抵抗  $R'[\Omega]$ , 抵抗増加率  $(R'-R)/R$ , AUC

	12_8	12_9	12_10	12_11	12_12	12_13
12_7	0.47628	0.55105	0.59710	0.63407	0.66810	0.70474
	0.57145	0.65700	0.70589	0.74378	0.77815	0.81489
	19.9817%	19.2271%	18.2191%	17.3017%	16.4715%	15.6299%
	0.99919	0.99920	0.99887	0.99843	0.99775	0.99654
12_8		0.47631	0.55127	0.59784	0.63615	0.67495
		0.47660	0.55172	0.59836	0.63669	0.67550
		0.0607%	0.0826%	0.0864%	0.0849%	0.0811%
12_9			0.47639	0.55171	0.59940	0.64216
			0.47641	0.55174	0.59944	0.64220
			0.0039%	0.0059%	0.0065%	0.0063%
12_10				0.47654	0.55268	0.60434
				0.47654	0.55268	0.60434
				0.0004%	0.0007%	0.0007%
12_11					0.47691	0.55624
					0.47691	0.55624
					0.0001%	0.0001%
12_12						0.47864
						0.47864
						0.0000%