

# エラー予告 FF とレプリカの 電圧マージン制御性能の定量的比較

増田 豊<sup>1,a)</sup> 長山 準<sup>2</sup> 武野 紘宜<sup>2</sup> 小川 芳正<sup>2</sup> 靄山 陽一<sup>2</sup> 橋本 昌宜<sup>1,b)</sup>

**概要：**製造ばらつき、電源電圧変動、経年劣化などの性能ばらつきを克服する手法として、適応的電圧制御が有望視されている。本稿は、適応的電圧制御の実現に向けてタイミングセンサに着目し、エラー予告 FF とクリティカルパス・レプリカの優劣を電源電圧削減効果の観点から定量的に議論する。合わせて、適応的電圧制御時の最小平均動作電圧を線形計画法を用いて見積もり、電圧制御時に各センサが必要とするマージン量を定量的に評価する。各センサを用いた適応的電圧制御時の性能を評価したところ、エラー予告 FF では 13.3%、レプリカでは 8.9% の電圧削減効果を確認した。また、エラー予告 FF は最小動作電圧に対して最小 2.5%、レプリカは最小 5.6% の電圧マージンが残ることを確認した。

## 1. 序論

近年の半導体製造プロセスの微細化に伴い、製造ばらつき等の素子特性のばらつきが顕在化している。あわせて、negative bias temperature instability (NBTI) [1] に代表される経年劣化などの動的な性能変動要因により、回路動作時の性能低下とそのばらつきが深刻化している。性能ばらつき下で回路動作を正常に保つために、従来のワーストケース設計 (worst case; WC) では、設計時と動作時にそれぞれマージンを付与してきた。これらのマージンは、電源電圧を高める、もしくはクロック周波数を下げるなどの処置により付与される。一方、性能ばらつきが顕在化に伴い、WC 設計に必要なマージン量の増加とそれに伴う性能劣化の顕在化により、マージン量を削減しつつ正常動作を保つ設計技術が望まれている。

性能ばらつきを克服する手法として、適応的電圧制御 (adaptive voltage scaling; AVS) [2-8] が有望視されている。AVS は、チップが自身の速度余裕を見積もり、電源電圧を自律的に調整する設計技術である。理想的には、AVS を実装したチップは、少量のマージンを保って動作を継続し、遅延故障発生を回避する (図 1)。従って、AVS は、PVTA ばらつき (process, voltage, temperature, and aging) を最小化しつつ、目標の動作寿命を達成すると期待される。

AVS の実装方針は、二種類に大別される。第一の方針は、故障発生を検出後、その故障を回復して動作を継続す

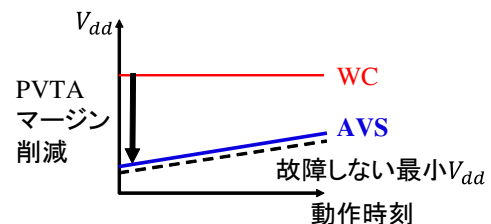


図 1 AVS と WC 設計の平均動作電圧。

る手法 (エラー検出+回復型) であり、代表的な手法として Razor [2] が挙げられる。第二の方針は、故障発生を予告し、故障前に電源電圧を昇圧して発生を回避する手法 (エラー予告型) であり、エラー予告 FF [7] やクリティカルパス・レプリカ [8] 等が提案されている。両方針は、共に、故障を検出/予告するためにセンサを挿入し、センサの出力に応じて電源電圧を制御する。ここで、エラー検出+回復型の AVS は、故障の回復機構が必要であり、一般の順序回路への実装は容易でない。そこで、本稿では、エラー予告型の AVS に着目する。

設計者が AVS を設計に適用するためには、センサの種類、挿入個所、挿入数を適切に決定する必要がある。センサの実装手法が不適切であれば、挿入されたセンサはエラー予告を十分にできず、遅延故障発生を防止できない。エラー予告の精度を評価する指標として、チップが動作開始から故障を起こすまでの時間を表す、故障発生時間 (time to failure; TTF) を利用する。AVS が適切に機能しない別の事象として、PVTA マージンを削減できないことが考えられる。AVS がエラー予告を適切に発行しつつ不要なマージンを削減するためには、センサの選定と挿入手法の良し悪

<sup>1</sup> 大阪大学 大学院情報科学研究科

<sup>2</sup> 株式会社ソシオネクスト

<sup>a)</sup> masuda.yutaka@ist.osaka-u.ac.jp

<sup>b)</sup> hasimoto@ist.osaka-u.ac.jp

しを、TTF やマージン削減の観点で定量的に評価する必要がある。

本研究では、AVS により達成可能な電源電圧削減効果を定量的に評価する。本評価では、センサとしてエラー予告 FF とクリティカルパス・レプリカに着目し、各センサを用いた AVS の電圧適応性能を定量的に比較する。ここで、目標の回路寿命によって、各チップが達成可能なクロック周期-平均動作電圧のトレードオフは異なる。本研究では、平均故障発生時間 (mean time to failure; MTTF) を設計時の制約として考慮し、この制約下での AVS のトレードオフを比較する。MTTF を考慮したトレードオフ解析を定量的に行うために、飯塚らによって提案された確率的故障率見積もり手法 [7] を用いる。この手法は、AVS 適用時の回路挙動をマルコフモデルを用いて確率的に表現し、平均動作電圧や MTTF を導出する。また本研究では、AVS が動作時に必要とするマージン量を算出するために、平均動作電圧の下限を見積もる手法を提案する。提案手法は、MTTF 制約下における平均動作電圧の下限を、線形計画法により導出する。この下限電圧と AVS 適用時の平均動作電圧を比較して、AVS が必要とする電圧マージン量を定量的に議論する。

本研究の主な貢献は以下の通りである。

- エラー予告 FF とレプリカを用いた AVS 間での、クロック周期-平均動作電圧のトレードオフ比較。
- 線形計画法を用いた、平均動作電圧の下限値見積もり。この下限値と AVS の平均動作電圧の比較から、AVS が動作時に必要とするマージンを定量的に議論。

本稿の以降の構成は以下の通りである。2 章では、エラー予告 FF とレプリカを用いた AVS の性能比較方針を説明する。性能比較における要点を説明し、次に各センサを用いた設計最適化問題を定式化する。3 章では、線形計画法に基づく平均電圧の下限見積もり手法を提案する。4 章では、各センサを用いた AVS の電源電圧削減効果を示す。最後に、5 章で結論を述べる。

## 2. エラー予告 FF とレプリカの性能比較方針

本章は、エラー予告 FF とレプリカの性能比較の方針を示す。まず、2.1 節では、各センサを用いた AVS に期待される電源電圧削減効果を議論し、性能比較における論点をまとめる。次に、2.2 節でエラー予告を用いる AVS を説明し、その設計最適化問題を定義する。その後、2.3 節で、レプリカを用いる AVS とその設計最適化問題を示す。

### 2.1 性能比較における論点

図 2 に、MTTF 制約下で、エラー予告 FF とレプリカを用いた AVS に期待される電源電圧削減効果をそれぞれ示す。黒色の曲線は、従来の WC 設計のトレードオフであり、PVTA の最悪ケースを想定してマージンが付与されて

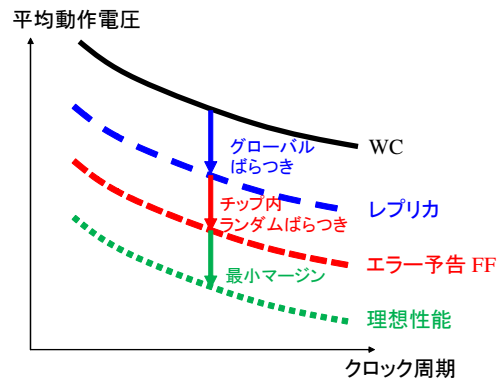


図 2 エラー予告 FF/レプリカに期待される電源電圧削減効果。

いる。次の青色の曲線はレプリカを用いた AVS であり、グローバルばらつきに対するマージンを電源電圧削減に還元できると期待される。第三の赤色の曲線は、エラー予告 FF を用いた AVS に対応し、グローバルばらつきとチップ内ランダムばらつきへのマージンの両方を電源電圧削減に活用できると期待される。最後の緑色の曲線は、AVS の理想性能に相当し、AVS が故障しない最小動作電圧を保ち続けた際のトレードオフを表す。緑色と青色/赤色の曲線を比較することで、レプリカ/エラー予告 FF を用いた AVS が動作時に必要とする電圧マージンを議論できる。

上記の定性的な議論に対し、次の定量的な評価が求められる。(1) 静的および動的な性能ばらつきと MTTF の制約を考慮した際に、エラー予告 FF もしくはレプリカを用いた AVS は、WC 設計と比較してどれ程の電源電圧削減効果が達成可能か。(2) 各 AVS が性能ばらつき下において MTTF の制約を満足するためには、どれ程の電圧マージンを保つ必要があるか。(1) の問いに答えるために、確率的故障率見積もり手法 [7] を用いて MTTF と平均動作電圧を評価する。本評価では、静的な製造ばらつきと動的な電源ノイズと経年劣化の影響を考慮する。(2) の問いに答えるために、本研究は線形計画法を用いて平均動作電圧の下限値を求解し、各センサを用いた AVS の平均動作電圧との差から電圧マージン量を評価する。下限値の見積もりについては、3 章で述べる。各 AVS の電源電圧削減効果と動作時の電圧マージンは、4 章で評価する。

本論文での論点をまとめる。図 2 の評価における重要な点は、トレードオフ解析を同一の MTTF の制約下で行うべき、という点である。例えば、より短い MTTF が許容される場合、より電源電圧を削減できるため、トレードオフ曲線は左に移動する。文献 [9] では、レプリカとスラックモニタ [5] の性能を比較し、レプリカがチップ内ランダムばらつきに対するマージンを除去出来ないことを実験的に示した。しかし、この研究では、MTTF の制約、電源ノイズや経年劣化などの動的な遅延変動の影響を十分に考慮していない。前述の通り、異なる MTTF を持つ AVS 間で、マージン削減効果を直接比較することは困難である。また、実

設計において、動的な遅延変動に対して適切なマージンを設けることは必要不可欠である。この観点から、設計者は静的ばらつきの影響に加えて、MTTFの制約や動的な性能ばらつきの影響を考慮する必要がある。

第二の重要な点は、AVS時の平均動作電圧と理論値との差である。AVS適用時と理想動作時のトレードオフの差を明らかにすることにより、設計者はAVSがどれ程の電圧マージンを保って動作しているか知ることが出来る。この電圧マージンの情報は、AVSの品質を議論する上で不可欠である。この目的から、Chenらにより、AVSが各電源電圧にどれ程の期間滞在するべきか決定する手法が提案された[10]。この手法は、遅延故障率の制約と製造ばらつきと静的な温度ばらつきの影響を考慮している。しかし、電源ノイズや経年劣化などの動的なばらつきが考慮されていない。AVSが電源ノイズや経年劣化環境下で動作することを踏まえると、動的な遅延変動とMTTFを考慮した下限電圧見積もり手法が必要である。

ここで、性能比較の信頼性を保つために、エラー予告を用いたAVSとレプリカを用いたAVSは共にうまく設計されていることが望ましい。本研究では、公平な比較に向けて、両センサを用いたAVSの設計最適化問題を、同一の目的関数と同様の設計制約からなる問題に定式化する。2.2節と2.3節で、エラー予告FFを用いたAVSとレプリカを用いたAVSの設計をそれぞれ説明する。

## 2.2 エラー予告FFを用いたAVSの設計

図3に、被制御回路、電圧制御機構、エラー予告FFから構成されるAVS回路を示す。エラー予告FFはメインFF、遅延素子、XORゲート等の比較器により構成される。エラー予告FFによる遅延故障回避のメカニズムを説明する。経年劣化等により回路遅延が増加してタイミング余裕が小さくなると、エラー予告FFはメインFFより先に遅延故障を起こすと期待される。これは、エラー予告FFの方が、遅延素子によりセットアップ制約がより厳しいためである。この時、メインFFとエラー予告FFの出力が異なるため、XORゲートが論理値"1"を出力する。このエラー予告信号を受け取って、電圧制御機構が電源電圧を昇圧し、メインFFでの遅延故障発生を回避する。エラー予告が一定期間(モニタサイクル)されない場合は、電源電圧を降圧して、省電力化を図る。エラー予告FFは、被制御回路に埋め込まれており、その遅延変動やばらつきを共有しているため、チップ内の局所的なばらつきへのマージンも電源電圧削減に還元できると期待される。

本論文では、以下のような、エラー予告FFを用いたAVSの設計最適化問題を考える。

- 目的関数
  - Minimize :  $V_{dd}$
- 変数

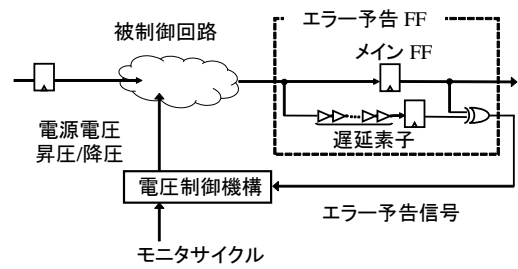


図3 エラー予告FFを用いたAVS.

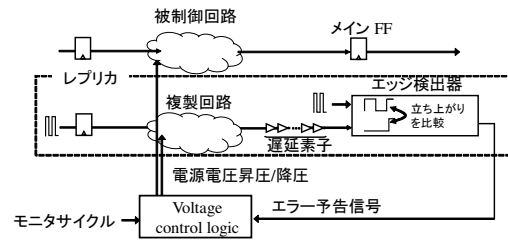


図4 レプリカを用いたAVS.

- $B_{TEP_i} (1 \leq i \leq N_{FF})$
- 制約条件
  - $MTTF \geq MTTF_{const}$
  - $N_{TEP} (= \sum_{i=1}^{N_{FF}} B_{TEP_i}) \leq N_{TEP}^{max}$

最適化問題の目的は、消費電力の最小化を目指して  $V_{dd}$  を最小化することである。  $B_{TEP_i}$  は  $i$  番目のFFがエラー予告FFに置き換えられる場合にのみ1、それ以外で0を取る二値変数である。第一の制約としてMTTFの下限 ( $MTTF_{const}$ )、第二の制約としてエラー予告FFの挿入数の上限 ( $N_{TEP}^{max}$ ) を与える。  $N_{TEP}^{max}$  により、エラー予告FFの面積オーバーヘッドに対して上限を設定する。AVSが適切に機能するために、エラー予告FFは、遅延故障を高い確率で起こすFFを観測してエラー予告信号を出力する必要がある。この点に着目して、文献[11]では、遅延故障率を考慮したセンサの挿入手法を提案した。この手法は、エラー予告FF挿入用の指標として、タイミング違反率と活性化率の同時確率を採用した。この手法で挿入されたエラー予告FFは、クリティカルパスのタイミング余裕を高い頻度で観測するため、電源電圧の適切な調整と遅延故障発生の防止に貢献すると期待できる。従って、本研究では、[11]と同様に、遅延故障率を考慮してエラー予告FFを挿入する。

## 2.3 レプリカを用いたAVSの設計

図4に、被制御回路、電圧制御機構、レプリカから構成されるAVSを示す。レプリカは複製回路、遅延素子、エッジ検出器により構成される。エッジ検出器は、複製パスの終端FFにおいて、毎クロックサイクル入力データの遷移タイミングを確認する。このタイミングがクロックエッジよりも遅い場合、レプリカはエラー予告信号を出力する。従って、レプリカは、エラー予告FFと比べてより頻りにタイミング余裕を測定できる。

電源ノイズ等の遅延変動時に、複製回路のクリティカルパスが被制御回路内と一致するためには、遅延変動に対して感度の異なる多様なパス群を、複製回路に組み込む必要がある。一方、この組み込みには多大な面積オーバーヘッドを要するため、設計時の感度解析を利用した小面積なレプリカ [12] など、多様な実装法が提案されている。本研究では、レプリカの実装方法に依存しない議論を目指して、挿入されたレプリカが観測パスの遅延特性を完全に再現できると仮定する。つまり、レプリカによるクリティカルパスの遅延解析精度は、チップ内ランダムばらつきによるのみ低下すると考える。

2.2 章と同様に、レプリカを用いた AVS の設計最適化問題を以下に定式化する。

- 目的関数
  - Minimize :  $V_{dd}$
- 変数
  - $B_{replica_j} (1 \leq j \leq N_{path})$
- 制約条件
  - $MTTF \geq MTTF_{const}$
  - $N_{replica} (= \sum_{j=1}^{N_{path}} B_{replica_j}) \leq N_{replica}^{max}$

本最適化問題の目的は、2.2 節と同一である。設計変数は  $B_{replica_j}$  であり、これは  $j$  番目のパスがレプリカにより複製される際にのみ 1、それ以外は 0 となる二値変数である。第一の制約として、2.2 節と同様に  $MTTF$  の下限 ( $MTTF_{const}$ ) を与える。第二の制約として、レプリカによる面積オーバーヘッドの上限を与えるために、複製パス数の上限 ( $N_{replica}^{max}$ ) を与える。以降では、性能比較の公平さを保つために、エラー予告 FF を用いた AVS とレプリカを用いた AVS に対して、同一の面積オーバーヘッドの制約を与える。本稿では、レプリカ挿入対象パスを、2.2 節と同様に遅延故障率を考慮して選択する。

### 3. 線形計画法に基づく平均動作電圧の下限値見積もり手法

本章は、 $MTTF_{const}$  を満足する平均動作電圧の下限を見積もる手法を提案する。提案手法は線形計画法を用いて下限値を算出する。

まず、設計パラメータを定義する。AVS 時に設定可能な動作電圧の総数を  $N_v$ 、 $i$  番目の電源電圧を  $V_i (1 \leq i \leq N_v)$  と定義する。経年劣化については、本来連続的に変化する事象だが、[7] の手法との互換性を考慮して離散化し、劣化状態の総数を  $N_{age}$  と定義する。AVS が  $i$  番目の電源電圧かつ  $j$  番目の劣化状態に滞在する期間を  $t_{i,j}$  とする。以上より、AVS が  $V_i$  で動作する時間の総数は  $\sum_{j=1}^{N_{age}} t_{i,j}$ 、平均動作電圧は  $\frac{\sum_{i=1}^{N_v} V_i \times (\sum_{j=1}^{N_{age}} t_{i,j})}{\sum_{i=1}^{N_v} \sum_{j=1}^{N_{age}} t_{i,j}}$  と表される。 $MTTF_{const}$  の制約下で平均動作電圧を最小化することを目指して、以下の線形計画問題を定式化する。

- 目的関数
  - Minimize :  $\sum_{i=1}^{N_v} V_i \times (\sum_{j=1}^{N_{age}} t_{i,j})$
- 変数
  - $t_{i,j}$
- 制約条件
  - $\sum_{i=1}^{N_v} \sum_{j=1}^{N_{age}} (F_{i,j} \times t_{i,j}) \leq 0.5$
  - $\sum_{i=1}^{N_v} \sum_{j=1}^{N_{age}} t_{i,j} = MTTF_{const}$
  - for each  $j$ :  $\sum_{i=1}^{N_v} (t_{i,j} \times a_{i,j}) \leq 1$

制約条件について説明する。第一の制約は  $MTTF_{const}$  を満足するために与える。 $F_{i,j}$  は  $i$  番目の電源電圧かつ  $j$  番目の劣化状態に滞在時の遅延故障率である。この制約は、以下の式のマクローリン展開により導出される。

$$\prod_{i=1}^{N_v} \prod_{j=1}^{N_{age}} (1 - F_{i,j})^{t_{i,j}} \geq 0.5. \quad (1)$$

$(1 - F_{i,j})$  は、 $i$  番目の電源電圧かつ  $j$  番目の劣化状態において、単位時間あたりに遅延故障が発生しない確率である。以降では、単位時間をクロック周期と定義する。 $(1 - F_{i,j})^{t_{i,j}}$  は、 $i$  番目の電源電圧かつ  $j$  番目の劣化状態において、 $t_{i,j}$  の間に遅延故障が発生しない確率である。全ての電源電圧と劣化状態の組に対して、 $(1 - F_{i,j})^{t_{i,j}}$  を算出して積算することで、式 (1) 左辺の確率が導出される。この確率が 0.5 よりも大きければ、回路が  $MTTF_{const}$  以上の  $MTTF$  を達成する。第二の制約により、AVS が動作した総時間を  $MTTF_{const}$  に設定する。

第三の制約は劣化速度を制御するために与える。 $a_{i,j}$  は、 $i$  番目の電源電圧かつ  $j$  番目の劣化状態に単位時間滞在した際の劣化速度である。 $t_{i,j} \times a_{i,j}$  は、 $i$  番目の電源電圧かつ  $j$  番目の劣化状態に  $t_{i,j}$  の間滞在した場合の累積劣化進行確率である。 $\sum_{i=1}^{N_v} (t_{i,j} \times a_{i,j})$  は、 $j$  番目の劣化状態における累積劣化進行確率であり、この値が 1 に到達すると劣化状態が  $j+1$  に遷移するとみなす。ここで、 $F_{i,j}$  と  $a_{i,j}$  については [7] の手法により算出可能であるため、上記の線形計画問題における変数は  $t_{i,j}$  のみである。

### 4. 評価実験

本章は、エラー予告 FF を用いた AVS とレプリカを用いた AVS による電源電圧削減効果を実験的に評価する。まず、4.1 節で評価環境を説明し、4.2 節で各 AVS の平均動作電圧と理想動作時の下限電圧を示す。

#### 4.1 評価環境

本研究では、対象回路として、商用画像処理プロセッサ (image signal processor; ISP), AES (advanced encryption standard) 暗号回路, OR1200 OpenRISC プロセッサを用いた。これら 3 種類の回路を、商用の配置配線ツールを用いて設計した。設計時には、ISP では 28nm プロセスの商用スタンダードセル・ライブラリ, AES と OpenRISC では

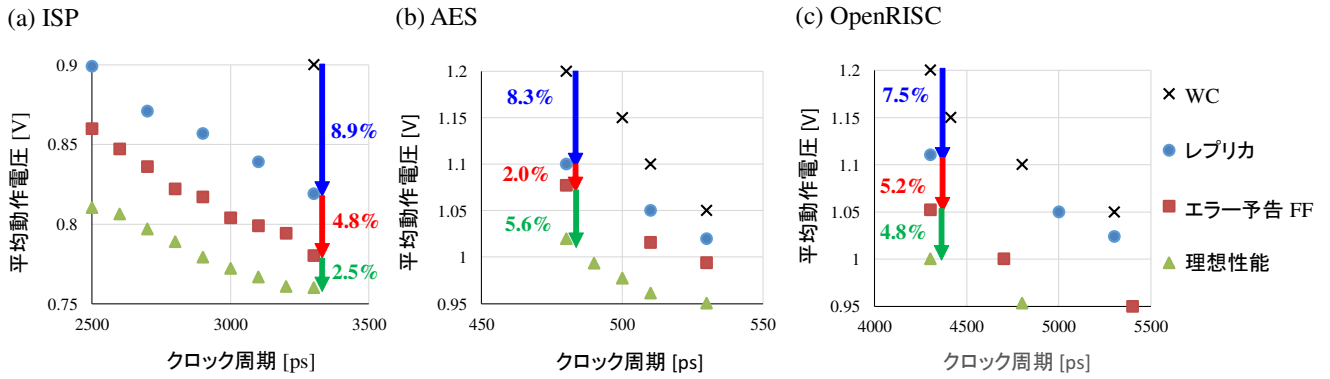


図5 WC設計, エラー予告FFを用いたAVS, レプリカを用いたAVSのトレードオフ比較結果. (a)ISP, (b)AES, (c) OpenRISC.

45nmプロセスのNangateスタンダードセル・ライブラリをそれぞれ用いた. また, OpenRISCプロセッサではSRAMとしてスタンダードセル・メモリ [13] を用いた. 本評価では, 3章の線形計画問題をGurobi Optimizer 7.0を用いて解いた. Red Hat Enterprise Linux 6, メモリ 1024 GBを搭載した2.4 GHz Xeon CPU環境下で実行した. MTTF算出時に以下の遅延変動要因を考慮した.

- 電源ノイズ: -90mV から +70mV までランダムに変動 (ISP), -50mV から +50mV までランダムに変動 (AES, OpenRISC) するものとした.
- 製造ばらつき: チップ内ランダムばらつきとチップ間グローバルばらつきの和で表現した. ISPでは, 28nmプロセスの商用スタンダードセル・ライブラリ内で定義されるばらつきを用いた. AESとOpenRISCでは, チップ内ばらつきとチップ間ばらつき共に, ゲート長, PMOSトランジスタの閾値電圧, NMOSトランジスタの閾値電圧のばらつきで構成されると想定した. NMOS, PMOSの閾値電圧の標準偏差を30mV, ゲート長の標準偏差を1nmとした.
- NBTI劣化: [15]の実測劣化データに, T/D (Trapping/Detrapping)モデル [14]でフィッティングし, 劣化特性を得た. 劣化状態として, 0 mV, 0.5 mV, 1 mV, 5 mV, 10 mV と 15mV の6状態を用意した. 状態数の十分性については今後の検討課題の一つである. なお, ISPでは, 28nmスタンダードセル・ライブラリ内のOCV (on-chip variation) 係数が経年劣化の影響を含んでいたため, AESとOpenRISCのみ上記のNBTI劣化モデルを考慮した.
- 温度変化: -10°C から 110°C までランダムに変動するものとした. なお, 温度変化はISPでのみ考慮した. 本実験では, ワークロードとして, ISPでは消費電力を最大化するプログラム, OpenRISCではMIBenchmark [16]から3種類のプログラム (CRC32, SHA1, Dijkstra), AESでは1000種類のランダムテストパターンを用いた. また, AVS動作時の電源電圧として, ISPでは0.90Vから0.76V

まで20mV刻みの8種類, AESとOpenRISCでは1.20Vから0.95Vまで50mV刻みの6種類を用意した. MTTFの制約 ( $MTTF_{const}$ )としてISPで10.5年, AESで1.6年, OpenRISCで13.7年をそれぞれ設定した. なお, 上記の  $MTTF_{const}$  は一例であり, 他の  $MTTF_{const}$  に対しても同様に対応可能である.

以上の制約を踏まえて, 被制御回路にエラー予告FFとレプリカをそれぞれ挿入した. 面積オーバーヘッドの制約として, ISPとOpenRISCで0.1%, AESで1.0%を与えた. 上記の制約を  $N_{TEP}^{max}$  及び  $N_{replica}^{max}$  に換算すると, ISPでは  $N_{TEP}^{max}=483$ ,  $N_{replica}^{max}=69$ , AESでは  $N_{TEP}^{max}=30$ ,  $N_{replica}^{max}=9$ , OpenRISCでは  $N_{TEP}^{max}=50$ ,  $N_{replica}^{max}=11$ であった. エラー予告FFとレプリカ挿入時には, 遅延素子量を決定する必要がある. 本研究では, ISPでは20mV, OpenRISCとAESでは50mVの電源ノイズによる遅延変動量に相当する遅延素子を挿入した. これらは, AVS適用時の電源電圧刻み幅に相当する.

PVTAばらつき下でのMTTFと平均動作電圧を確率的故障率見積もり手法 [7]を用いて評価した. MTTF評価時には, クロック周期を, ISPでは2500psから3300psまで, AESでは450psから550psまで, OpenRISCでは4000psから5500psまでスイープした. モニタサイクルについては  $10^6$  から  $10^{15}$  クロックサイクル数まで変化させた.

#### 4.2 エラー予告FFとレプリカによる電源電圧削減

図5に  $MTTF_{const}$  の制約下での平均動作電圧とクロック周期のトレードオフを示す. 図5(a)はISP, 図5(b)はAES, 図5(c)はOpenRISCの結果にそれぞれ対応する. 黒色, 青色, 赤色, 緑色のプロットはそれぞれWC設計, レプリカを用いたAVS, エラー予告FFを用いたAVS, 理想動作時の性能である. 本節では, 図5を以下の二点から議論する. (1) エラー予告FFとレプリカを用いたAVSの電源電圧削減効果, (2) 各センサを用いたAVSと平均動作電圧の下限値の差.

まず, 黒色と青色/赤色のトレードオフを比較し, 両セン

サを用いた AVS の電源電圧削減効果を議論する。図 5 では、レプリカを用いた AVS とエラー予告 FF を用いた AVS の両方が、MTTF の制約を満足しつつ WC 設計から平均動作電圧を削減している。例えば、図 5(a) では、クロック周期 3300 ps において WC が 0.90V 動作を必要とするのに対し、レプリカを用いた AVS は 0.82 V で  $MTTF_{const}$  を満足し、0.90V から 0.82 V まで 9.0% の電源電圧削減を達成した。同様に、レプリカを用いた AVS は、図 5(b) より AES ではクロック周期 480ps において 8.3% (1.20V から 1.10V)、図 5(c) より OpenRISC ではクロック周期 4300ps において 7.5% (1.20V から 1.11V) の電源電圧削減を達成した。エラー予告 FF を用いた AVS については、ISP では 0.90V から 0.78V まで 13.3% (図 5(a))、AES では 1.20V から 1.08V まで 10.9% (図 5(b))、OpenRISC では 1.20V から 1.05V まで 12.5% (図 5(c)) の電源電圧削減効果をそれぞれ達成した。以上より、レプリカを用いた AVS とエラー予告 FF を用いた AVS の両方が、電圧マージンを大きく削減できることを実験的に確認した。

次に、各センサを用いた AVS と理想性能を比較する。図 5 より、エラー予告 FF を用いた AVS がレプリカを用いた AVS から更に電源電圧を削減していることが分かる。例えば、ISP ではクロック周期 3300ps において 4.8% (0.82V から 0.78V)、AES ではクロック周期 480ps において 2.0% (1.10V から 1.08V)、OpenRISC ではクロック周期 4300 ps において 5.4% (1.11V から 1.05V) の電源電圧削減効果を達成した。これは、エラー予告 FF の方がマージンをより多く電源電圧削減に還元していることを意味する。エラー予告 FF を用いた AVS と理想性能を比較すると、ISP では 2.5% (0.78V と 0.76V)、AES では 5.6% (1.08V と 1.02V)、OpenRISC では 4.8% (1.05V と 1.0V) の性能差が存在する。この差は、エラー予告 FF 内の遅延素子量と良く一致する。以上より、エラー予告 FF が、動作時に最小のマージンを保ちつつ MTTF の制約を満足することを実験的に確認した。

## 5. 結論

本稿は、適応的電圧制御の実現に向けてタイミングセンサに着目し、エラー予告 FF とクリティカルパス・レプリカの優劣を電源電圧削減効果の観点から定量的に議論した。適応的電圧制御時の最小平均動作電圧を線形計画法を用いて見積もり、電圧制御時に各センサが保つマージン量を定量的に評価した。各センサを用いた適応的電圧制御時の性能を評価したところ、エラー予告 FF では 13.3%、レプリカでは 8.9% の電圧削減効果を確認した。また、エラー予告 FF は最小動作電圧に対して最小 2.5%、レプリカは最小 5.6% の電圧マージンを保つことを確認した。

## 謝辞

本研究の一部は JSPS 科研費 JP18J12044 の助成を受けた

ものである。

## 参考文献

- [1] T. Wang and Q. Xu, "On the simulation of NBTI-Induced performance degradation considering arbitrary temperature and voltage variations," in *Proc. DAC*, pp. 1–6, 2014.
- [2] S. Das, D. Roberts, S. Lee, S. Pant, D. Blaauw, T. Austin, K. Flautner, and T. Mudge, "A self-tuning DVS processor using delay-error detection and correction," *IEEE JSSC*, vol. 41, no. 4, pp. 792–804, 2006.
- [3] K. A. Bowman, J. W. Tschanz, S. L. Lu, P. A. Aseron, M. M. Khellah, A. Raychowdhury, B. M. Geuskens, C. Tokunaga, C. B. Wilkerson, T. Karnik, and K. V. De, "A 45nm Resilient Microprocessor Core for Dynamic Variation Tolerance," *IEEE JSSC*, vol. 46, no. 1, pp. 194–208, 2011.
- [4] S. Kim and M. Seok, "Variation-Tolerant, Ultra-Low-Voltage Microprocessor With a Low-Overhead, Within-a-Cycle In-Situ Timing-Error Detection and Correction Technique," *IEEE JSSC*, vol. 50, no. 6, pp. 1478–1490, 2015.
- [5] A. Benhassain, F. Cacho, V. Huard, M. Saliva, L. Anghel, C. Parthasarathy, A. Jain, and F. Giner, "Timing in-situ monitors: Implementation strategy and applications results," in *Proc. CICC*, pp. 1–4, 2015.
- [6] T. Sato and Y. Kunitake, "A simple flip-flop circuit for typical-case designs for DFM," in *Proc. ISQED*, pp. 539–544, 2007.
- [7] S. Iizuka, Y. Masuda, M. Hashimoto, and T. Onoye, "Stochastic Timing Error Rate Estimation under Process and Temporal Variations," in *Proc. ITC*, 2015.
- [8] A. Drake, R. Senger, H. Deogun, G. Carpenter, S. Ghiasi, T. Nguyen, N. James, M. Floyd, and V. Pokala, "A Distributed Critical-Path Timing Monitor for a 65nm High-Performance Microprocessor," in *Proc. ISSCC*, pp. 398–399, 2007.
- [9] S. Mhira, V. Huard, A. Benhassain, F. Cacho, S. Naudet, A. Jain, C. Parthasarathy, and A. Bravaix, "Dynamic adaptive voltage scaling in automotive environment," in *Proc. IRPS*, pp. 3A-4.1-3A-4.7, 2017.
- [10] Y. -G. Chen, T. Wang, K. -Y. Lai, W. -Y. Wen, Y. Shi, and S. -C. Chang, "Critical path monitor enabled dynamic voltage scaling for graceful degradation in sub-threshold designs," in *Proc. DAC*, pp. 1–6, 2014.
- [11] Y. Masuda and M. Hashimoto, "MTTF-aware Design Methodology of Error Prediction Based Adaptively Voltage-scaled Circuits," in *Proc. ASP-DAC*, pp. 159–165, 2018.
- [12] J. Kim, K. Choi, Y. Kim, W. Kim, K. Do, and J. Choi, "Delay Monitoring System With Multiple Generic Monitors for Wide Voltage Range Operation," *IEEE Trans. VLSI Systems*, vol. 26, no. 1, pp. 37-49, 2018.
- [13] J. Shiomi, T. Ishihara, and H. Onodera, "Fully digital on-chip memory using minimum height standard cells for near-threshold voltage computing," in *Proc. PATMOS*, pp. 44–49, 2016.
- [14] J. B. Velamala, K. B. Sutaria, H. Shimizu, H. Awano, T. Sato, G. Wirth, and Y. Cao, "Compact Modeling of Statistical BTI Under Trapping/De trapping," *IEEE Trans. Electron Devices*, vol. 60, no. 11, pp. 3645–3654, 2013.
- [15] H. Awano, M. Hiromoto, and T. Sato, "Variability in device degradations: Statistical observation of NBTI for 3996 transistors," in *Proc. ESSDERC*, pp. 218–221, 2014.
- [16] M. R. Guthaus, J. S. Ringenberg, D. Ernst, T. M. Austin, T. Mudge, and R. B. Brown, "Mibench: A free, commercially representative embedded benchmark suite," in *Proc. IEEE Workshop on Workload Characterization*, pp. 3–14, 2001.