

高電磁ノイズに対する故障モデルと対策例

福本 聡^{1,a)}

概要: スマートグリッド, ソーラーパネル, 電気自動車などの急激な普及拡大に伴って, 電力変換回路のパルス大電流部分が引き起こす近傍電磁界ノイズが問題となっている. 本稿では, こうした高電磁ノイズを新たな故障モデルとして捉え, ディペンダブルコンピューティングの手法によって高信頼化を試みる研究を紹介する. 具体的には, 高電磁ノイズがもたらす周期的な同時多重過渡故障への耐性を強化した高信頼化プロセッサ方式について述べる. 本方式は, 変換回路のスイッチングに同期して発生する過渡ノイズの影響期間を組み込み自己テスト (BIST) によって測定し, ノイズの発生期間中のクロック供給を意図的に停止して過渡故障を回避するものである.

キーワード: 高電磁環境ノイズ, 同時多重過渡故障, ディペンダブルコンピューティング, 高信頼化プロセッサ, オンライン BIST, DC-DC コンバータ

A Fault Model for Highly Electro-Magnetic Noise and a Countermeasure

FUKUMOTO SATOSHI^{1,a)}

Abstract: Recent inverter and power converter circuits tend to highly integrate their power source and controllers, enhancing their characteristics as higher speed switching, higher supply voltage, and higher power density and so on. Consequently, there are arising problems about the effects of near field noise due to high-current pulse, which is cause by the switching activity of the main power circuit. This paper proposes a scheme to construct highly reliable processors that aggrandise the tolerance against simultaneous multi-bit transient faults which occur synchronously with the switching noise. The proposed scheme applies original Built-in Self Test (BIST) logic, which is implemented beside the target circuit, to measure the duration of the transient faults when the circuit is in the state of power-on sequence. During the normal operation mode, the effects of the noise can be avoided by turning-off the switching of clock signal only when the noise is coming.

Keywords: High Electromagnetic Environment Noise, Simultaneous Multiple Transient Fault, Dependable Computing, Highly Reliable Processor, Online BIST, DC-DC Converter

1. はじめに

近年, スマートグリッド, ソーラーパネル, 電気自動車などの急激な普及拡大に伴って, 電力変換回路の小型化や高密度化に関する研究が進んでいる. 例えば, IGBT (Insulated Gate Bipolar Transistor) と制御基板が一体となったインバータや, 車載用のモータにインバータ回路を一体化する

などの技術は, それらの研究の成果と言える. DC-DC コンバータなどの応用では, 高速スイッチング, 高電圧, 高電力密度などの特性を強化しながら, 同時にそれらの主電源と制御回路の一体化を指向する傾向にある [1]. そこで問題になるのが, 主回路のパルス大電流部分が引き起こす近傍電磁界ノイズ (near-field noise) の影響である. このノイズは, DC-DC コンバータの制御回路や周辺回路, 特に論理回路に大規模な過渡故障を発生させる可能性があり, その対策が必須である [2], [3]. 現在, 具体的な対策としては

¹ 首都大学東京
6-6, Asahigaoka, Hino-shi, Tokyo 191-0065, Japan

^{a)} s-fuku@tmu.ac.jp

EMC (electro-magnetic compatibility) 技術が主流である。

EMC すなわち電磁両立性は、複数の電気電子機器が互いの発する電磁波に影響されことなく正常な動作を確保する特性である。それを実現するために、エミッション (emission) とイミュニティ (immunity) の二つの問題が扱われる。エミッションは、機器からの電磁波の放出であり、それをいかに低く抑えるかが課題となる。一方、イミュニティは、外部からの電磁波に対する耐性を機器に持たせることが課題となる。EMC は、エネルギー [4] をはじめ、鉄道、自動車、レーダ、放送、通信、半導体などの様々な分野の重要課題となっている。とりわけ半導体は、それを基幹要素として採用する上記の各分野のシステムの信頼性に著しい影響を及ぼす可能性がある。

従来、半導体に対する EMC 技法としては、接地特性を強化するグラウンディング (grounding) や、回路を金属で遮蔽するシールドリング (shielding)、周波数特性を利用してノイズを分離するフィルタリング (filtering) などが用いられてきた。しかしながら、これらの正統的な手法には、多くの場合に高コストであるという問題がある。また、半導体の動作周波数の上昇や電源電圧の低下、加工プロセスの微細化などに伴う電磁ノイズ耐性の低下によって、近い将来、それらの適用が困難になるという指摘もある。

本研究では、プロセッサに代表される論理回路において、EMC と併用して耐故障性を強化する高信頼化技術について検討する。提案方式の基本的なアイデアは、電力変換回路のスイッチングに同期して発生する過渡ノイズが影響する期間をプロセッサの起動時に測定し、ノイズの発生期間中はプロセッサ回路へのクロック供給を意図的に停止して、レジスタへ不正な値を取り込むことを阻止するというものである。

2. 過渡故障のモデル

本研究では、電力変換回路のパルス大電流によって繰り返し引き起こされる近傍電磁界ノイズが、論理回路へ与える影響を反映した故障モデルを考える。以下に、具体的な故障モデルおよび提案手法の前提条件を示す。

- フリップフロップは十分な耐故障手法が適用されており、その保持値は過渡ノイズによって直接には反転しない。すなわち、SEU (Single Event Upset) および MEU (Multi Event Upset) は発生しない。
- フリップフロップがデータパスから過渡ノイズによって反転したダーティ値を受け取り、同時多重故障 MET (Multi Event Transient) が発生する可能性がある。
- 過渡ノイズは DC-DC コンバータのスイッチングに同期して発生し、その間隔は論理回路のクロック周期よりも十分に大きい。
- 過渡ノイズの継続期間は、有限な上限を持つ確率分布に従う。

- 対象とする電力変換回路では、デューティ比が 40% ~ 60% に制限された DC-DC コンバータのように、ハイレベルとローレベルそれぞれの期間は、どちらかが極端に小さくなることはなく、どちらもノイズの継続期間分布の上限よりも十分に大きい。
- スwitchingのタイミングは、DC-DC コンバータの制御回路から BIST 回路へ確実に通報される。
- 提案手法に用いる BIST 回路、クロック制御回路、クロック信号系統などの規模は、プロセッサ全体から見ると極めて小さく、何らかの冗長構成手法や EMC 技術によって十分に保護されているものとする。

3. BIST による故障回避

本方式では、周期的に発生する過渡ノイズを回避するように適切な時間だけ回路に供給するクロックを無効化 (クロックゲーティング; Clock Gating) する。過渡ノイズの継続期間は、対象回路の使用環境、負荷環境などによって異なるため、個別に計測する必要がある。ここでは、オンライン BIST を用いてそれを測定し、適切なクロック無効化期間を決定する。

本研究の提案アーキテクチャでは、まず、通常稼働状態に入る前に独自に検討したノン・コンカレント・オンライン BIST を用いて過渡ノイズの継続時間を計測する。テスト開始時には、十分に小さなクロック無効化期間を設定してプロセッサが正常に動作するかどうかを確認し、故障が検出されたら無効化期間を徐々に大きくしながら正常動作が確認できるまで繰り返しテストする。BIST 回路は、そうして特定された故障回避に必要なクロック無効化期間を記憶しておき、通常稼働時は DC-DC コンバータからの通報を契機にその期間だけ動作を停止する。

この故障回避方法の要諦は、ノイズの継続期間分布の上限値を正しく特定することにある。しかしながら、これは実際には簡単ではない。観測されるノイズの継続期間は確率的であり、フリップフロップの入力信号線に重畳するノイズのうち、最も継続期間の長いものでも常にその上限値に達するとは限らないからである。これは、観測回数が少ない場合には、分布の上限値を不適性に小さく見積る可能性があることを意味している。

また、この観測値についてさらに過小評価をもたらすのが故障マスク、すなわち、ノイズが継続しているにもかかわらず過渡故障が検出されずにマスクされる現象である。マスクされた故障は、実際にプロセッサ動作に影響することなく消滅する場合と、誤った値として内部に取り込まれて潜在化する場合とがある。前者の場合は一見好都合であるが、実際の通常稼働モードでは同じクロック無効化期間を設定しても再現性があるとは限らない。また、後者の場合は、後に顕在化してプロセッサの動作に影響する可能性がある。そのような過渡故障の潜在が大規模な順序回路内

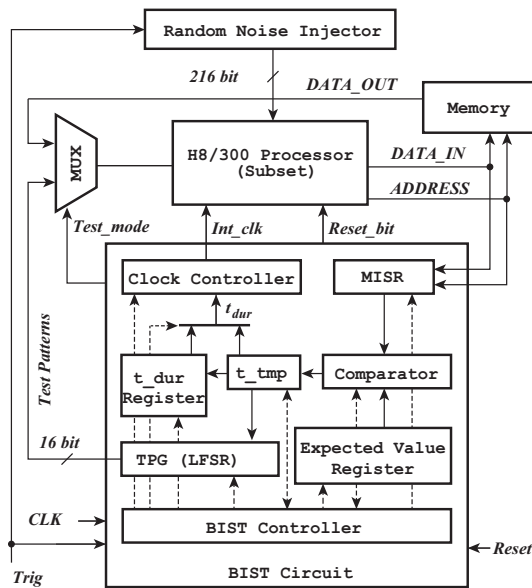


図 1 評価回路

Fig. 1 Evaluation Circuit

に発生したときの挙動を正確に評価することは、極めて困難であることが知られている [5]。

ノイズ継続期間のばらつきや、故障マスクによる分布上限値の過小評価が発生する頻度は、対象とする回路や高電磁環境に依存する。しかし、プロセッサ回路についてのシミュレーションなどでは、実は、ほとんどすべてのテストで分布上限値に対する過小評価が発生する。実際のノイズ継続期間分布の上限 u を特定することが困難である以上、こうしたテストによる観測値の最大値 u' を基に通常稼働中のクロック無効化期間を設定することが現実的であると考えられる。

4. 評価

本研究では、提案する耐故障方式をルネサスエレクトロニクス社の H8/300 プロセッサのサブセットに適用し、シミュレーションベースで評価した。処理環境にオープンソースの Icarus Verilog を用いて、プロセッサコアに H8 の 57 種の命令のうちの 48 種を実装した。

4.1 耐故障手法の適用と故障挿入

上記のプロセッサに提案アーキテクチャを適用したときの評価回路を図 1 に示す。

BIST 回路には、前節で述べた TPG, t.dur Register, Clock Controller のモジュールの他に、MISR, Comparator, Expected Value Register, t.tmp, BIST Controller などがある。

ここでは、TPG は線形帰還レジスタ LFSR (Linear Feedback Shift Register) によって実装される。一つのテストパターンは 16 bit であり、これはプロセッサの通常モードにおけるメモリ読み込みデータに相当する。テスト機構は、1 クロック当たり 1 パターン印加するテスト・パー・

クロック (Test-Per-Clock) である。LFSR も 16 ビットであり最大 65535 個のテストパターンを供給可能である。以下、一回のテストで供給する総テストパターン数を L で表す。シグネチャ解析器 MISR (Multiple Input Signature Register) は、プロセッサからの出力をテスト応答結果として受け取って圧縮する。Comparator は、圧縮されたテスト結果を正常動作時の期待値と比較するために必要である。また、その期待値を保持しているのが Expected Value Register である。

クロック無効化期間の暫定値 t_{dur} はレジスタ t.tmp へ保持され、テスト系列すべてがノイズの影響を受けなくなるまで、テストを繰り返す毎に徐々に大きくなる。最終的に特定された無効化期間の値は、通常モードにおける t_{dur} として使用するため、レジスタ t.dur Register に格納される。

Test.mode 信号は、テストモードの開始と終了を表し、プロセッサへの入力の切り替えを制御する。その値がハイレベルのあいだは BIST 回路からの出力が入力され、ローレベルになるとメモリからの出力が入力される。

以上の BIST 回路の各構成ブロックを制御するのが BIST Controller である。Reset 信号を受けて BIST 回路全体をテストモードに移行させ、Reset.bit 信号を出力してプロセッサをリセットする。DC-DC コンバータの制御回路からの Trig 信号を受信するまで待機させ、それを受信した後は、Clock Controller によるプロセッサへのクロック供給停止、TPG と MISR によるテスト応答測定を繰り返し実行させ、効果的なクロック無効化期間の決定を制御する。ひとつのテストパターン系列の印加が完了するまでには、主回路からのスイッチングノイズが複数回発生するため、プロセッサへのクロック供給と同様に、テストパターン出力動作も Trig 信号を受信するごとにレジスタ t.tmp の値に従って繰り返し停止する。また、テスト圧縮応答や結果比較などの動作の停止も同様である。通常モードに移行してからは、Trig 信号を受信するごとに、t.dur Register の値に従ってプロセッサへのクロックを無効化するよう Clock Controller を制御する。

プロセッサには、過渡故障への耐性を評価するためのランダムノイズ挿入ブロック Random Noise Injector が接続されている。設計したプロセッサに含まれるフリップフロップの総ビット数は 216 であり、その各入力信号線に重畳する過渡ノイズの継続期間をクロック数を単位とした確率変数 Y で表す。過渡ノイズのエネルギーはスイッチングの瞬間に最大となり、その後単調減少すると考えられることから、 Y の従う確率分布 $G(y) = Pr\{Y \leq y\}$ のモデルとして、定義域が 0 から最大値 u の n 次曲線分布

$$G(y) = 1 - \frac{1}{u^{n+1}}(u - y)^{n+1} \quad (1)$$

を用いる。その確率密度関数は

$$g(y) = \frac{n+1}{u^{n+1}}(u - y)^n \quad (2)$$

表 1 ノイズ継続期間分布の上限推定値 M (パラメータ $n = 1$ のときに試行回数 100 回).

Table 1 Upper bound estimations of noise duration distributions with 100 trials when the parameter $n = 1$.

Signal Flip Probability p and Test Sequence Length L	50%			100%		
	500	2,000	10,000	500	2,000	10,000
Maximum Value of M	86 cycles	93 cycles	99 cycles	89 cycles	96 cycles	99 cycles
Mean Value of M	77 cycles	89.2 cycles	94.8 cycles	81.5 cycles	91.3 cycles	96.2 cycles
Minimum Value of M	62 cycles	80 cycles	91 cycles	68 cycles	86 cycles	93 cycles
Mean Total Testing Time	3.85 msec	17.84 msec	94.82 msec	4.08 msec	18.26 msec	96.22 msec

である。 $n = 1$ のときはノイズ継続期間確率密度の直線的な減少を表し、 $n \geq 2$ のときには n 次曲線に沿った減少を表す。 確率密度の減少は n が大きいほど急激になる。 ノイズ継続期間中の各入力信号線の値はクロック毎にランダムに反転すると仮定する。 そのときの信号値反転確率を p で表す。

4.2 シミュレーション結果

シミュレーションでは、実用的な総テスト実行時間で適切なクロック無効化期間を設定できることを確認した。

耐故障化の対象となるプロセッサおよび BIST 回路の動作周波数は 10 MHz である。 すなわちクロック周期は 100 nsec となる。 2 節の故障モデルから DC-DC コンバータのスイッチング周波数は 10 kHz と仮定し、デューティ比を 50% に設定する。 過渡ノイズはターンオンとターンオフの両方のタイミングで発生するので、その周期はスイッチング周期の半分、クロック換算でいえば 500 クロックサイクルとなる。 また、回路全体のノイズの継続期間分布の上限値 u は、DC-DC コンバータのスイッチングパルス幅の 20%、すなわち 100 クロックサイクルと仮定し、 n 次曲線分布の次数には、 $n = 1, 3, 5$ を用いた。(文献 [2], [3] 参照)。 信号値反転確率は $p = 0.5$ および 1.0 の二通りとした。

はじめてテスト結果が期待値と一致するクロック無効化期間 M を、ノイズ継続期間分布の上限推定値とする。 総テストパターン数 L の増加とともに、 M が、ノイズ継続期間分布の上限 u に漸近する状況を確認した。

表 1 に、ノイズ継続期間分布のパラメータ n が 1 のときの結果を示す。 テストパターン数 L を 500 個、2,000 個、10,000 個とし、それぞれについて 100 回計測した。 表には上から順に、ノイズ継続期間分布の上限推定値 M の最大値、平均値、最小値、総テスト時間の平均値を記している。 L の増加と共にノイズ継続期間のばらつきや故障マスクの影響が減少し、 M が全体的に真の上限値 u に近づいていることが判る。 信号値反転確率 p が 100% の場合は、50% の場合と比較して故障マスクなどの影響が全体に少なくなっている。 ノイズの影響が、より確実にテストに反映されるためである。 総テスト実行時間は、 $L = 10,000$ 個の場合でも平均 100 msec 以内であり、ノン・コンカレン

ト・オンライン BIST として実用的な時間オーバーヘッドと考えられる。 $n = 3$ および $n = 5$ の場合にも同様な傾向の結果が得られたが、紙面の都合で省略する。

つぎに面積オーバーヘッドについて評価した。 高信頼化の対象とした元のプロセッサの面積と、それに提案方式を適用したプロセッサの面積をゲート数によって比較した。 Verilog HDL によって記述したプロセッサの各モジュールを、VDEC(VLSI Design and Education Center) から提供されている Synopsys 社の Design Compiler によって論理合成した。 その結果、元のプロセッサの全ゲート数 3,442,012 に対して、提案方式を適用したプロセッサの全ゲート数は 3,444,688 であった。 BIST に必要な回路面積は相対的に非常に小さく、総面積オーバーヘッドは 0.0777 % であることが解る。

5. おわりに

本研究では、高電磁ノイズに対する故障モデルとその対策例について論じた。 電力変換回路のパルス大電流部分が引き起こす近傍電磁界ノイズによる、周期的な同時多重過渡故障への耐性を強化した高信頼化プロセッサ方式を提案した。

参考文献

- [1] J. W. Kolar, U. Drofenik, J. Biela, M. Heldwein, H. Ertl, T. Friedli and S. Round, "PMW Converter Power Density Barriers," IEEJ/IAS Trans. D, Vol. 128, No. 4, pp. 468-480, 2008.
- [2] Z. Ariga and K. Wada, "Analysis and Evaluation of Near Field Noise Voltage on Power Electronics Circuits," Int'l Conf on Power Electronics and Drive Systems, pp. 1014-1019. 2009.
- [3] A. Saisanasongkham, M. Arai, S. Fukumoto, S. Takeuchi and K. Wada, "A Highly Reliable Digital Current Control using an Adaptive Sampling Method," IEEJ Journal of Industry Application, Vol.3, No.4, pp. 296-303, 2014.
- [4] D. Pavel and K. Vaclav, "EMC issues of power electronic converters," Electromagnetic Compatibility 2009, IEEE International Symposium, pp. 296-301, 2009.
- [5] 赤峰悠介, 吉村正義, 松永裕介, "順序回路のソフトエラー耐性評価手法の状態数削減による高速化," 電子情報通信学会技術研究報告, VLD, VLSI 設計技術, pp. 163-168, 2010.