テストセット最小化問題の両立集合被覆問題への定式化とその解法

松永 裕介[1,a)]

概要：本稿では LSI の製造故障に対するテストパタン集合の最小化問題に対する新しい定式化を示す．通常，一つのテストパタンは複数の故障を検出することができる．この特徴を考慮するとテストパタン集合の最小化問題は集合被覆問題と考えることができる．一方，不定値 ('X') を含む複数のテストパタンは同じビット位置に相反する値を持たない限りマージして一つのテストパタンにまとめることが可能である．この特徴を考慮するとテストパタンの最小化問題はグラフ彩色問題とみなすことができる．実際には，この 2 つの特徴を同時に考慮する必要があるため既存の組み合わせ最適化問題として定式化することは難しい．そこで両立集合被覆問題と名付けた新たな組み合わせ最適化問題を定義する．また，この問題に対するヒューリスティック解法を提案する．

A formalization for test-set minimization problem as a compatible set covering problem and its solutions

YUSUKE MATSUNAGA[1,a)]

Abstract: This paper introduces a novel formalization for test-set minimization problem on LSI manifacturing tests. Generally, a test pattern detects more than one faults. Regarding that characteristic, we can consider test-set minimization problem as a minimum set covering problem. On the other hand, test patterns which contain unknown values ('X') might be merged into one test pattern if the values of each corresponding bit does not conflict. In that sense, we can consider test-set minimization problem as a graph coloring problem. Actually, we need to consider both characteristics at the same time, and there seems no existing formalization fitting to those aspects. So, a novel formalization called 'compatible set covering problem' is defined in this paper. And its heuristic algorithms are proposed.

Keywords: test pattern generation, test-set minimization, combinatorial optimization, minimum covering, graph coloring

1. はじめに

製造した LSI に故障がないかどうかを検査するためテストパタンを生成する問題をテスト (パタン) 生成問題と呼ぶ．テスト生成を行う際には予め定義された故障モデルに基づいた故障を仮定し，それを (できるかぎり全て) 検出することを目的とする．実際には故障の検出ができればどのようなテストパタンでもよいというわけではなく，LSI1 つあたりの検査時間の短縮や検査コストの低減のため，テストパタンの要素数が少ないことが望ましい．テストパタンを最小化するための手法は古くからさまざまなものが提案されているが，対象の回路規模が大きくなるに従って効率よく小さなテストパタン集合を求めることが難しくなっている．

著者は SAT ソルバを利用して同時に検出可能な故障集合を求めることで少ない数のテストパタン集合を生成するアルゴリズムを提案している [7], [8]．このアルゴリズムは数万ゲート規模の回路に適用可能で，既存の最も良い結果と同等かより良い解を得ることができている．このアルゴリズムは明示的にテストパタンを求めることなく，一つの

1 九州大学大学院システム情報科学研究院
〒 819–0395 福岡市西区元岡 744
a) matsunaga@ait.kyushu-u.ac.jp

テストパタンで検出可能な故障集合を扱うことで最初に生成したテストパタンによって解の質が左右されることがないという長所を持つが，計算時間の点から全ての故障集合を網羅的に列挙しているわけではないので大局的な最適化を行っているわけではない．また，数万ゲートの回路に対して数分〜数十分を必要としており，スケーラブルとは言い難い．

一方，与えられたテストパタン集合に基づいて最小化を行う手法の場合，比較的短い計算時間で処理が行える反面，解の質が初期テストパタン集合に大きく依存しており，さらにテストパタンを作る時点ではどのようなテストパタン集合からよい解を得られるのかがわからないという問題がある．その他，ある故障のテストパタンの生成時に他の故障の検出も考慮する手法や，一部のテストパタン集合を作り直す手法などさまざまなものが提案されている [2], [3], [4], [5], [6] が，アドホックなヒューリスティックが多い．

本稿では，初期集合として与えられたテストパタン集合から最小のテストパタン集合を求める問題の組み合わせ最適化問題としての定式化を行う．これは両立集合被覆問題と名付けたもので，一つにマージすることのできるテストパタン集合 (=両立集合) で，故障集合を被覆するという意味である．もちろん，問題の定式化が行えたところで厳密最小解を効率よく求めるアルゴリズムがあるわけではないのですぐに良い解が得られるわけではないが，ヒューリスティックを開発する際に，大局を見通した指針を与えることが容易になると考えられる．さらに，この問題に対して安定してよい解を与えるヒューリスティックを開発することができれば初期集合として与えるテストパタン集合の良し悪しを判定する手がかりにもなると思われる．

以下，2 節で，テストセット最小化問題の説明と，最小被覆問題およびグラフ彩色問題としての定式化について述べる．つづく 3 節で提案する定式化について説明を行い，いくつかのヒューリスティックを提案する．最後に 4 節で実験結果を示す．

2. テストセット最小化問題

2.1 用語の定義

ある故障 f を考える．通常は，故障 f の存在する回路 (以下，f の故障回路と呼ぶ[*1]) の振る舞いは故障の存在しない回路 (以下，正常回路と呼ぶ) の振る舞いと異なる．テストパタン生成問題 (テスト生成問題) とは，与えられた回路と故障 f に対して，正常回路と故障回路の出力が異なるような入力を求めることである．そのような入力を故障 f に対する**テストパタン**と呼ぶ．逆にそのような入力は故障 f を**検出する**と言う．場合によっては，ある故障 f' に対する故障回路の振る舞いが正常回路とまったく変わらないことがある．そのような場合には，その故障 f' を検出することはできない．実際，故障 f' の存在は回路の振る舞いに影響を与えていないので，そのような故障は**冗長故障**と呼ばれる．

一般のテスト生成問題とは，対象の回路と複数の故障が与えられ，その故障のうち検出可能な故障に対しては，そのテストパタンを求め，残った故障に対しては，それが冗長故障であると特定 (証明) することである．

テストセット最小化問題とは，対象の回路と複数の故障が与えられた時に，その故障のうち検出可能な故障をすべて検出できるテストパタン集合のうち，要素数が最小のものを求める問題である．

2.2 最小被覆問題としての定式化

通常，あるテストパタン p_1 がただ一つの故障 f_1 のみを検出することはまれで，同時に他の故障 $f_2, f_3, \ldots$ も検出していることが多い．この特徴を考慮すると，与えられたテストパタン集合のなかから，全ての故障を最低 1 回は検出する最小の集合を求めることができればテストセットの最小化が行えるように思われる．今，テストパタン集合 $\mathcal{P} = \{p_1, p_2, \ldots\}$ と検出可能な故障集合 $\mathcal{F} = \{f_1, f_2, \ldots\}$ に対して，故障 $f \in \mathcal{F}$ を検出するテストパタン集合を $\mathcal{P}_f = \{p_{i_1}, p_{i_2}, \ldots\}$ とすると，この問題は，$\mathcal{P}$ を用いて $\mathcal{P}_f (f \in \mathcal{F})$ の集合最小被覆を求める問題とみなすことができる．

例)

表 1 最小被覆問題の例

	p_1	p_2	p_3	p_4
f_1	✓		✓	
f_2	✓	✓		✓
f_3		✓		
f_4			✓	✓

表 1 に最小被覆問題の例を示す．各行 (f_i) は故障に対応しており，各列 (p_j) はテストパタンに対応している．i 行 j 列にチェック (✓) が付いている時に故障 f_i がテストパタン p_j によって検出されることを表している．この場合，テストパタン集合 $\{p_2, p_3\}$ が最小被覆となっている．

最小被覆問題は $\mathcal{NP}$ 困難問題であることが知られており，大規模な問題に対して現実的な時間で厳密最小解を求めることは難しいが，さまざまなヒューリスティックや問題の規模を縮小する手法が知られている．詳細は 3 節で述べる．

2.3 グラフ彩色問題としての定式化

与えられたテストパタンが不定値 ('X') を含まない場合，異なる 2 つのパタンはマージ不可であり，別々に扱う必

[*1] 文脈上，どの故障に対するものかが明らかな場合には単に故障回路と呼ぶ

要があるが，一部のビットに不定値 ('X') を含むテストパタンの場合，たとえ異なるテストバタンであっても同じビット位置に相反する値 (0 と 1) を持たない限り，マージして 1 つのテストパタンにすることが可能である．もちろん，もとのテストパタンで検出可能だった故障はマージしたテストパタンでも検出可能であるので[*2]，テストパタンのマージを行うことでテストパタンの要素数を減らすことができる．ただし，マージ可能なテストパタンの組は一意に定まるわけではないので，マージの仕方によって結果のテストパタンの数は変化しうる．この問題を組み合わせ最適化問題として定式化するとグラフの彩色問題となる．まず，各々のテストパタンをグラフの頂点に対応させる．次にマージすることができないテストパタン (頂点) 間に枝 (無向枝) を設ける．この様にして作成されたグラフ上で彩色数が最小となる彩色を求めれば，同色で塗ることができる頂点はすなわちマージ可能なテストパタン集合に対応しているので，それがそのまま最終的なテストパタンのマージ結果となる．

例) 表 2 にテストパタンの例を示す．同じ列に相反する

表 2　テストパタンの例

p_1	'001X1X'
p_2	'1XX110'
p_3	'0X1110'
p_4	'X011X0'
p_5	'10X1XX'

値 (0 と 1) を持つパタンはマージすることができない．この例では $\{p_1, p_2\}, \{p_2, p_3\}, \{p_3, p_5\}$ がマージ不可なテストパタン対となる．それ以外はマージ可能 (同色で彩色可能) なので，$\{p_1, p_3, p_4\}$ および $\{p_2, p_5\}$ が一つのテストパタンにマージ可能である．

グラフ彩色問題も $\mathcal{NP}$ 困難問題であることが知られている．こちらもさまざまなヒューリスティックが提案されている [1].

3. 両立集合被覆問題としての定式化

3.1 両立集合被覆問題

与えられたテストパタン集合が互いにマージ不可であった場合，テストセット最小化問題は最小被覆問題となる．また，各々の故障がそれぞれただ一つのテストパタンのみで検出可能だった場合，テストセット最小化問題はグラフ彩色問題となる．実際にはそのどちらかになることはまれで，互いにマージ可能なテストパタンは存在するし，多くの故障が複数のテストパタンによって検出可能となっていることが多い．すると，ここで考えているテストセット最小化問題は最小被覆問題やグラフ彩色問題で表すことはできず，別の新しい定式化が必要ということになる．そこで，この 2 つの問題を組み合わせて新しい最適化問題—両立集合被覆問題と名付ける— を定義する．

両立集合被覆問題とは集合 $\mathcal{P}$ および $\mathcal{P}$ の部分集合属 $\mathcal{P}_i \subseteq \mathcal{P}$，さらに $\mathcal{P}$ 上の両立関係 $\mathcal{R}$ が与えられた時に，$\forall \mathcal{P}_i, \exists \mathcal{Q}_j, \mathcal{P}_i \cap \mathcal{Q}_j \neq \emptyset$ であるような要素数最小の $\mathcal{P}$ の両立集合属 $\mathcal{Q}_j$ を求めるものである．ここで，両立集合 $\mathcal{Q} = \{p_1, p_2, \ldots\}$ とは，$\forall p_i, p_j \in \mathcal{Q}, p_i \mathcal{R} p_j$ を満たす $\mathcal{P}$ の部分集合である．

テストセット最小化問題をこの両立集合被覆問題に定式化するには，初期テストパタン集合を集合 $\mathcal{P}$ に対応させ，故障 f_i を検出するテストパタン集合を部分集合 $\mathcal{P}_i$ に対応させる．両立関係 $\mathcal{R}$ はテストパタンのマージ可能性に対応させればよい．結果として得られた両立集合属が結果のテストパタン集合となる．

このように書くと堅苦しいが，実際には最小被覆問題とグラフ彩色問題を同時に考慮しながら解く問題と考えればわかりやすい．最小被覆問題としてみると，故障集合を被覆しなければならないという被覆条件は同じであるが，結果として選ばれた部分集合の要素数を最小とすることが目的ではなく，その部分集合をさらに両立集合に分割した時の分割数を最小とすることが目的となる．グラフ彩色問題としてみると，全ての頂点を彩色する必要はなく，被覆問題として必要となる要素 (=頂点) のみを彩色するという条件のもとで彩色数を最小化する問題となる．

3.2 両立集合被覆問題の解法

さて，両立集合被覆問題に対して両立する要素がないと仮定すると通常の最小被覆問題となる．また，被覆される各部分集合がただ一つの要素からなる場合 (1 つの部分集合を被覆する要素がただ 1 つの場合)，すべての頂点を彩色する必要があるので，通常のグラフ彩色問題となる．このように，両立集合被覆問題の特殊な場合がそれぞれ最小被覆問題とグラフ彩色問題なので，両立集合被覆問題の計算複雑度は最小被覆問題やグラフ彩色問題と同等かそれ以上であることが容易にわかる．つまり，大規模な問題に対して現実的な時間で厳密解を求めることができるアルゴリズムが存在する見込みがほとんどないと考えられるので，効率が良く，かつ効果的なヒューリスティックを考える必要がある．

この両立集合被覆問題に対するヒューリスティックはいろいろなアプローチが考えられるが，その一つとして，元となっている最小被覆問題とグラフ彩色問題のヒューリスティックを参考にしたアルゴリズムを開発した．基本的な考え方は以下の通りである．

(1) 被覆条件を表す被覆行列を作る．

(2) 両立でない頂点間に枝を設けたグラフ (衝突グラフと

*2 もともとは検出不可能だった故障がマージしたテストパタンで検出可能になる場合はある．

呼ぶ) を作る．

(3) 衝突グラフ上の両立集合 (独立集合) を一つ選ぶ．

(4) 選ばれた両立集合の各要素を衝突グラフから削除する．

(5) 選ばれた両立集合の各要素によって被覆される行を被覆行列から削除する．

(6) 被覆されていない行が残っていれば (3) に戻る．

(7) すべての行が被覆されたら終わる．

このうち (3) 以外の処理は結果が一意に定まるので，このヒューリスティックの性能の良し悪しは (3) の両立集合の選びかたで決まることになる．大まかには結果としてより多くの行を被覆できるように要素を選ぶのがよいと思われるが，現在は単純に両立している頂点数が多い頂点を順に選んでいる．テストセット最小化問題の場合，故障数が数万〜数十万，テストパタン数も同程度のオーダーになるのであまり複雑なアルゴリズムを使用すると計算時間が膨大になってしまうためである．

3.3 被覆行列の縮約

両立集合選択が単純であるのでそれを補うために被覆行列の縮約アルゴリズムを検討した．これはもともと最小被覆問題の解法として考えられているものを両立集合被覆問題用に拡張したものである．縮約は変化がなくなるまで以下の処理を繰り返す．

(1) 行支配を用いた縮約

(2) 列支配を用いた縮約

(3) 必須列を用いた縮約

3.3.1 行支配を用いた縮約

２つの行 $\mathcal{P}_i, \mathcal{P}_j$ に対して，$\mathcal{P}_i \subseteq \mathcal{P}_j$ が成り立つ時，行 $\mathcal{P}_i$ は行 $\mathcal{P}_j$ を支配すると言う[*3]．これは，行 $\mathcal{P}_i$ が被覆されていたら行 $\mathcal{P}_j$ も必ず被覆されているはずなので，被覆条件として行 $\mathcal{P}_j$ を考慮する必要がないためである．このように支配されている行を見つけたら削除しても最小解は変わらない．

3.3.2 列支配を用いた縮約

２つの列 p_i, p_j に対して，列 p_i が被覆している行の集合を $C(p_i)$ と列 p_j が被覆している行の集合 $C(p_j)$ の間に $C(p_i) \supseteq C(p_j)$ の関係がある時，列 p_i は列 p_j を支配すると言う．これは，解に p_j が含まれている場合にそれを p_i に変えても被覆している行が減ることはないという性質に基づいている．最小被覆問題の場合は単純に支配されている列を見つけたら削除してもかまわないが，両立集合被覆問題の場合には削除の条件が複雑になる．これは解のコストが単純な要素数ではなく両立集合の要素数で計算されるためである．具体的には列 p_i と衝突する列の集合を $B(p_i)$，列 p_j と衝突する列の集合を $B(p_j)$ とした時に，列 p_i が列 p_j を支配しており，かつ $B(p_i) \subseteq B(p_j)$ の時に列 p_j を削除している．これは解に p_j が含まれていた場合にそれを p_i に変えても被覆条件は変わらない (支配の定義より) し，両立集合の変化がない ($B(p_i) \subseteq B(p_j)$ より) ので p_j を選択の候補から外しても最小解に変化がないためである．

3.3.3 必須列を用いた縮約

ある行を被覆する列が 1 つしか存在しない場合，その列は無条件で選択されなければならない．そこで，そのような列 (必須列と呼ぶ) を見つけたらその列に選択済みのマークを付けておく．同時に，その列によって被覆されている行をすべて削除する．両立集合被覆問題では選択済みとマークされた列がすべて両立とは限らないので，マークされている列のなかから両立している部分集合を選ぶ必要がある．

これらの縮約は相互に関係しており，他の縮約の結果，新たな縮約が生じることがあるので変化がなくなるまでこの３つのタイプの縮約を繰り返し行う．本来は，この被覆行列の縮約処理は上記の (3) の両立集合の選択処理の直前に毎回行うものであるが，今回は処理時間の関係で最初に一回だけ行っている．列支配に関する被覆条件の計算コストが大きいためである．

3.4 プログラム実装上の注意点

テスト生成問題の場合，被覆行列はスパースな場合が多いので上記の処理は比較的容易に実装することができる．問題は衝突グラフである．テストパタンに含まれる不定値 ('X') の数が多くない場合，衝突するテストパタンの対の数はほぼ $O(n^2)$ となる (n はテストパタンの数)．これはテストパタン数が数万〜数十万になると計算時間的にも使用メモリ量的にも問題となる．テスト生成に応用する場合，明示的に衝突グラフを作ることは効率的ではない．

4. 実験結果

テストセット最小化問題を両立集合被覆問題として定式化してそれをヒューリスティックで解く実験を行った．実験の概要を以下に示す．

- ISCAS89 のベンチマーク回路をフルスキャンを仮定した組み合わせ回路として扱う．
- 単一縮退回路を対象とする．
- 検出可能な故障のリストを作る．
- SAT ソルバを用いて厳密な故障の支配関係を調べ，支配故障のみを残す [7]
- 残った故障 1 つにつき k 個のテストパタンを作る．テスト生成は SAT ソルバを用いて行うが，各々のテスト

[*3] ここでは行は列の部分集合であることに注意.

パタンは生成後に各ビットに対して可能な限り不定値('X') を割り当てる．生成されたテストパタンの否定を表す CNF(Conjunctive Normal Form) 節を SAT ソルバに追加して再度 SAT 問題を解くことで，生成されたテストパタンを異なるテストパタンを求める．これを k 回繰り返す．場合によっては k 回以前に解なしとなる場合がある．

- 以下の 2 通りの手法でテストセット最小化問題を解く．
  提案手法　与えられたテストパタン集合に対して両立集合被覆問題を解く．
  最小被覆＋グラフ彩色　与えられたテストパタン集合に対して最小被覆問題を解き，結果のテストパタン集合に対してグラフ彩色問題を解く．
- 最終的なテストパタン数と計算時間を比較する．

なお，プログラムは C++ (clang++-6.0) および Python-3.6(Cython) で実装した．使用計算機は Intel Core i7-2600 (3.40GHz)(メモリ 16GB)，OS は FreeBSD 11.2-RELEASE である．プログラムはシングルスレッドであり，複数のコアは用いていない．結果を表 3 に示す．

各回路に対して最小のテストパタン数に下線を引いている．表より明らかなようにほとんどの回路に対して提案手法の $k = 10$ の場合が最良の結果となっている．特に回路規模が大きな例ほど初期パタン数を増やすと結果のパタン数がより削減される傾向が顕著である．提案手法の有効性が示されていると言える．一方，単純に最小被覆問題を解いた結果に対してグラフ彩色を行う手法ではあまりよい結果は得られなかった．特に初期パタン数が増加すると結果のパタン数がかえって増加している例もあり，あまり有効なヒューリスティックではないことがわかる．なお，今回の実験結果には載せていないが，最初にグラフ彩色を行った後に最小被覆問題を解く手法も可能ではある．しかし，初期パタン数が多い時に膨大な計算時間を要する問題があり，また，結果も良くないことが多い．

計算時間に関しては概ね 1 分程度に収まっている．ただし，単純に初期パタン数や回路規模に従って計算時間が増えているわけではない点に注意が必要である．いくつかの例で $k = 1$ の場合の提案手法の計算時間が他の場合に比べて非常に大きい (s38417, s38594)．これは被覆行列の縮約に関する計算時間ではないかと思われる．通常の最小被覆問題と異なり列支配の条件が複雑なことに起因すると考えられる．今後の検討課題である．

尚，これらの回路に対する従来知られている最小テストパタン数に比べると今回の値は最大で 2 倍程度多くなっている．原因が初期パタンの質にあるのか，両立集合被覆問題のヒューリスティックにあるのかの解析も行う必要があると思われる．ただし，提案手法では初期パタン数を増やすと解が改善されているので，初期パタンの質の可能性が高い．今回は単純に SAT ベースの ATPG で生成したパタンを否定した CNF 節を追加して再度 SAT 問題を解いているだけなのでより一様なサンプリングを行える手法を検討する必要がある．

5. おわりに

本稿では与えられたテストパタン集合から要素数の少ないテストパタン集合を作り出す問題を両立集合被覆問題と名付けた新しい組み合わせ最適化問題に定式化し，その問題に対するヒューリスティックアルゴリズムを提案した．実験結果により初期テストパタン集合の要素数を増やすとよりよい解が得られることが確認されている．これは提案手法の有効性を示していると言える．ただし，ヒューリスティックには改良が必要と思われる点がいくつかあり今後の課題となっている．また，初期テストパタン集合が最終的な解に与える影響が大きいと思われるのでよりよい初期テストパタン集合の生成も検討課題である．

謝辞

本研究の一部は科学研究費助成事業 (18K11219) による．

参考文献

[1] Brélaz, D.: New Methods to Color the Vertices of a Graph, *Commun. ACM*, Vol. 22, No. 4, pp. 251–256 (online), DOI: 10.1145/359094.359101 (1979).

[2] Czutro, A., Polian, I., Engelke, P., Reddy, S. and Becker, B.: Dynamic Compaction in SAT-Based ATPG, *Asian Test Symposium, 2009. ATS '09.*, pp. 187–190 (online), DOI: 10.1109/ATS.2009.31 (2009).

[3] Eggersgluss, S., Krenz-Baath, R., Glowatz, A., Hapke, F. and Drechsler, R.: A new SAT-based ATPG for generating highly compacted test sets, *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2012 IEEE 15th International Symposium on*, pp. 230–235 (online), DOI: 10.1109/DDECS.2012.6219063 (2012).

[4] Eggersgluss, S., Schmitz, K., Krenz-Baath, R. and Drechsler, R.: Optimization-based multiple target test generation for highly compacted test sets, *2014 19th IEEE European Test Symposium (ETS)*, pp. 1–6 (online), DOI: 10.1109/ETS.2014.6847807 (2014).

[5] Eggersgluss, S., Wille, R. and Drechsler, R.: Improved SAT-based ATPG: More constraints, better compaction, *Computer-Aided Design (ICCAD), 2013 IEEE/ACM International Conference on*, pp. 85–90 (online), DOI: 10.1109/ICCAD.2013.6691102 (2013).

[6] Remersaro, S., Rajski, J., Reddy, S. and Pomeranz, I.: A scalable method for the generation of small test sets, *Design, Automation Test in Europe Conference Exhibition, 2009. DATE '09.*, pp. 1136–1141 (online), DOI: 10.1109/DATE.2009.5090834 (2009).

[7] 松永裕介：大規模回路向けテストパタン集合最小化手法の高速化について，信学技法　IEICE-VLD2015-2，pp. 25–30 (2015).

[8] 松永裕介：大規模回路向け最小テストパタン生成手法について，信学技法　IEICE-VLD2015-1，pp. 1–6 (2015).

表 **3**　実験結果

回路名	故障数	支配故障数	k	初期テストパタン数	提案手法		最小被覆＋グラフ彩色	
					テストパタン数	CPU time(s)	テストパタン数	CPU time(s)
s1196	1242	306	1	306	163	0.02	161	0.01
			2	572	156	0.01	155	0.01
			5	1235	137	0.02	153	0.01
			10	2022	133	0.07	152	0.02
s1238	1286	312	1	312	175	0.02	167	0.01
			2	581	158	0.01	160	0.01
			5	1249	144	0.02	161	0.01
			10	2029	140	0.06	157	0.02
s1423	1501	495	1	495	55	0.04	51	0.02
			2	955	63	0.01	64	0.02
			5	2307	56	0.15	85	0.03
			10	4482	53	1.70	92	0.05
s1488	1486	249	1	249	116	0.01	112	0.01
			2	368	108	0.01	112	0.01
			5	492	102	0.01	113	0.01
			10	556	101	0.01	112	0.01
s1494	1494	247	1	247	116	0.01	110	0.01
			2	364	105	0.01	112	0.01
			5	480	102	0.01	113	0.01
			10	545	102	0.01	113	0.01
s5378	4563	1488	1	1488	142	0.84	140	0.13
			2	2876	145	0.06	143	0.13
			5	6696	141	0.26	146	0.18
			10	12485	135	0.77	145	0.32
s9234	6475	1898	1	1898	247	2.15	203	0.21
			2	3592	221	0.12	216	0.63
			5	8068	201	0.63	217	0.28
			10	14723	193	4.82	208	0.45
s13207	9664	2792	1	2792	337	2.83	338	0.71
			2	4802	301	0.35	318	0.66
			5	8770	274	0.75	311	0.73
			10	14456	260	5.59	302	0.96
s15850	11336	3230	1	3230	277	3.83	254	0.74
			2	5854	246	0.38	278	0.73
			5	12123	230	3.79	302	0.86
			10	20859	204	62.93	302	1.17
s35932	35110	10252	1	10252	18	3.89	17	6.64
			2	17444	17	1.78	16	5.55
			5	37562	16	5.84	13	6.40
			10	60858	13	7.95	13	9.05
s38417	31015	10813	1	10813	221	36.60	214	4.71
			2	19770	214	2.51	228	4.89
			5	44029	211	13.94	230	6.44
			10	79716	200	87.56	224	10.74
s38594	34797	11831	1	11831	206	80.02	189	8.02
			2	21239	183	3.72	187	8.44
			5	45724	163	9.89	193	9.64
			10	75926	146	24.92	194	13.05