Vol.2018-ARC-231 No.9
2018/6/14

デバイス／回路／アーキテクチャの協創による超伝導超高速マイクロプロセッサ

田中 雅光[1,a)]

概要：超伝導エレクトロニクスは，ジョセフソンデバイスを用いた，半導体とは異なる原理に基づく超高速論理回路のほか，超伝導量子ビットを用いた量子アニーリングマシンが実用化されるなど，現在活発に研究が行われている．本稿では，ポストムーア時代の集積回路技術として期待される，単一磁束量子回路を用いたコンピューティングの実現に向け，デバイス／回路／アーキテクチャの協創による，高性能マイクロプロセッサの研究状況を中心に，最近の研究開発動向を紹介する．

1. はじめに

これまで，大規模集積回路（LSI）技術の進展は，18 から 24 ヶ月ごとにチップに集積できるトランジスタは倍増する，といった表現で広く知られるムーアの法則に従い，文字通り指数関数的な性能向上を遂げてきたが，大きな転換期を迎えようとしている．従来，MOS トランジスタは微細化をすることにより，チップ上のトランジスタ単価を下げながら，縮小率に逆比例して性能を高めることができた．例えば，単純なスケーリング則 [1] に従えば，トランジスタのサイズを半分にし，電源電圧もサイズに比例して半分に下げることによって，2 倍の速度で動作するトランジスタを 4 倍集積でき，消費電力は増えない，という良いこと尽くめの状況が得られていた．これが，長らくの間，微細化が半導体 LSI の進むべき方向の指標となり続けた所以である．しかし，微細化が進むにつれ，チップの消費電力の増大の問題が顕在化し，主に電力制約により CMOS マイクロプロセッサの動作速度は数 GHz で頭打ちとなって久しい．さらに，デバイスの加工寸法は既にナノメートルに迫っており，2025 年から 2030 年には技術的，あるいは経済的な理由により，ムーアの法則が終焉を迎えるという予測がなされている．ムーアの法則が適用できなくなった後の時代，即ち，ポストムーア時代の情報化社会の持続的な発達を見据え，活発な議論がなされるようになってきた．

1 名古屋大学
Nagoya University, Nagoya 4648603, Japan
a) masami_t@ieee.org

ジョセフソン接合を用いた超伝導回路は，ジョセフソン接合が高速に動作するポテンシャルを持つことが早くから示され，長年研究が行われてきた．ジョセフソン接合の零電圧状態と有限電圧状態をバイナリ信号に対応付ける，ラッチング論理回路を第 1 世代とすると，超伝導リング内の磁束量子の有無を利用した，単一磁束量子（SFQ）回路が第 2 世代となり，東北大学の中島らの提案 [2] の後，1990 年代に体系化 [3] された．現在，超伝導回路は第 3 世代と呼べる新しい世代に移っており，従来の SFQ 回路を発展させた，よりエネルギー効率の高い回路方式が次々と提案，実証されている [4], [5], [6], [7], [8], [9], [10]．この結果，冷却のハンディキャップを加味しても，CMOS 集積回路に対して優位性を保つことができる水準に達している．加えて，磁性体材料との融合により，従来の課題であったメモリなどで新たな進展や機能付加が可能になったことから，米国では大型国家プロジェクト [11] が進められているなど，再び活発な研究が進められている．

この後述べるように，SFQ 回路による簡単なマイクロプロセッサなどの動作実証が進んでおり，半導体以外では初となるプログラム内蔵型コンピューティングのプロトタイプチップを 50 GHz のクロック信号で動作させることにも成功する [12] など，次世代のデジタル LSI 技術として SFQ 回路は成熟してきている．さらに，現在，超伝導量子ビットの集積化に向けた研究が活発に進められている．量子ゲート計算や量子アニーリングが得意とする組み合わせ問題や最適化計算は，従来の（古典）計算とは大きな乖離があること，また，量子ゲートの操作や事前計算に高速

な古典計算が依然として要求されることから，高速で低消費電力なデジタル回路の必要性はむしろ高まると考えられる．同じ極低温環境を利用するという観点からも，SFQ 回路は親和性が高く，ポストムーア時代の次世代 LSI 技術の有力な候補と考えられる．

SFQ 回路によるマイクロプロセッサの研究は，米国の設計と試作 [13] に端を発するが，設計・実証技術が未熟であったため，動作には至らなかった．その後，日本の研究グループがプロトタイプを含む幾つかの SFQ マイクロプロセッサの動作実証に成功し [12], [14], [15], [16], [17], [18], [19]，現在に至る．ただし，これらのマイクロプロセッサにおいては，集積度の制約と，タイミング設計の難しさから，ビットシリアル処理による簡単なアーキテクチャが採用されていたため，回路の駆動に用いたクロック信号の周波数は 15〜100 GHz を達成したものの，マイクロプロセッサとしての実効的な性能，即ちプログラム実行時間では，CMOS マイクロプロセッサと同程度のポテンシャルを示すに留まっていた．

近年，高度な多層構造デバイス作製プロセスが成熟し [20], [21]，また同時に，集積回路設計技術が発達したことにより，ビットパラレル処理のような，より大規模で複雑な回路が実現可能となった．これを受け，SFQ 回路に適したアーキテクチャの探索を目的とした研究が開始されている．複雑な計算機システムにおいて，SFQ 回路のような新奇技術の特徴を最大限に引き出すには，デバイスや回路の技術レイヤーだけにとどまらず，アーキテクチャまでを含めた共創が鍵となる．これまでに，マイクロプロセッサ，キャッシュメモリのアーキテクチャに関する検討 [22], [23] が進んでいる．

本稿では，名古屋大学と九州大学が協力して進めている SFQ マイクロプロセッサの研究状況を中心に，最近の SFQ LSI の研究開発動向を紹介する．このマイクロプロセッサは，デバイス／回路／アーキテクチャの階層横断型アプローチにより，SFQ 回路の数十ギガヘルツに及ぶ高周波動作特性をビットパラレル演算において引き出すため，ゲートレベルパイプライン，細粒度マルチスレッディングといった手法を導入しており，CMOS マイクロプロセッサを凌駕する性能が期待される．まず，SFQ 回路の原理や特徴について簡単に解説した後，マイクロプロセッサの設計，コンセプトの実証のために試作したデータパスのテスト回路の評価結果について述べる．

2. 単一磁束量子回路

超伝導体でできたリングに入る磁束は量子化され，磁束量子 $\Phi_0 = h/2e \approx 2.07 \times 10^{-15}$ Wb（h はプランク定数，e は素電荷）の整数倍となる．この磁束量子の有無をバイナリ信号に対応させて演算を行う論理回路が SFQ 回路である．リング内の磁束量子を操作するために，トランジスタに対応する能動素子として，ジョセフソン接合が用いられる．これは超伝導体の間に数ナノメートルのトンネル障壁層を挟んだデバイスで，現在の集積回路の主流はニオブとアルミ酸化膜を用いた，Nb/AlO$_x$/Nb 接合である．ジョセフソン接合に一定の電流値（臨界電流値と呼ぶ）以上の電流を流すと，磁束量子がジョセフソン接合を横切ることができ，このときのみ，ジョセフソン接合の両端には磁束の時間変化に対応したインパルス状の電圧パルスが発生する．臨界電流密度 10 kA/cm^2，ジョセフソン接合の最小寸法 1.0 µm 四方の作製プロセスでは，パルス幅（ジョセフソン接合のスイッチ時間に対応）は約 2 ps となる．この値は接合寸法によりスケーリングする．SFQ 回路の特徴である，高速動作性や低消費電力性は，この電圧パルス信号を用いることの帰結である．

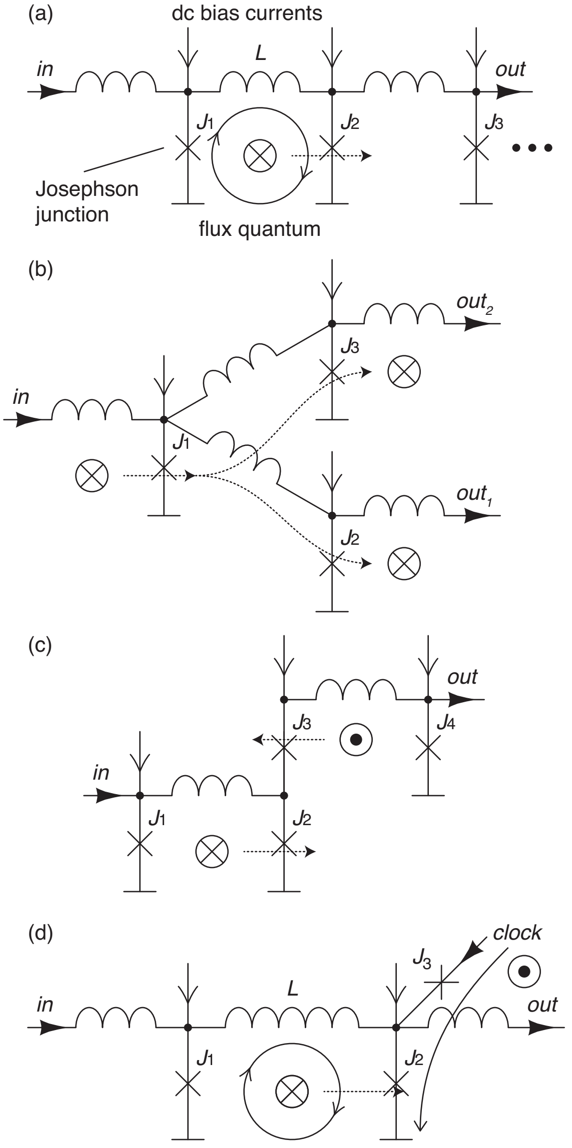

図 1　代表的な SFQ 回路の例: (a) ジョセフソン伝送路，(b) 分岐，(c) 方向性線路，(d) D フリップフロップ．

図 1 に代表的な SFQ 回路を示す．×印がジョセフソン接合で，超伝導体の部分はインダクタで表される．

(a) は超伝導リングを数珠つなぎにしたもので，ジョセフソン伝送路路（JTL）と呼ばれ，磁束量子を伝搬させることができる．JTL の左端から超伝導リングに SFQ が入ると，あらかじめ印加しておいた直流のバイアス電流に，磁束量子の作る周回電流が加わることで臨界電流値を上回り，磁束量子はジョセフソン接合を横切って右隣のリングに移る．これを繰り返すことで，順次 SFQ が伝搬される．

(b) は分岐回路である．リングに入った磁束が，J_2，J_3 の両方のジョセフソン接合を横切って伝搬することにより，信号を二手に分けることができる．

(c) は方向性線路と呼ばれ，左から磁束量子が入った場合は，J_2 を横切ることで右側のリングに信号が伝わるが，右側から磁束量子が入った場合は J_3 から磁束量子が逃げていくため，左側のリングには伝搬しない，といった動作をさせることができる（このためには，J_2 よりも J_3 の臨界電流値は小さく設定しておく必要がある）．

(b) は SFQ 回路での論理回路の例である．磁束量子が J_1–L–$J2$ で構成されるリングに入力された場合，J_2 には直流バイアス電流と磁束量子に伴う周回電流が流れるが，L や J_2 の臨界電流値を大きめに設定しておくと，磁束量子をリング内に留まらせることができる．この状態で，*clock* 端子から別の磁束量子が到着すると，その周回電流がさらに加算され，J_2 の臨界電流値を超えて磁束量子が出力される．ここでも，J_2 よりも J_3 の臨界電流値を小さく設定しておくと，リング内に磁束がない状態で *clock* 端子から磁束量子が到着した場合は，J_3 から磁束量子が逃げていくことで，出力は現れないような動作をさせることができる．従って，リング内に磁束量子が保持されている状態を論理値の 1 と定義すると，この回路はデータを一時的に蓄え，クロック信号の入力でデータを出力する D フリップ・フロップとして動作する．

このように，リングのトポロジーや回路パラメータを変えることで，磁束量子の分岐，合流，伝搬，保持などが行え，磁束量子ひとつひとつを操作することで種々の論理演算が実現できる．ただし，信号の 0 が来たのか，信号がまだ到着していない状態なのかの区別するため，論理値の 0 の扱いは工夫が必要となる．SFQ 回路では，基準とする信号 *clock* を論理ゲートごとに用意し，次の *clock* 入力までにデータ信号の磁束量子が到着すれば 1，到着しなければ 0 と定義して演算を行っている．これは換言すれば，SFQ 回路ではすべての論理ゲートが原則としてラッチ機能を持つという特徴となる．*clock* 信号の周期は電圧パルス幅の 5〜10 倍あればよく，現在の作製プロセスでは，単純なシフトレジスタで 120 GHz 動作 [24]，複雑な演算器などでは 50 GHz 程度の動作が実証されている．

LSI においては，配線も重要な技術要素である．SFQ 回路では，マイクロストリップやストリップ構造の導波路を集積回路内に形成し，信号伝送に用いる受動線路（PTL）技術が確立している [25], [26]．超低損失で分散の小さい超伝導送線路を配線として利用することで，配線容量の充放電過程なしに，パルス状の電圧を電磁波として伝搬させることができる．1 cm 程度の長距離配線においても 80 Gbps に及ぶ高スループット信号伝送が実証されている [27]．

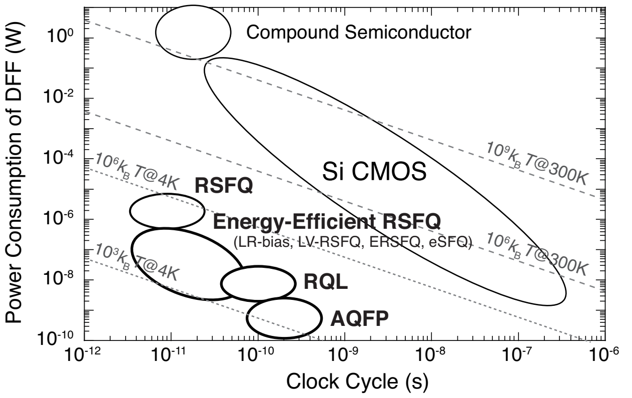

図 2　種々の SFQ 回路の電力遅延積の比較．

SFQ 回路のゲートあたりの電力遅延積を図 2 に示す．図中の RSFQ [3] が第 2 世代，Energy-Efficient RSFQ [4], [5], [6], [7], [8]，RQL [9]，AQFP [10] が第 3 世代の SFQ 回路を表す．SFQ 回路を動作させる極低温温度（4 K）に冷却するには，チップの消費する電力のおよそ 1000 倍の電力が必要となる．従って，冷却も含めたシステム全体で比較するには，消費電力で 3 桁以上の優位性が求められる．図に示すように，第 3 世代の SFQ 回路は，冷却のハンディキャップを加味しても，CMOS 集積回路に対して優位性を保つことができる水準に達している．

3.　単一磁束量子マイクロプロセッサの設計

3.1　プロセッサ・アーキテクチャ

これまでに実証されてきた SFQ マイクロプロセッサは，SFQ 回路の高速性をハードウェアの複雑さの低減に利用するという思想 [28] の下で，ビットシリアル処理が導入されていた．ビットシリアル処理では，論理ゲートを高速に駆動するためのタイミング調整が比較的簡単にでき，要素回路の回路規模も小さくできることから電力効率も高い．

一方，ビットシリアル処理では，マイクロプロセッサの性能が大幅に限定される問題があった．これは，論理ゲートを駆動するために用いる基準信号としての「クロック」が，マイクロプロセッサの命令実行を進めるための「クロック」と一致しないことに要因がある．本稿では，以後，論理ゲートを駆動するために用いる基準信号を，「駆動パルス信号」と呼び，マイクロプロセッサの命令実行クロックと区別して扱う．ビットシリアル処理では，駆動パルスの周波数が高くても，命令実行パイプラインを完了するには複数の駆動パルスが必要となり，命令実行クロックは数ギガヘルツに留まっていた．

加えて，これまでのSFQマイクロプロセッサのアーキテクチャは半導体マイクロプロセッサに倣った，浅いパイプラインとなっていた．近年の半導体マイクロプロセッサの設計では，電力制約から過度に深いパイプライン処理による高周波動作化は避ける傾向にあり，豊富なトランジスタ資源を利用したアウトオブオーダ実行（OoO）などによる高度なパイプラインハザードの回避策が採用されている．

SFQ回路のような，新奇なデバイスや回路では，設計の前提や制約がCMOS回路とは大きく異なる．SFQマイクロプロセッサの性能評価のためには，新たなモデルを作成してデバイス／回路／アーキテクチャの協力が不可欠である．これまでの検討の結果，上記の問題を解決し，SFQ回路の特長を引き出すためには，a) ビットパラレル演算，b) ゲートレベルパイプライン，c) 細粒度マルチスレッディングの3点によるアプローチが提案されている [22]．以下に要点を引用する：

ビットパラレル演算　ワード長に比例して演算時間が増大するビットシリアル処理では，たとえ100 GHzでの駆動パルスで動作させても，32 bitや64 bitのワード長を想定すると，命令実行サイクルは数ギガヘルツに落ちてしまう．この問題の解決には，ビットレベルでの並列性の利用が必要不可欠である．ビットパラレル演算の導入により，ハードウェア量は増大するが，ビットレベルの並列性を利用して演算のレイテンシを低減化することが可能なこと，シリアル処理を進めるための反復計算が不要になることにより，演算時にワード内でのフィードバックループが生じたり，命令実行のほかに必要な制御が生じたりしないこと，が利点として挙げられる．

ゲートレベルパイプライン　ゲートレベルパイプラインとは，1つのパイプラインステージに論理ゲートが1つだけしか含まれない，最も粒度の小さなパイプライン処理である．SFQ回路では，各論理ゲートがラッチ機能を有することから，パイプライン処理のためのレジスタの追加のコストはない．また，SFQ回路の論理ゲートが動的に消費する電力は，100 GHzで動作させたとしても0.01 µW程度であり，徹底的に高周波動作を追求できる．論理ゲートの駆動パルス信号が，そのまま命令実行サイクルを進めるクロックとなることから，マイクロプロセッサの設計は簡素化できる．

細粒度マルチスレッディング　一般に，深いパイプライン構造を持つマイクロプロセッサでは，データの依存関係や分岐命令，キャッシュミスなどでパイプラインストールが生じると著しく性能が悪化する．高いスループット性能を維持するには，これらをできるだけ隠蔽する必要があるが，複雑なハザード回避機構は100 GHz級の高周波動作を狙うSFQマイクロプロセッサには向かない（光速での信号伝搬ができるとはいえ，チップ上で10 psの間に信号が到達可能な距離は1 mm程度である）．そこで，パイプラインステージ数と同数の，多数のスレッドを切り替えて実行する，細粒度のマルチスレッディングを導入する．各スレッドは独立しているため，データ依存や制御依存によるストールの発生を抑止できる．レジスタファイルと各スレッドに関するステータスレジスタは，スレッドの数だけ用意する必要がある．

3.2 データパス要素回路の実証

現在，3.1で述べた手法を導入した，SFQマイクロプロセッサのコンセプトの実証を目指し，現在の作製プロセス技術を用いて実現可能な回路規模での要素回路及びマイクロプロセッサプロトタイプの設計と試作，評価を，名古屋大学と九州大学が協力して進めている [29]．ここでは，マイクロプロセッサの主要な要素回路として，レジスタファイル，算術論理演算回路（ALU），及びそれらから構成されるデータパス [30] について進捗を紹介する．特に，レジスタファイルは細粒度マルチスレッディングを実現するために大容量となり，マイクロプロセッサの中では最も大規模な要素回路である．

本設計はコンセプトの実証を目的とするため，ワード長は4 bitとし，レジスタ数は4としている．スレッド数は12で，マイクロプロセッサ全体のパイプラインステージ数24に対して半分に設定している（この場合，連続する2命令間で依存関係がないよう，命令実行をスケジューリングをする必要がある）．最終的に，駆動パルス及び命令実行のクロック目標動作周波数は50 GHzとしている．

図3に各要素回路のテストするために試作したチップの顕微鏡写真を幾つか示す．いずれも，産業技術総合研究所が提供するニオブ9層構造プロセス（アドバンストプセス）[20] で試作されている．設計は，このプロセス用に開発したセルライブラリ [31], [32] を用い，Cadence社のVirtuoso上でSFQ回路を設計するために構築した設計環境で行われている．この開発は，名古屋大学，横浜国立大学，京都大学が中心になって行ったものである．

図3(a)と(b)は，ぞれぞれデータパスを構成するレジスタファイルとALUの高速動作をテストするために試作した回路である．ただし，(a)の回路は，4つのレジスタの最下位ビットのみを実装している．それぞれ，約2000個のジョセフソン接合から構成されているが，オンチップで高周波試験を行うことができるよう，クロック発生器なども搭載している．いずれの回路も，最高で40 GHz程度の高周波動作が確認されている [30]．

データパスの設計では，ALUとレジスタファイルの間でデータが往復するため，長距離配線を避けた，より注意深いフロアプラン作成が必要である．目標とする動作周波数が極めて高く，配線での遅延時間が無視できないことに加

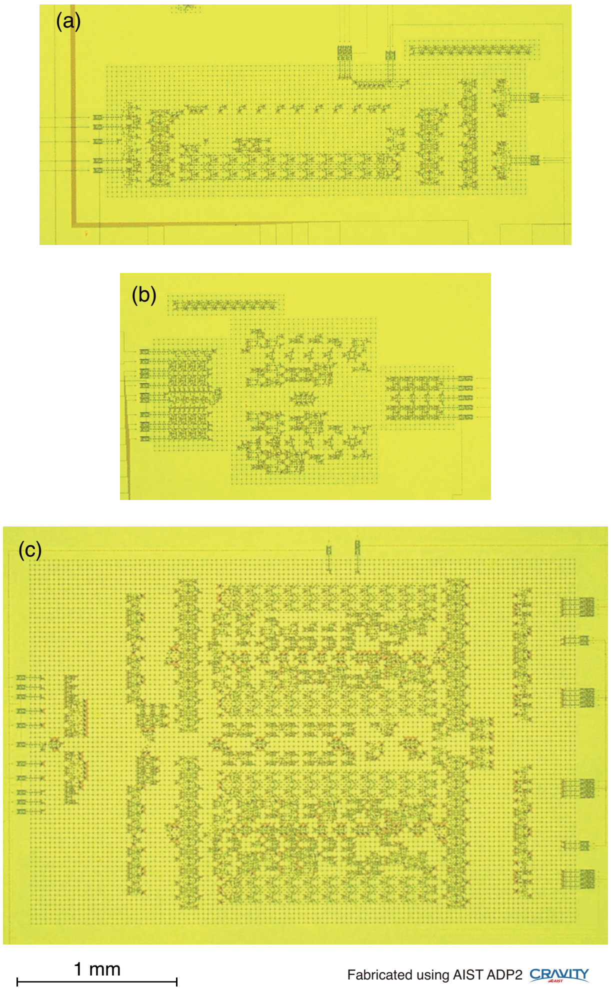

図 3 産業技術総合研究所のアドバンストプロセスで試作したゲートレベルパイプラインマイクロプロセッサのデータパス構成要素テスト回路: (a) レジスタファイル，(b) 算術論理演算器（ALU），(c) ALU とレジスタファイルを統合したデータパス．

え，SFQ 回路のタイミングは，電源となるバイアス電流量や超伝導リング間の量子干渉などの影響を受けやすく，タイミングは格段に難しい．バイアス電流量に依存する遅延時間やセットアップ／ホールド時間などのタイミングパラメータを，アナログ回路シミュレータで抽出して 2 次元のテーブルとし，配線遅延を加味して，静的タイミング解析（STA）または論理シミュレーションが可能になっている．

本設計では，要素回路間の配線をできるだけ短くするため，図 3(c) の回路においては，ALU とレジスタファイルは独立した回路要素ではなく，融合したレイアウト設計を行う方針がとられている．回路全体のジョセフソン接合数は 9688，占有面積は 2.85×1.98 mm^2，設計バイアス電流での消費電力は 2.5 mW である．

現在，試作したチップの評価を進めており，高周波での動作をほぼ確認している．論理シミュレーションを用いた解析では，設計バイアス電流値で 35 GHz までの動作を見込んでいる．これまでに 2 回の設計と試作，評価を行っているが，目標とする 50 GHz での動作のため，タイミング設計の最適化を継続しており，データパスの高周波動作実証を目指して再試作と評価を進めている．

4. おわりに

ポストムーア時代の超高速マイクロプロセッサの実現に向け，現在名古屋大学と九州大学が協力して進めている研究を中心に，最近の SFQ 回路の研究開発動向を紹介した．SFQ 回路は，超高速動作と低消費電力性，優れた長距離配線技術，高集積性を特徴としており，LSI の設計・試作技術も成熟してきている．SFQ 回路に適したアーキテクチャ探索の結果導かれた，ゲートレベルパイプライン処理によるビットパラレル演算マイクロプロセッサは，実設計に基づいて 64 ビットプロセッサの性能や消費電力などの評価が進められており，半導体マイクロプロセッサを凌駕する性能が得られることが期待される結果が得られている [29].

CMOS 回路は，その物理的限界に近づいているとはいえ，シリコンの優れた物性とこれまでの莫大な研究開発の結果として，極めて高度な LSI 技術としての地位を確立している．ポストムーアの時代を迎えるに当たり，半導体 LSI は引き続き重要な役割を担うであろうが，SFQ 回路のような「尖った」技術を巧みに取り入れ，活用することが，ポストムーア時代における計算機の持続的発展の鍵となると思われる．そのためには，デバイス／回路／アーキテクチャなどの技術レイヤーを横断した協創による研究アプローチが欠かせない．本稿で紹介した研究が，極低温コンピューティングに向けた研究の端緒となること信じる．

謝辞 本研究を進めるにあたり，名古屋大学大学院工学研究科藤巻研究室と九州大学大学院システム情報学研究院井上研究室の皆さまに協力を頂いていることに深謝する．

本研究は JSPS 科研費 JP16H02796 の支援を受け実施したものである．回路は産業技術総合研究所のクリーンルーム CRAVITY において作製された．研究の一部は，東京大学大規模集積システム設計教育研究センター（VDEC）を通し，ケイデンス株式会社の協力で行われたものである．

参考文献

[1] Dennard, R. H., Gaensslen, F. H., Yu, H.-N., Leo Rideovt, V., Bassous, E. and Leblanc, A. R.: Design of ion-implanted MOSFET's with very small physical dimensions, *IEEE J. Solid-State Circuits*, Vol. 9, pp. 256–268 (1974).

[2] Nakajima, K., Onodera, Y. and Ogawa, Y.: Logic design of Josephson network, *J. Appl. Phys.*, Vol. 47, No. 4, pp. 1620–1627 (1976).

[3] Likharev, K. K. and Semenov, V. K.: RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems, *IEEE Trans. Appl. Supercond.*, Vol. 1, No. 1, pp. 3–28 (1991).

[4] Rylyakov, A.: New design of single-bit all-digital RSFQ autocorrelator, *IEEE Trans. Appl. Supercond.*, Vol. 7, No. 2, pp. 2709–2712 (1997).

ⓒ 2018 Information Processing Society of Japan

[5] Yoshikawa, N. and Kato, Y.: Reduction of power consumption of RSFQ circuits by inductance-load biasing, *Supercond. Sci. Technol.*, Vol. 12, No. 11, pp. 918–920 (1999).

[6] Kirichenko, D. E., Sarwana, S. and Kirichenko, A. F.: Zero static power dissipation biasing of RSFQ circuits, *IEEE Trans. Appl. Supercond.*, Vol. 21, No. 3, pp. 776–779 (2011).

[7] Volkmann, M. H., Sahu, A., Fourie, C. J. and Mukhanov, O. A.: Implementation of energy efficient single flux quantum digital circuits with sub-aJ/bit operation, *Supercond. Sci. Technol.*, Vol. 26, No. 1, p. 015002 (2013).

[8] Tanaka, M., Ito, M., Kitayama, A., Kouketsu, T. and Fujimaki, A.: 18-GHz, 4.0-aJ/bit operation of ultra-low-energy rapid single-flux-quantum shift registers, *Jpn. J. Appl. Phys.*, Vol. 51, p. 053102 (2012).

[9] Herr, Q. P., Herr, A. Y., Oberg, O. T. and Ioannidis, A. G.: Ultra-low-power superconductor logic, *J. Appl. Phys.*, Vol. 109, No. 10, p. 103903 (2011).

[10] Takeuchi, N., Ozawa, D., Yamanashi, Y. and Yoshikawa, N.: An adiabatic quantum flux parametron as an ultra-low-power logic device, *Supercond. Sci. Technol.*, Vol. 26, No. 3, p. 035010 (2013).

[11] Intelligence Advanced Research Projects Activity: Cryogenic Computing Complexity (C3), Office of the Director of National Intelligence, USA (online), available from ⟨https://www.iarpa.gov/index.php/research-programs/c3/⟩ (accessed 2018-05-15).

[12] Sato, R., Hatanaka, Y., Ando, Y., Tanaka, M., Fujimaki, A., Takagi, K. and Takagi, N.: High-speed operation of random-access-memory-embedded microprocessor with minimal instruction set architecture based on rapid single-flux-quantum logic, *IEEE Trans. Appl. Supercond.*, Vol. 27, No. 4, p. 1300505 (2017).

[13] Dorojevets, M., Bunyk, P. and Zinoviev, D.: FLUX chip: design of a 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on 1.75-µm LTS technology, *IEEE Trans. Appl. Supercond.*, Vol. 11, No. 1, pp. 326–332 (2001).

[14] Tanaka, M., Matsuzaki, F., Kondo, T., Nakajima, N., Yamanashi, Y., Fujimaki, A., Hayakawa, H., Yoshikawa, N., Terai, H. and Yorozu, S.: A single-flux-quantum logic prototype microprocessor, *2004 IEEE International Solid-State Circuits Conf.*, pp. 298–529 (2004).

[15] Tanaka, M., Kondo, T., Nakajima, N., Kawamoto, T., Yamanashi, Y., Kamiya, Y., Akimoto, A., Fujimaki, A., Hayakawa, H., Yoshikawa, N., Terai, H., Hashimoto, Y. and Yorozu, S.: Demonstration of a single-flux-quantum microprocessor using passive transmission lines, *IEEE Trans. Appl. Supercond.*, Vol. 15, No. 2, pp. 400–404 (2005).

[16] Yamanashi, Y., Tanaka, M., Akimoto, A., Park, H., Kamiya, Y., Irie, N., Yoshikawa, N., Fujimaki, A., Terai, H. and Hashimoto, Y.: Design and implementation of a pipelined bit-serial SFQ microprocessor, CORE1β, *IEEE Trans. Appl. Supercond.*, Vol. 17, No. 2, pp. 474–477 (2007).

[17] Fujimaki, A., Tanaka, M., Yamada, T., Yamanashi, Y., Park, H. and Yoshikawa, N.: Bit-serial single flux quantum microprocessor CORE, *IEICE Trans. Electron.*, Vol. E91-C, No. 3, pp. 342–349 (2008).

[18] Tanaka, M., Hayakawa, Y., Takata, K. and Fujimaki, A.: 35-GHz demonstration of energy-efficient microprocessor based on low-voltage RSFQ circuit, *Applied Supercond. Conf.*, Charlotte, NC, USA (2014).

[19] Ando, Y., Sato, R., Tanaka, M., Takagi, K., Takagi, N. and Fujimaki, A.: Design and demonstration of an 8-bit bit-serial RSFQ microprocessor: CORE e4, *IEEE Trans. Appl. Supercond.*, Vol. 26, No. 5, p. 1301205 (2016).

[20] Nagasawa, S., Hinode, K., Satoh, T., Hidaka, M., Akaike, H., Fujimaki, A., Yoshikawa, N., Takagi, K. and Takagi, N.: Nb 9-layer fabrication process for superconducting large-scale SFQ circuits and its process evaluation, *IEICE Trans. Electron.*, Vol. E97.C, No. 3, pp. 132–140 (2014).

[21] Tolpygo, S., Bolkhovsky, V., Weir, T., Wynn, A., Oates, D., Johnson, L. and Gouker, M.: Advanced fabrication processes for superconducting very large scale integrated circuits, *IEEE Trans. Appl. Supercond.*, Vol. 26, p. 1100110 (2016).

[22] 石田浩貴，田中雅光，小野貴継，井上弘士：単一磁束量子回路向けマイクロプロセッサのアーキテクチャ探索，情報処理学会論文誌，Vol. 58, No. 3, pp. 629–643 (2017).

[23] Ishida, K., Tanaka, M., Ono, T. and Inoue, K.: Single-flux-quantum cache memory architecture, *13th International SoC Design Conference*, pp. 105–106 (2004).

[24] Akaike, H., Yamada, T., Fujimaki, A., Nagasawa, S., Hinode, K., Satoh, T., Kitagawa, Y. and Hidaka, M.: Demonstration of a 120 GHz single-flux-quantum shift register circuit based on a 10 kA cm^{-2} Nb process, *Supercond. Sci. Technol.*, Vol. 19, No. 5, pp. S320–S324 (2006).

[25] Polonsky, S., Semenov, V. and Schneider, D.: Transmission of single-flux-quantum pulses along superconducting microstrip lines, *IEEE Trans. Appl. Supercond.*, Vol. 3, No. 1, pp. 2598–2600 (1993).

[26] Hashimoto, Y., Yorozu, S., Kameda, Y. and Semenov, V.: A design approach to passive interconnects for single flux quantum logic circuits, *IEEE Trans. Appl. Supercond.*, Vol. 13, No. 2, pp. 535–538 (2003).

[27] Takagi, K., Tanaka, M., Iwasaki, S., Kasagi, R., Kataeva, I., Nagasawa, S., Satoh, T., Akaike, H. and Fujimaki, A.: SFQ Propagation Properties in Passive Transmission Lines Based on a 10-Nb-Layer Structure, *IEEE Trans. Appl. Supercond.*, Vol. 19, No. 3, pp. 617–620 (2009).

[28] Fujimaki, A., Takai, Y. and Yoshikawa, N.: High-end server based on complexity-reduced architecture for superconductor technology, *IEICE Trans. Electron.*, Vol. E85-C, No. 3, pp. 612–616 (2002).

[29] 石田浩貴，田中雅光，小野貴継，井上弘士：単一磁束量子回路を用いた 4 ビットゲートレベルパイプライン・プロセッサの設計と評価，情報処理学会研究報告 (2018).

[30] 畑中湧貴，松井裕一，田中雅光，佐野京佑，　藤巻朗，石田浩貴，小野貴継，井上弘士：単一磁束量子ゲートレベルパイプラインマイクロプロセッサに向けた要素回路設計，電子情報通信学会技術研究報告，SCE2017-17, Vol. 117, pp. 37–42 (2017).

[31] Akaike, H., Tanaka, M., Takagi, K., Kataeva, I., Kasagi, R., Fujimaki, A., Takagi, K., Igarashi, M., Park, H., Yamanashi, Y., Yoshikawa, N., Fujiwara, K., Nagasawa, S., Hidaka, M. and Takagi, N.: Design of single flux quantum cells for a 10-Nb-layer process, *Physica C*, Vol. 469, No. 15-20, pp. 1670–1673 (2009).

[32] Yamanashi, Y., Kainuma, T., Yoshikawa, N., Kataeva, I., Akaike, H., Fujimaki, A., Tanaka, M., Takagi, N., Nagasawa, S. and Hidaka, M.: 100 GHz demonstrations based on the single-flux-quantum cell library for the 10 kA/cm^2 Nb multi-layer process, *IEICE Trans. Electron.*, Vol. E93-C, No. 4, pp. 440–444 (2010).

ⓒ 2018 Information Processing Society of Japan