

ソフトウェアによる SOTB チップの動的ボディバイアス制御に向けた評価環境の構築

大城 研治^{1,a)} 小柴 篤史^{1,b)} 濱田 慎亮^{1,c)} 並木 美太郎^{1,d)}

概要 : SOTB 技術はボディバイアスを用いることで超低電力 LSI を実現することができる。ボディバイアス制御はリーク電流と動作速度のトレードオフを取ることができ、最適なボディバイアス電圧は実行中のアプリケーションの挙動に依存している。そのため、効率的なボディバイアス制御には OS を含む実行中のソフトウェアが動作する SOTB チップの電力特性を明らかにすることが重要となる。先行研究の多くはハードウェア特性のみの評価が多く、OS などのソフトウェアを含めた評価が少ないことが課題となっている。本研究では、ソフトウェアを含めた評価を可能するために、SOTB チップ上の OS やアプリケーションからのボディバイアス制御を可能とする評価環境の構築を行った。また、この評価環境を使用して SOTB を用いた CPU である GC-SOTB の基礎的な電力特性評価を行った。

キーワード : Silicon on Thin BOX (SOTB), ボディバイアス制御, Zynq SoC,

1. はじめに

近年、プロセッサの消費電力の削減は処理性能の向上と並んで最優先課題となっている。特に、Internet of Things (IoT) やセンサネットワークでは、省電力なプロセッサが必要不可欠である。LSI の消費電力のうちスイッチング電力は電源電圧の 2 乗に比例するため、電源電圧を低減することは効果的である [1]。一方で、電源電圧を下げるために、トランジスタの閾値電圧を下げるとドレイン・ソース間を流れるリーク電流が増加する問題がある。また、デバイス素子のばらつき増大による動作下限電圧の悪化により、動作電圧を下げられないため動作電力が増大することも問題視されている。これらの問題を回避する方法として、超低電圧デバイス研究組合 (LEAP) が開発した Silicon on Thin Buried Oxide (SOTB) 技術 [2] の使用が有効である。SOTB 技術はボディバイアスを用いることで超低電力 LSI を実現することができる。SOTB 技術はマイクロコントローラ、FPGA、アクセラレータなど様々なデバイスに適用され、その有効性が報告されている [3, 4, 5, 6, 7]。また、ボディバイアス制御を用いた省電力化戦略に関する研究も行われており、文献 [8] では最適な電源電圧とボディ

バイアスの求め方について述べられている。文献 [9] ではボディバイアスを用いることでリーク電力を 92%削減することを達成している。また、文献 [10] ではリアルタイムシステムにおける省電力なボディバイアス制御手法について述べられており、34%のエネルギー削減を達成している。

ボディバイアス制御はリーク電流と動作速度のトレードオフを取ることができ、最適なボディバイアス電圧、動作周波数は実行中のアプリケーションの挙動に依存している。ハードウェアからでは実行中のアプリケーションの挙動に合わせて効率的なボディバイアス制御を行うことは困難である。実行中のアプリケーションに合わせてボディバイアス制御を行うためには OS などのソフトウェアからのボディバイアス制御を行う必要がある。そのため、効率的なボディバイアス制御には OS を含む実行中のソフトウェアが動作する SOTB チップの電力特性を明らかにすることが重要となる。しかし、先行研究の多くはハードウェア特性のみの評価が多く、OS などのソフトウェアを含めた評価が少ないことが課題となっている。

本研究では、ソフトウェアを含めた評価を可能するために、SOTB チップ上の OS やアプリケーションからのボディバイアス制御を可能とする評価環境の構築を行った。この評価環境では汎用プロセッサとアクセラレータの異なる 2 種類のプロセッサに向けて、ボディバイアス制御に必要なボディバイアス電圧および動作周波数の制御を行うインタフェースをそれぞれに提供する。また、この評

¹ Tokyo University and Agriculture and Technology

a) oshiro@namikilab.tuat.ac.jp

b) koshiba@namikilab.tuat.ac.jp

c) Hamada@namikilab.tuat.ac.jp

d) namiki@cc.tuat.ac.jp

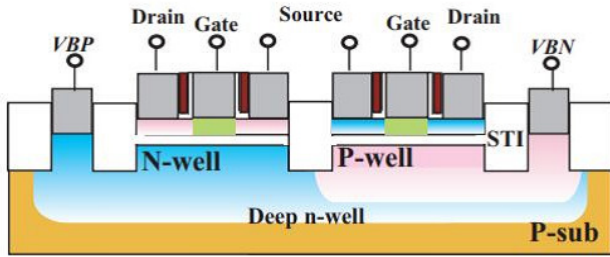


図 1: SOTB MOSFET 断面図, 図左: pMOSFET, 図右: nMOSFET [8]

評価環境を使用して SOTB を用いた CPU である GC-SOTB の DRAM へのアクセス性能評価および基礎的な電力特性評価を行った。結果、本評価環境において SOTB チップの評価を正しく行えることが確かめられた。

2. Silicon on Thin BOX (SOTB)

Silicon on thin box (SOTB) は、超低電圧デバイス技術研究組合 (LEAP) によって開発されたトランジスタプロセス技術である。SOTB は幅広いリバース方向へのボディバイアス制御が可能である。これは従来の完全空亡型 SOI (Fully depleted silicon on insulator) に比べて、埋め込み酸化膜層がとても薄いことによるものである。また、電源電圧を低電圧化させることができることも特徴の 1 つである。SOTB は従来の MOSFET と比較して、ボディバイアスによってリーク電流を効率的に削減することができる。

2.1 ボディバイアス制御

SOTB トランジスタの構造を図 1 に示す。ウェル部の電圧を変更することで閾値電圧 V_{th} を変更することができ、これをボディバイアス制御と呼ぶ。

nMOSFET のソース電圧を V_{sn} 、ボディ端子の電圧を VBN と表記し、同様に pMOSFET のソース電圧を V_{sp} 、ボディ端子の電圧を VBP と表記する。

$$V_{sn} > VBN, \quad (1)$$

$$V_{pn} < VBP, \quad (2)$$

が成立するとき、これをリバースバイアスと呼ぶ。リバースバイアス時には MOSFET の閾値電圧 V_{th} が上昇し、リーク電流が削減されるが、動作速度が低下する。

一方で、

$$V_{sn} < VBN, \quad (3)$$

$$V_{pn} > VBP, \quad (4)$$

が成立するとき、これをフォワードバイアスと呼ぶ。フォワードバイアス時は閾値電圧 V_{th} が減少し、動作速度が向上する代わりにリーク電流が増大する。ボディバイアスを適切に変更することで遅延時間とリーク電流の最適化を行

うことができ、高いエネルギー効率を実現することが可能となっている。

2.2 SOTB のボディバイアス制御における課題と目標

前述のように、最適なボディバイアスは SOTB チップ上で動作するアプリケーションの挙動に依存している。そのため、動的に最適なボディバイアス制御を実現するためには OS などのソフトウェアの挙動に応じて最適なバイアスを設定する必要がある。しかし、SOTB は比較的新しい技術であり既存研究の多くはボディバイアス制御時の電力特性などハードウェアレベルの評価および解析にとどまっておらず、OS やアプリケーションなどのソフトウェアを含めた研究はほとんど行われていない。そのため、OS/アプリケーション実行中の SOTB チップの電力特性の詳細な解析が可能な評価基盤が必要となる。

本研究では、ソフトウェアを含めた SOTB チップの評価を可能にする評価環境の構築を目標とする。本研究で提案する評価環境に求められる要件として、第一に、ソフトウェアによるボディバイアス制御機能が挙げられる。アプリケーションの挙動に応じたボディバイアス制御を実現するためには、SOTB チップ上で動作するソフトウェアから自身のチップの電圧や動作周波数を変更する機能が求められる。第二に、アプリケーション実行中の SOTB チップの性能解析機能が挙げられる。ソフトウェアからの最適なボディバイアス制御を実現するには、アプリケーションの挙動と実行中の消費電力を監視することが重要となる。第三に、種類の異なる SOTB チップへの適用が挙げられる。SOTB は CPU やアクセラレータなどの様々なデバイスに適用することができる。そのため、ある特定の種類のチップのみでなく、汎用的に SOTB を用いたチップを評価できる環境があれば、各チップ用の評価環境を用意する必要がなくなり、SOTB の研究における負担を減らすことができる。以上の要件を踏まえて、本研究ではソフトウェアから動的ボディバイアス制御を可能とする評価環境の構築および評価を行う。

3. 評価環境の概要

本研究において実装した評価環境は、SOTB チップのボディバイアス制御に必要なボディバイアス電圧、動作周波数をソフトウェアから制御することができる (図 2)。この評価環境では、ユーザが SOTB 上で動作するアプリケーションの挙動や消費電力を監視することができ、ソフトウェアからのボディバイアス制御の分析を行うことができる。また、異なる 2 種類の SOTB チップに対応している。

3.1 評価環境のハードウェア構成

評価環境は 1) SOTB チップ, 2) Zynq SoC, 3) 電源ボードの 3 つの要素から構成される (図 3, 4)。

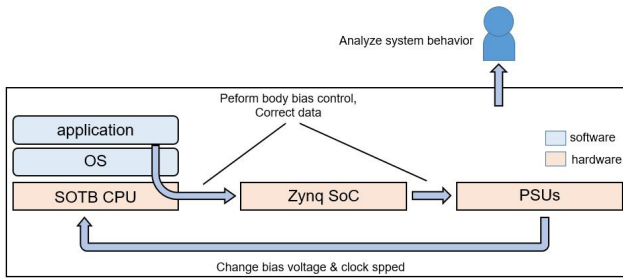


図 2: 評価環境の概要

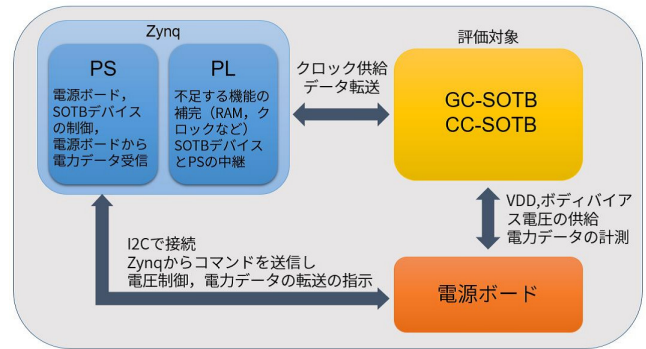


図 3: 評価環境の構成

1) SOTB チップ

SOTB チップは、この評価環境における評価対象である。本研究において構築する評価環境では、ある特有の SOTB チップを対象とするのではなく、SOTB を用いて実装されたチップ全般を評価することができるようにする。現在は、汎用プロセッサである GC-SOTB とアクセラレータである CC-SOTB の 2 つの異なる種類のプロセッサをサポートしている。

2) Zynq SoC

Zynq は Xilinx 社が提供する SoC である。ARM ベースの Processing System (PS) と Kintex-7 ベースの Programmable Logic (PL) を統合したものがある。PS は ARM Cortex-A9 CPU を中核として、オンチップメモリ、外部メモリ、インターフェイス、幅広い周辺接続インターフェイスを備えている。従来の FPGA に比べ柔軟で拡張性に優れている。また、PS では Linux を動作させることが可能であり、PL に作成した回路をソフトウェアから制御することが可能となっている。本評価環境では、Zynq-7000 シリーズの MicroZed 7020 を使用する。MicroZed は 1GB の DDR3 メモリ、ギガビットイーサネット、USB、UART、I2C などの各種 IO ペリフェラルを有している。

MicroZed は PL において SOTB チップの動作に必要なとなる RAM, ROM, クロックなどのハードウェアペリフェラルを提供する。また、PS で動作する Linux から電源ボード、SOTB アクセラレータの制御も行う。

3) 電源ボード

SOTB チップを使用する上では、電源電圧のほかにボディバイアス電圧の供給に加え、多種多様なボディバイアス電圧を動的に制御する機能が必要となる。そのため、本研究では電圧を供給するための専用のボードを製作し使用する。この電源ボードでは、4 つの電圧を出力するチャンネルが存在し、各チャンネルは -6V ~ +6V の電圧を 1 mV 単位で指定し出力することが可能となっている。搭載されたプロセッサによって出力する電圧を制御することができる。電源ボードと Zynq SoC は I2C で接続されており、Zynq SoC からコマンドを送信することで電源ボードが供給する

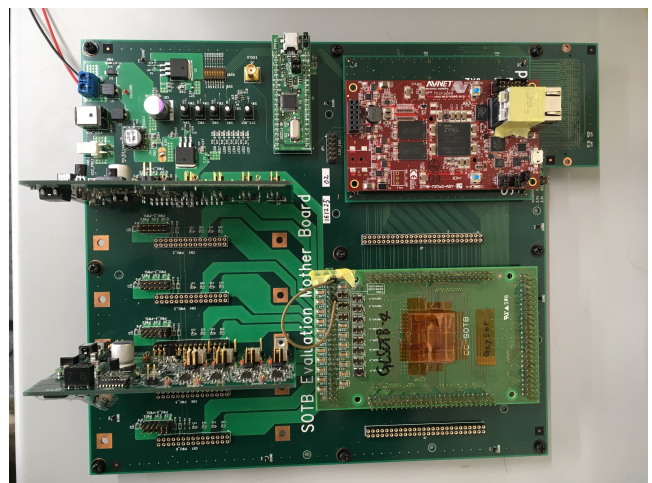


図 4: 評価環境

電圧を制御することができる。

4. GC-SOTB による Zynq リソース制御

GC-SOTB 上で動作する OS やアプリケーションからのボディバイアス制御を実現するために、GC-SOTB から Zynq のリソースを利用することができる機能を実装した。GC-SOTB はキャッシュや TLB を有しているが、DRAM や I/O を有していないため、単体では OS やアプリケーションを動作させることはできない。そのため、これらの不足する機能を提供する必要がある。

本評価環境に搭載されている MicroZed は 1GB の DRAM, UART や I2C などの各種 I/O ペリフェラルを有しているため、これらのリソースを GC-SOTB が利用することができれば、GC-SOTB 上で OS やアプリケーションを動作させることができる。しかし、GC-SOTB が MicroZed のリソースを扱うためにはデータ通信プロトコルの違いが課題となる。Zynq はハードウェアペリフェラルのデータ転送プロトコルとしてマスタスレーブ方式の Advanced eXtensible Interface (AXI) を採用している。MicroZed は AXI プロトコルを使用しているが、GC-SOTB はチップ独自の接続プロトコルを有している。そのままでは GC-SOTB と MicroZed のリソースを接続することは

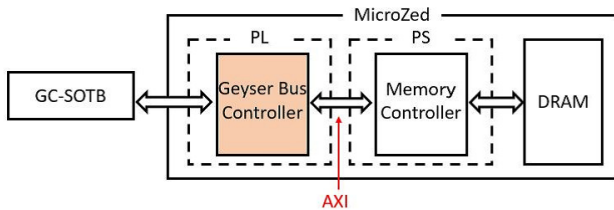


図 5: 実装したバスコントローラと DRAM への接続例

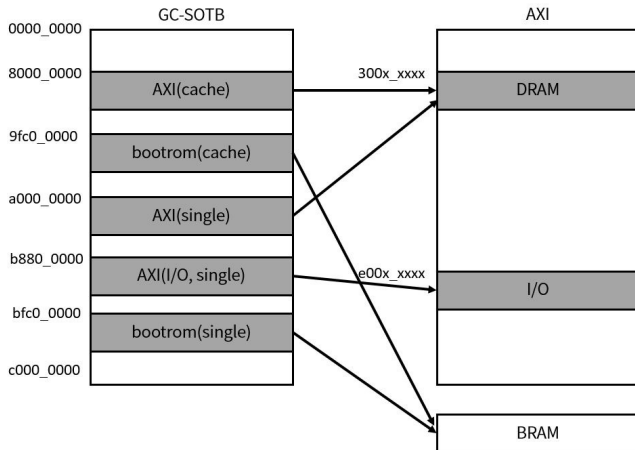


図 6: アドレス空間の対応例

きない。

そこで GC-SOTB と Zynq ペリフェラル間のデータ通信を可能にするため、本研究では AXI プロトコルと GC-SOTB プロトコルを相互に変換し接続することができるバスコントローラを実装した (図 5)。このバスコントローラは MicroZed の PL 部に配置される。バスコントローラは GC-SOTB が AXI マスタとして AXI スレーブである Zynq の AXI ペリフェラルを利用することを可能とする。具体的には、Zynq のアドレス空間にメモリマップされている各種ペリフェラルを GC-SOTB の任意の物理アドレス空間にメモリマップすることで、load/store 命令によるアクセスを実現する。

図 6 に GC-SOTB のアドレス空間と Zynq の AXI ペリフェラルの対応例を示す。この例では、GC-SOTB 側の 0x800x_xxxx, 0xa00x_xxxx のアドレスが Zynq の DRAM に対応している。また、0x9fcx_xxxx, 0x000x_xxxx は bootrom 用の BRAM に、0xb88x_xxxx がその他の I/O デバイスに対応している。アドレス空間は任意に対応を変更可能であり、使用する状況によって各アドレスの対応を調整することができる。バスコントローラは GC-SOTB からの load/store 命令を指定されたアドレスに対応する Zynq の AXI デバイスに対する load/store 命令に変換する。これにより、GC-SOTB は AXI で接続されたデバイスをバイトアドレスラブルで読み書きできる。

5. ソフトウェアからのボディバイアス制御

ボディバイアス制御における最適なボディバイアス電圧および動作周波数は、SOTB チップ上で動作する OS やアプリケーションの挙動に依存している。ハードウェアからのボディバイアス制御では、SOTB 上で動作するアプリケーションの特性に合わせてボディバイアス制御を行うことは困難である。一方、OS やアプリケーションなどのソフトウェアからのボディバイアス制御では、実行中のアプリケーション特性によってボディバイアス制御を行えるため、より効果的なボディバイアス制御を行うことができる。本研究では、ソフトウェアからのボディバイアス制御を可能とするインタフェースを実装した。本評価環境では、アクセラレータ、CPU の 2 つの異なる SOTB チップのソフトウェアからのボディバイアス制御をサポートするために 2 つのインタフェースを提供している。

5.1 CPU 用インタフェース

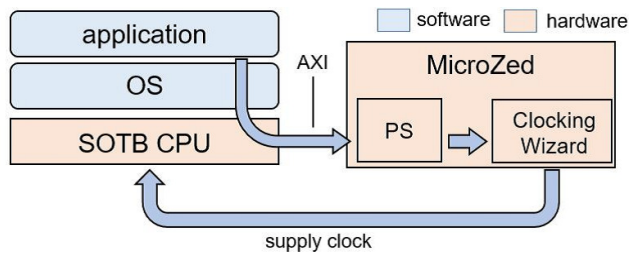
GC-SOTB などの CPU では、CPU 上で動作するアプリケーションの挙動に合わせてボディバイアス制御を行うため、自らボディバイアス電圧や動作周波数を変更する必要がある。そのため、GC-SOTB が自身のボディバイアス制御を行うことができるインタフェースを実装した。

5.1.1 ボディバイアス電圧

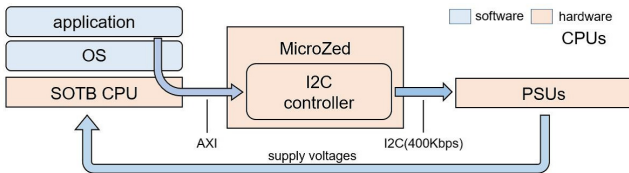
ボディバイアス電圧は SOTB チップに電圧を供給する電源ボードを制御することで実現できる。本評価環境では、SOTB チップと電源ボードが直接接続することができないため、SOTB チップからの制御の際は MicroZed を経由する必要がある。GC-SOTB が自身のボディバイアス電圧を変更するためには、GC-SOTB から電源ボードを制御する必要がある。この機能は、第 4 章で示したバスコントローラを使用することで実現する。図 7a に示すように、バスコントローラを用いて GC-SOTB と MicroZed の I2C コントローラを接続することで、GC-SOTB が I2C 経由で電源ボードに直接コマンドを送信することができる。コマンドを受け取った電源ボードは供給する電圧を変更する。

5.1.2 動作周波数制御

ボディバイアス電圧の制御と同様に、CPU 上で動作する OS やアプリケーションから自らの動作周波数を変更する機能が必要となる。動作周波数を変更するには MicroZed の PL 部に配置された Clocking Wizard を制御する必要がある。Clocking Wizard の制御は第 4 章で示したバスコントローラを使用することで実現する。図 7b に示すようにバスコントローラを通して GC-SOTB と PS 部を接続し、PS 部を経由して GC-SOTB から Clocking Wizard へアクセスすることができ、Clocking Wizard の制御レジスタを読み書きすることで供給されるクロックを変更することが

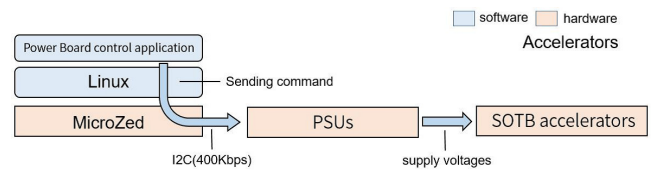


(a) ボディバイアス電圧制御

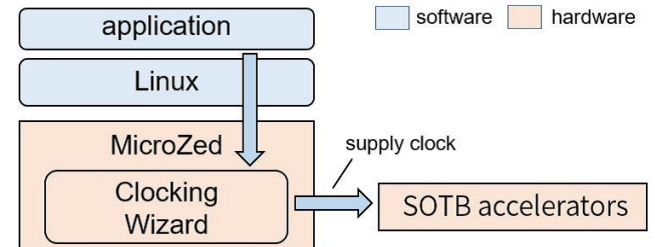


(b) 動作周波数制御

図 7: CPU インタフェース



(a) ボディバイアス電圧制御



(b) 動作周波数制御

図 8: アクセラレータインタフェース

できる。Clocking Wizard の制御レジスタはメモリマップされている。バスコントローラによって GC-SOTB の任意のアドレスを Clocking Wizard の制御レジスタのアドレスに変換し、GC-SOTB からメモリに読み書きをすることで制御レジスタを操作できる。

5.2 アクセラレータ用インタフェース

アクセラレータの場合は、MicroZed 上で動作する Linux がホスト OS として SOTB アクセラレータを制御すると考え、インタフェースを実装した。アクセラレータ用インタフェースは、CPU と異なりボディバイアス制御を MicroZed が行う。

5.2.1 ボディバイアス電圧制御

アクセラレータにおけるボディバイアス制御は図 8a に示すように MicroZed 上の Linux から電源ボードを制御することでボディバイアス電圧の制御を実現する。このインタフェースは、Linux が提供する I2C デバイスドライバを使用することで実装した。このデバイスドライバを用いることで Linux 上のアプリケーションからコマンドを送信し電源ボードを制御する。

5.2.2 動作周波数制御

動作周波数制御は、SOTB チップにクロックを供給している Clocking Wizard を制御することで実現する。SOTB アクセラレータの動作周波数制御は MicroZed が行う。図 8b に示すように、Clocking Wizard は制御レジスタがメモリマップされるため、そのアドレスを MicroZed 上で動作する Linux やアプリケーションからアクセスすることで、制御レジスタを操作し、供給されるクロックを変更することができる (図 8b)。

6. 評価

実装したシステムの動作検証のため、GC-SOTB から MicroZed の DRAM へのアクセス性能および基礎的な電力評価を行った。

6.1 DRAM へのアクセス性能評価

本評価環境において、GC-SOTB から実装したバスコントローラを用いて MicroZed の DRAM にアクセスしたときの、クロック数及び AXI アドレスへの変換および AXI での処理によって生じるオーバヘッドの計測を行った。計測結果を表 1 に示す。GC-SOTB は 30MHz、AXI は 60MHz で動作している。シングルリードでの AXI オーバヘッドは 31%、バーストリードでは 18% となった。シングルライト、バーストライトではともに AXI オーバヘッドは 0% であった。シングルライト、バーストライトにおいて AXI オーバヘッドが生じないのは、GC-SOTB からのデータとアドレスを AXI へ変換し書き込みを行う際に、GC-SOTB は正常に書き込みが行えたかの確認を行わないため、データをバスコントローラに渡した時点でライト処理を完了したものとして動作する。このため、AXI 側でのライト処理にかかる時間の影響を受けないため AXI オーバヘッドが 0% となった。しかし、正常にデータが書き込まれたかを確認しないため、ライト処理に失敗したときは GC-SOTB が予期しない動作を行う可能性がある。このため、ライト処理の確認を行う機能を実装する必要があるといえる。その場合は、ライト処理においても AXI オーバヘッドが発生することが予想される。次に、リード処理の AXI オーバヘッドはシングルリード、バーストリードそれぞれの処理の 31%、18% であった。OS やアプリケーションなどのソフトウェアからのボディバイアス制御時の GC-SOTB の挙

表 1: DRAM アクセス時のレイテンシ

アクセスタイプ	クロック	実時間 (ns)	AXI オーバヘッド (%)
single read	24	800	31
single write	12	400	0
burst read	88	2933	18
burst write	62	2066	0

表 2: 電圧設定

	電圧値 (V)
VCN_core	0
VBP_core	0.6
VCN_cache	0
VBP_cache	0.6

動を解析するうえでは許容できるもの言える。また、AXI の動作周波数をより高速化することでオーバヘッドを削減できる可能性がある。

6.2 GC-SOTB の基礎電力評価

GC-SOTB のシングルリード時の消費電力を計測した。30MHz, 60MHz において各電圧値において計測を行った。GC-SOTB は演算コア部 (core) とキャッシュ部 (cache) に独立して電源電圧, ボディバイアス電圧を供給することが可能となっている。今回の電力計測では, core と cache に同じ電圧値を供給し, core と cache を合わせた電力を計測している。計測結果を図 9 に, そのときの電圧設定を表 2 に示す。30MHz では 0.4V 以下での動作が不安定であったため結果から除いている, 同様に 60MHz では 0.6V 以下の結果を除いている。30MHz においては, VDD = 0.5V のとき 12.12mW, VDD = 1.2V のとき 97.08mW であった。60MHz においては, VDD = 0.7V のとき 45.85mW, VDD = 1.2V のとき 162.24mW であった。これらの結果は想定する挙動を示しており, このことから本評価環境において消費電力の計測が正しく行われていることを確認できた。また, 計測を行う過程で電源電圧を変更した際に, GC-SOTB が正常に動作を続けることが確認できた。このため, プログラムを実行中に電源電圧やボディバイアス電圧を変更しても, プログラムの動作に影響を与えないことが確認できた。

7. おわりに

本研究では, SOTB チップにおいてソフトウェアからのボディバイアス制御を可能とする評価環境の構築を行った。本評価環境では, Zynq SoC を用いることで, SOTB チップに不足するハードウェアペリフェラルを提供し, SOTB チップ上でソフトウェアが動作するために必要なリソースを確保した。また, GC-SOTB から Zynq のリソースを利用するためのバスコントローラの実装を行った。このバ

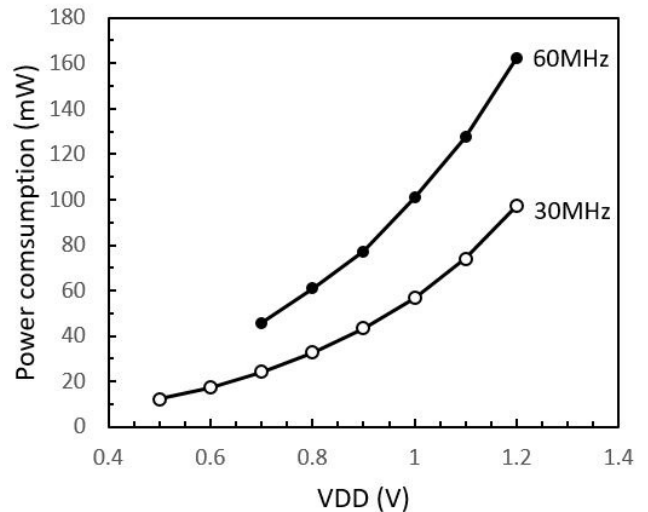


図 9: single read 時の消費電力

スコントローラを用いることで GC-SOTB から MicroZed の 1GB の DRAM や各種 IO ペリフェラルを利用することができる。SOTB を用いた汎用プロセッサ, アクセラレータにおいて, ソフトウェアからのボディバイアス制御を可能とするため, ボディバイアス電圧および動作周波数制御用のインタフェースをそれぞれ実装した。また, 本評価環境を使用して, GC-SOTB のバスコントローラを使用している DARM へのアクセス性能及び, シングルリード時の電力計測を行った。評価の過程で, ソフトウェアからボディバイアス制御を行うことができることを確認した。また, SOTB チップ上で命令実行中に電源電圧を変更したときに正常に動作することを確認した。今後の課題として, GC-SOTB 上での OS の動作, GC-SOTB の詳細な電力特性評価, ソフトウェアからのボディバイアス制御を用いた省電力化手法の提案が挙げられる。

参考文献

- [1] Ronald G. Dreslinski, et al. "Reclaiming Moore's Law Through Energy Efficient Integrated Circuits", Proceedings of the IEEE, pp. 254266 (2010).
- [2] Takeshi Ishigaki, et al., "Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET", Solid State Circuits Technologies, Jacobus Swart(Ed.), ISBN: 978-953-307-045-2, Intech, pp.146-156, 2010.
- [3] N. Sugii, et al., "Ultralow-Power SOTB CMOS Technology Operating Down to 0.4 V", J. Low Power Electron. Appl. 2014, 4, pp.65-76.
- [4] K. Ishibashi, et al., "a Perpetuum Mobile 32bit CPU with 13.4pj/cycle, 0.14 μ A sleep current using Reverse Body Bias Assisted 65nm SOTB CMOS technology", in Proceedings of COOL Chips XVII, April. 2014, pp.1-3.
- [5] Hongliang Su, et al., "Body Bias Control for a Coarse Grained Reconfigurable Accelerator Implemented with Silicon on Thin BOX technology", in Proceedings of Field Programmable Logic and Applications, Sept 2014, pp.1-6.
- [6] M.Hioki, et al., "SOTB Implemented of a Field Programmable Gate Array with Fine-Grained Vt Programmability", in J. Low Power Electroappl., April. 2014

pp. 329-332.

- [7] K. Masuyama et al., "A 297MOPS/0.4mW Ultra Low Power Coarse-grained ReconfigurableAccelerator CMA-SOTB-2", 2015 InternationalConference on ReConFigurable Computing and FPGAs, 2016.
- [8] H. Okuhara, et al., " An Optimal Power Supply And Body Bias Voltage for an Ultra Low Power Micro- Controller with Silicon on Thin BOXMOSFET" , Proceeding of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), 2015.
- [9] K. Kitamori, et al., "Power optimization of a micro-controller with Silicon On Thin Buried Oxide", Proceeding of The 18th Workshop on Synthesis And System Integration of Mixed Information technologies, 2013.
- [10] CCC. TORRES, et al., "Analysis of Body Bias Control Using Overhead Conditions for Real Time Systems: A Practical Approach", J-STAGE, 2018, E101.D, 4, p. 1116-1125