

光コンピューティングに向けた集積ナノフォトニクス技術

新家昭彦^{†1,†2}

NTT ナノフォトニクスセンタ^{†1}, NTT 物性科学基礎研究所^{†2}

1. 概要

本報告では、NTTにおけるナノフォトニクスを用いたオンチップ光集積デバイスの進展を紹介し、それらをベースとする光電融合型の新しい光コンピューティング技術の可能性について議論する。

2. はじめに

光コンピューティングの研究は 80-90 年代に活発に行われたが、CMOS に比べてサイズ、集積度、消費電力、カスケードビリティ等多くの面で大きく劣っており、衰退した経緯がある。ただ、光の優位性は通信において見出され、長距離通信において大成功を収めただけでなく、現在ではその広帯域性をチップ間/内の通信に活用した光インターコネクタへと展開されつつある。つまり、光は通信に限定し、情報処理そのものは電子回路が担うことが、現状の情報処理における光と電子のすみわけである。

一方で、近年のナノフォトニクス技術の進展は目覚ましいものがあり、従来技術では不可能であった光素子の超小型化・超低消費エネルギー化[1]、それに伴う高効率光電変換の実現[2]や、光素子の大規模集積化[3]が可能になりつつある。つまり、かつての光コンピューティング研究におけるいくつかの問題点はナノフォトニクス技術により克服可能となり、通信と情報処理の境界で線引きされている光と電子の役割分担を再検討する材料がそろいつつある。

3. 超低遅延演算に適した光回路とナノフォトニクス技術

そこで本講演では、光を広帯域な土管として用いている光インターコネクタではなく、演算レベルで光素子と電子素子が融合した形態について議論することとしたい。具体的には、Binary Decision Diagram (BDD)をベースとする光デジタル回路[4,5]や、コヒーレント線形光回路などの光アナログ回路[6,7]を用い、全ての回路を光素子で構成するのではなく、演算を律速している信号経路をナノフォトニクスで光化し、基本的には電気制御された経路に光を伝搬させるだけで演算が完了するシステムを想定する。このような回路形態では、伝搬する光信号は電氣的な抵抗やキャパシタンスの影響を受けず RC 遅延の蓄積が生じない。また、全ての光ゲートが入力信号により一度に開閉される状況を

想定した場合、演算は光の伝播時間で完了することとなる。

つまりこのような回路形態においては、光論理ゲート長の極短尺化が最重要課題となり、ナノフォトニクス技術が重要な役割を果たすこととなる。例えば、近年技術が成熟しつつあるシリコンフォトニクスを用いれば、数 100 μm の光ゲートを実現することができ、これは 1 ゲートあたり数 ps の光伝播遅延に相当する。この数字が魅力的な値かどうかは実現したい演算にもよるが、例えば我々の検討している光デジタル加算器[5]においては 1 桁加算の演算遅延に該当し、同様の演算で 20ps 程度の演算遅延が生じる CMOS 回路と比較しても相当遅延が小さい。さらに光干渉を用いた線形アナログ演算にまで視野を広げると、ゲート長は数 μm にまで短尺化することも可能となり[8]、この場合の 1 ゲートあたりの伝播時間は数 10fs となる。また光素子の更なる微小化・低エネルギー化に向け、フォトニック結晶技術[1-3]やプラズモニクス技術[9]も進展しており、このような光ゲートを適用した回路構成はレイテンシの観点において極めて有効な手段として期待ができる。

4. おわりに

本稿では、RC 遅延の影響を受けない光を演算チップ内の信号として用いた回路について検討を行い、ナノフォトニクスの適用による超低レイテンシ演算の可能性を示した。劇的なレイテンシ特性の向上が期待できない CMOS プロセッサをサポートし、大容量データのリアルタイム処理を実現するアクセラレータとして期待できる。

参考文献

- [1] K. Takeda et al., "Few-fJ/bit data transmissions using directly modulated lambda-scale embedded active region photonic-crystal lasers," *Nature Photonics* 7, 569 (2013).
- [2] K. Nozaki et al., "Photonic-crystal nano-photodetector with ultrasmall capacitance for on-chip light-to-voltage conversion without an amplifier", *Optica* 3, 483 (2016).
- [3] M. Notomi et al., "Toward fJ/bit optical communication in a chip", *Opt. Commun.* 314, 3 (2014).
- [4] T. Asai et al., "A Photonic-Crystal Logic Circuit Based on the Binary Decision Diagram," *Int'l Workshop on Photonic and Electromagnetic Crystal Structures*, T4-14 (2000).
- [5] T. Ishihara et al., "An Integrated Optical Parallel Adder as a First Step Towards Light Speed Data Processing," *ISOC2016*, 123 (2016)
- [6] Y. Shen et al., "Deep learning with coherent nanophotonic circuits," *Nature Photonics* 11, 441 (2017)
- [7] W. R. Clements et al., "Optimal design for universal multiport interferometers," *Optica* 3, 1460 (2016)
- [8] S. Kita et al., "Proposal of short, low-loss, and broadband on-chip linear optics logic gates," *JSAP Autumn Meeting*, 6a-C13-9 (2017)
- [9] M. Ono et al., "Deep-subwavelength plasmonic mode converter with large size reduction for Si-wire waveguide," *Optica* 3, 999 (2016).

AKIHIKO SHINYA

^{†1} NTT Nanophotonics Center, NTT Corporation,

^{†2} NTT Basic Research Laboratories, NTT Corporation,