

フリップフロップの記憶保持特性を利用した トランジスタばらつきの推定

西澤 真一 今野 拓真 伊藤 和人
埼玉大学 工学部

概要 トランジスタ特性の製造時および製造後の経年変化の診断には、トランジスタ特性の適切な診断技術が必要である。クリティカルパスモニタなどの回路遅延を評価する診断回路はPMOS トランジスタとNMOS トランジスタの平均的な動作速度を診断する事が容易であるが、その比率を診断する事が難しい問題がある。本研究では、PMOS トランジスタとNMOS トランジスタの特性の比率(PN 比) がフリップフロップの記憶保持特性に強く影響する事を利用して、フリップフロップの記憶保持特性からPN 比のばらつきを診断する手法を提案する。フリップフロップの記憶保持特性とRO 回路の発振周波数を組み合わせる事で、PMOS トランジスタとNMOS トランジスタのグローバルなばらつき量を推定可能である事を示す。

Process variation estimation utilizing a retention characteristics of FlipFlop circuit

Shinichi Nishizawa, Takuma Konno and Kazuhito Ito
Faculty of Engineering, Saitama University

Abstract

Transistors performance monitoring technique is required for both the process condition monitoring and the transistors performance degradation monitoring. Critical path monitor or replica circuits are one solution for the performance monitoring technique, however these circuit monitors the delay characteristics of circuit therefore it is difficult to separate the PMOS performance variation and NMOS performance variation from a measured delay characteristics. We propose to utilize a retention characteristics of Flip-Flop circuit since the retention characteristics is highly sensitive to the imbalance of the PMOS transistor performance and NMOS transistor performance.

1 序論

集積回路はその高性能化、低消費エネルギー化が強く求められている。この実現を阻む要因としてトランジスタ特性のばらつきが挙げられる。集積回路の構成要素であるトランジスタは製造プロセスに起因して静的に動作特性がばらつく。また温度や動作電圧などの使用環境の変化、トランジスタ自身の特性劣化によって動的に特性変動を起こす。

これら特性変動ばらつきへの対策として、各種電圧制御による集積回路の特性補償技術が注目されている [1] [2]。電源電圧および基板電圧を制御する事で、回路の動作速度と消費エネルギーの変動を補償する。特にトランジスタの閾値電圧ばらつきはフリップフロップやSRAMなどの記憶回路の動作特性に影響するため、電圧制御によってトランジスタの閾値電圧ばらつきを補償する事ができると、集積回路の低電圧安定動作を実現することができる。

電圧制御による集積回路の特性補償のためには、PMOS トランジスタとNMOS トランジスタの動作特性の変動量を個別に推定するための診断技術が必要である。従来行われているような集積回路の最大動作周波数と消費エネルギー

の関係からは、PMOS トランジスタとNMOS トランジスタの特性が共に影響するためにこれらの特性変動を分離する事が難しい。PMOS トランジスタとNMOS トランジスタの特性変動を専用回路の発振速度から個別に評価するオンチップ診断回路が提案されているが [3]、専用回路を追加する事はチップ面積の増大を招き、製造原価が上がる問題がある。

本論文は、集積回路中で多用されるフリップフロップの記憶保持特性から、NMOS トランジスタとPMOS トランジスタの特性変動を診断可能にする手法を提案する。文献 [4] によると、フリップフロップを構成するPMOS トランジスタとNMOS トランジスタのプロセス条件を変える事がフリップフロップの最低記憶保持電圧(リテンション電圧)に強く影響される結果が示されている。この特性を利用して、リテンション電圧とトランジスタの強弱関係の関係を解明する事で、最終的にリテンション電圧からトランジスタ特性の変動量の診断を可能にする。トランジスタ特性ばらつきには、全てのトランジスタが同じように特性ばらつくグローバルなばらつきと、各トランジスタが個別に特性ばら

つくローカルばらつきが存在する．本論文ではリテンション電圧の測定値を平均化させることで測定値からランダムばらつきの影響を除去可能であることを示し，フリップフロップと RO 回路を組み合わせる事でグローバルばらつきを推定可能であることを示す．

本論文の構成は以下の通りである．2 章ではトランジスタ特性ばらつきとフリップフロップの記憶保持特性について先行文献を利用して述べる．3 章ではフリップフロップの記憶保持特性から，トランジスタ特性のグローバルばらつきを推定する解析式を示す．4 章では試作チップに搭載したテスト回路を用いて，フリップフロップの記憶保持特性とリング発振回路の測定結果からグローバルばらつきを推定する手法について述べる．5 章で結論を述べる．

2 トランジスタ特性ばらつきとフリップフロップの記憶保持特性の関係

2.1 ラッチ回路のリテンション電圧を利用したトランジスタ特性ばらつきセンサーの要件

フリップフロップのリテンション電圧やそのノイズマージンがラッチを構成するトランジスタ特性によって決定される事がこれまで広く研究されている．本論文ではフリップフロップのリテンション電圧からトランジスタ特性ばらつきを推定する事を提案するが，そのためには以下の要件を満たす必要がある．

1. 特定のトランジスタの特性ばらつきがフリップフロップのリテンション電圧に影響する事．
2. グローバルばらつき，ローカルばらつきの分離が可能である事．

ラッチ回路は 2 つのインバータ回路がクロスカップルした構成となっており，複数のトランジスタの特性ばらつきがフリップフロップの記憶保持特性に影響を与える可能性がある．従って特定のトランジスタ（もしくはインバータ）の特性ばらつきを評価するためには，ラッチ回路が 1. の要件を満たす必要である．また，トランジスタ特性ばらつきの成分として，全てのトランジスタが同じようにばらつくグローバルばらつき成分と，個々のトランジスタが独立にばらつくランダムばらつき成分の 2 つの成分に分けられる．これらの成分は異なる統計的性質を持つため，フリップフロップの記憶保持特性によるばらつき抽出は 2. の要件を満たす必要がある．

本節では，上記の要件を満たすためのラッチ回路の設計指針となる解析式を示す．文献 [5] で提案されているラッチ回路の安定動作モデル式を基として，ラッチ回路のリテン

ション電圧から PMOS トランジスタと NMOS トランジスタのグローバルばらつきの比を抽出可能である事を示す．

2.2 ラッチ回路の安定動作モデル [5]

本論文で議論するラッチ回路から PMOS トランジスタと NMOS トランジスタのグローバルばらつき比を推定する解析式の元となる，ラッチ回路の安定動作モデル式について簡単に引用しながら説明する．

文献 [5] ではラッチ回路の電圧伝達関数（バタフライカーブ）を，バタフライカーブのユニティゲイン点とある利得 α ($0 < \alpha < 1$) を通る直線を結ぶ 4 本の線からなる平行四辺形で近似し，その面積が正となる条件がラッチ回路が安定動作する条件であると定義している．

電源電圧が低いときにラッチ回路はその値の保持に失敗する事を考えると，その時のトランジスタの動作条件はサブスレッショルド電圧動作であると考え事ができる．トランジスタのサブスレッショルド電圧特性は以下の式に示す通りである．

$$I = k \frac{W}{L} \exp\left(-\frac{\Delta V_{TH,p(n)}}{n, p(n) v_T}\right) \exp\left(1 - \frac{\Delta V_{DS}}{v_T}\right) \exp\left(-\frac{V_{GS} + \eta V_{DS} - k_{\gamma,p(n)} V_{BS}}{n, p(n) v_T}\right) \quad (1)$$

$$k, p(n) = I_0 e^{\left(\frac{V_{TH,p(n),0}}{n, p(n) v_T}\right)} \quad (2)$$

ここで， $I_{0,p(n)}$ は $V_{GS} = 0$ ， $V_{DS} = V_{DD}$ の時の I_{DS} ， W および L はトランジスタのゲート幅とゲート長， $V_{TH,p(n),0}$ および $\Delta V_{TH,p(n)}$ は閾値電圧の平均値および変動量， $n, p(n)$ はサブスレッショルド係数， v_T は熱電圧， $\eta, p(n)$ は DIBL 係数， $k_{\gamma,p(n)}$ はボディ効果係数であり，添え字を利用して PMOS(NMOS) を区別する．

文献 [5] では回路がサブスレッショルド電圧で動作するときの，ラッチ回路の安定動作モデルは以下の様にモデル化している．バタフライカーブの一部に注目したときに，ユニティゲイン点とある α 利得点を結ぶ直線をそれぞれ u と v と定義する事で，それらの長さを以下の様に求めている．

$$u = \frac{\sqrt{1+\beta^2}}{1-\beta^2} (\beta V_{IH} + V_{IL} - \beta V_{OH} - V_{OL}) \quad (3)$$

$$v = \frac{\beta \sqrt{1+\beta^2}}{1-\beta^2} (V_{IH} + \beta V_{IL} - V_{OH} - \beta V_{OL}) \quad (4)$$

この時，

$$\beta = \frac{2 \ln \{(n+2)/(n\alpha+2)\}}{n \ln \{\alpha(n+2)/(n\alpha+2)\}} \quad (5)$$

$$\alpha = \frac{1}{2} + \frac{1}{n \cdot \frac{k_p W_p}{L_p} \exp\left(\frac{1}{v_T} \left(\frac{1}{n_p} - \frac{\eta_n}{n_n} V_{DD}\right)\right)} - 1 \quad (6)$$

$$\frac{1}{n} = \frac{1}{n_n} + \frac{1}{n_p} \quad (7)$$

これより平行四辺形が面積を持つ時、つまりラッチ回路がリテンションに成功するためには以下の全ての条件を満たす必要があるとある。

$$\Delta u - H_{\text{const.}} < 0 : u_1 > 0 \text{ の制約, } P_1 \text{ が保持} \quad (8)$$

$$\Delta v - L_{\text{const.}} > 0 : u_1 > 0 \text{ の制約, } N_1 \text{ が保持} \quad (9)$$

$$\Delta u' - H_{\text{const.}} < 0 : u_2 > 0 \text{ の制約, } P_2 \text{ が保持} \quad (10)$$

$$\Delta v' - L_{\text{const.}} > 0 : u_2 > 0 \text{ の制約, } N_2 \text{ が保持} \quad (11)$$

ここで、 $\Delta u, \Delta v, H_{\text{const.}}, L_{\text{const.}}$ は以下の式で表される。

$$\begin{pmatrix} \Delta u \\ \Delta v \end{pmatrix} = \frac{n}{2} \begin{pmatrix} 1 & \beta \\ \beta & 1 \end{pmatrix} \begin{pmatrix} \frac{\Delta V_{\text{TH},p,1}}{n_p} - \frac{\Delta V_{\text{TH},n,1}}{n_n} \\ \frac{\Delta V_{\text{TH},p,2}}{n_p} - \frac{\Delta V_{\text{TH},n,2}}{n_n} \end{pmatrix}, \quad (12)$$

$$\begin{aligned} H_{\text{const.}} = & \left\{ -\beta + (\beta + 1) \frac{n}{2n_p} + \beta \frac{n}{2n_p} \eta_p - \frac{n}{2n_n} \eta_n \right\} V_{\text{DD}} \\ & + v_t(\beta - 1) \left\{ \ln \left(\frac{n}{2} + 1 \right) + \frac{n}{2} \ln \left(\frac{2}{n} + 1 \right) \right\} \\ & + \frac{nv_t}{2} \left\{ \ln \left(\frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}} \right) + \beta \ln \left(\frac{k_p \frac{W_{p,2}}{L_{p,2}}}{k_n \frac{W_{n,2}}{L_{n,2}}} \right) \right\} \quad (13) \end{aligned}$$

$$\begin{aligned} L_{\text{const.}} = & \left\{ -1 + (\beta + 1) \frac{n}{2n_p} + \frac{n}{2n_p} \eta_p - \beta \frac{n}{2n_n} \eta_n \right\} V_{\text{DD}} \\ & + v_t(-\beta + 1) \left\{ \ln \left(\frac{n}{2} + 1 \right) + \frac{n}{2} \ln \left(\frac{2}{n} + 1 \right) \right\} \\ & + \frac{nv_t}{2} \left\{ \beta \ln \left(\frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}} \right) + \ln \left(\frac{k_p \frac{W_{p,2}}{L_{p,2}}}{k_n \frac{W_{n,2}}{L_{n,2}}} \right) \right\} \quad (14) \end{aligned}$$

$\Delta u', \Delta v', H'_{\text{const.}}, L'_{\text{const.}}$ は $\Delta u, \Delta v, H_{\text{const.}}, L_{\text{const.}}$ の添字を入れ替えたものである。また $\Delta u' = \Delta v, \Delta v' = \Delta u$ である。

3 リテンション失敗モデルの導出

特定のトランジスタにおけるプロセスばらつきを原因として、ラッチ回路がリテンションに失敗する条件を導出する。式 (8) は、1 つめのインバータの PMOS トランジスタ (以下 P_1) が値を保持するための条件である。同様に、式 (9) はトランジスタ N_1 が、同様に、式 (10) はトランジスタ P_2 が、同様に、式 (11) はトランジスタ N_2 が値を保持するための条件である。従って、例えば式 (11) が成立しかつ式 (8) が成立しない条件を見つける事ができると、トランジスタ P_1 に起因して値の保持に失敗する条件を見つける事ができる。またその条件を満たさない最小の電源電圧 V_{DD} がラッチ回路のリテンション電圧である事がわかる。

トランジスタ特性は、製造プロセスに起因してグローバルばらつきおよびローカルなばらつきを持つ。ばらつきの解析において、両者の統計量を適切に分離する必要がある。ラッチ回路のリテンション電圧によるばらつき推定におい

ては、測定されたリテンション電圧 V_{DR} は、グローバルばらつきに起因するリテンション電圧 $V_{\text{DR,G}}$ とローカルばらつきに起因するリテンション電圧 $V_{\text{DR,L}}$ の和の形で現れると考えられる。従って以下の解析において、閾値電圧ばらつき ΔV_{TH} ばらつきの成分をグローバルばらつき $\Delta V_{\text{TH,G}}$ とランダムばらつき $\Delta V_{\text{TH,L}}$ の線形和で表されるものとして考える。ランダムばらつきはそのサンプル数を増やす事で大数極限定理に従って減少すると仮定し、サンプル数を増やすことで $\Delta V_{\text{TH,L}}$ の減少と共に $V_{\text{DR,L}}$ も減少する事を示す。

3.1 PMOS トランジスタを例にしたラッチの保持失敗条件の導出

PMOS トランジスタ P_1 を対象に、ラッチ回路が値の保持に失敗する条件を見つける。トランジスタ P_1 が High を出力している条件において、ラッチが正常に値を保持する条件は次の式となる。

$$L'_{\text{const.}} < \Delta u < H_{\text{const.}} \quad (15)$$

従って、トランジスタ P_1 に起因して値が反転する条件は以下となる。

$$L'_{\text{const.}} < H_{\text{const.}} \quad (16)$$

$$\Delta u > H_{\text{const.}} \quad (17)$$

式 (17) を変形すると、最終的に以下の様に簡単化できる。

$$\begin{aligned} & \left\{ -\frac{2}{n} + \frac{1+\eta_p}{n_p} - \frac{1}{n_p} - \frac{\eta_n}{n_n} \right\} (V_{\text{DR,G}} + V_{\text{DR,L}}) \\ & + 2v_t \cdot \frac{2}{n} \ln \left(\left(\frac{n}{2} + 1 \right) \left(\frac{2}{n} + 1 \right) \right) \\ & - v_t \left\{ \ln \frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}} - \ln \frac{k_p \frac{W_{p,2}}{L_{p,2}}}{k_n \frac{W_{n,2}}{L_{n,2}}} \right\} (\beta - 1) > 0 \quad (18) \end{aligned}$$

式 (18) は、トランジスタの定数が係数として入っている一方でばらつきの項が入っていない事から、ばらつきがない状態においてバタフライカーブが開く制約を表している。

式 (19) も同様に変形すると以下の形にすることができる。

$$\begin{aligned} & \left(\beta - \frac{2}{n} + \frac{1+\eta_p}{n_p} + \frac{1}{n_p} - \frac{\eta_n}{n_n} \right) (V_{\text{DR,G}} + V_{\text{DR,L}}) \\ & + v_t(\beta + 1) \cdot \frac{2}{n} \ln \left(\left(\frac{n}{2} + 1 \right) \left(\frac{2}{n} + 1 \right) \right) \\ & - v_t \left\{ \ln \frac{k_p \frac{W_{p,1}}{L_{p,1}}}{k_n \frac{W_{n,1}}{L_{n,1}}} - \ln \frac{k_p \frac{W_{p,2}}{L_{p,2}}}{k_n \frac{W_{n,2}}{L_{n,2}}} \right\} \\ & - \left(\frac{\Delta V_{\text{TH},p,1} + \beta \Delta V_{\text{TH},p,2}}{n_p} - \frac{\Delta V_{\text{TH},n,1} + \beta \Delta V_{\text{TH},n,2}}{n_n} \right) (1 + \beta) \\ & - \left(\frac{\Delta V_{\text{TH},p,G}}{n_p} - \frac{\Delta V_{\text{TH},n,G}}{n_n} \right) (1 + \beta) > 0 \quad (19) \end{aligned}$$

式 (19) は、トランジスタの定数とトランジスタのばらつき量が式に存在することから、ラッチ回路の設計だけでなくト

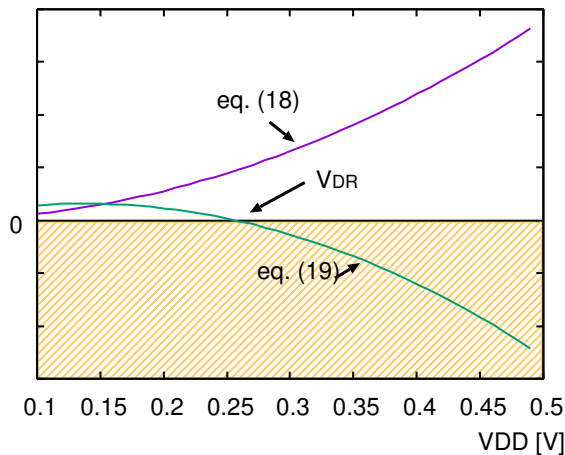


図 1: 電源電圧に対するリテンション条件を示す式 (18) と式 (19) の関係 .

ランジスタのばらつきによって式が制約される事がわかる . 以上 2 式を用いる事で , 2 式を同時に満たすプロセス条件である時に , 1 つ目のインバータの PMOS(P_1) に起因してリテンションに失敗する条件を導くことができた . グローバルばらつきに注目すると , NMOS トランジスタと PMOS トランジスタのグローバルばらつき量の差分をリテンション電圧ばらつきとして観測できる事がわかる .

また式 (19) を見ると , グローバルばらつきとローカルばらつきによる閾値電圧変動およびリテンション電圧変動が線形和で表されている事がわかる . 従ってサンプル数を増やしリテンション電圧の測定値の平均値を取る事で , 閾値電圧のグローバルばらつき量を推定する事が可能となる .

図 1 に , TT コーナーと SF コーナーの中間点のプロセスばらつき量を与えたときの , 電源電圧の変化に対する式 (18) と式 (19) の遷移を示す . 電源電圧に対して式 (18) は常に正であるが , 式 (19) は電源電圧によって符号が変わる事がわかる . 電源電圧が低い領域で式 (19) が成立しており , 電源電圧を一定以下にするとリテンションできなくなる事を示している .

図 2 に , TT コーナーから SF コーナーの 5 種類のプロセス条件における式 (19) の電圧依存性を示している . プロセスばらつき量が増えるにつれ , 式 (19) の符号が変わる電圧が高くなる事がわかる . このことから , プロセス条件の変動によってリテンション電圧が変わる事が式 (19) からわかる .

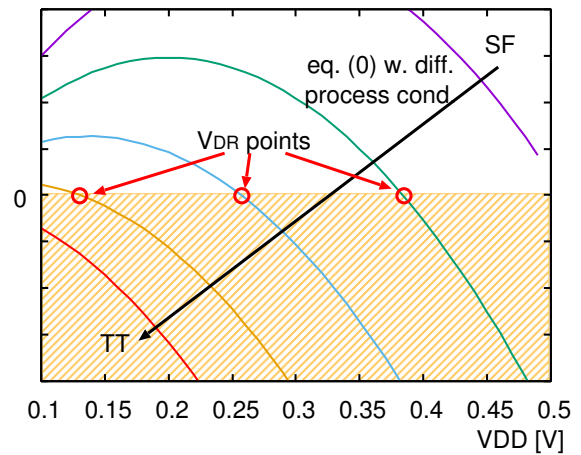


図 2: プロセス条件の変化に対する式 (19) の関係 .

4 フリップフロップのリテンション電圧とリングオシレータの発振周波数によるグローバルばらつき量の推定

本節では , フリップフロップのリテンション電圧とリングオシレータ (RO) の発振周波数によるグローバルばらつき量の推定を行う . 前節では , ラッチ回路のリテンション電圧から NMOS トランジスタと PMOS トランジスタの閾値電圧ばらつきのグローバルばらつき量の差分を評価可能である事がわかった . 一方で NMOS トランジスタと PMOS トランジスタの閾値電圧を個別に分離するためには , NMOS トランジスタと PMOS トランジスタのグローバルばらつき量に対して異なる感度を持つ別の回路が必要である . RO 回路は一般にプロセスばらつきに感度が高く , またその発振周波数は PMOS トランジスタと NMOS トランジスタの閾値電圧の平均値に対して感度を持つ . そこでフリップフロップと RO を組み合わせたグローバルばらつき量の推定手法を提案する .

4.1 シミュレーションによる感度解析

65-nm FDSOI プロセスを対象に , ばらつきを評価するためのフリップフロップと RO 回路による評価を行う . RO 回路は駆動力 1x インバータによる 19 段 RO 回路を利用した . フリップフロップはデジタル回路設計を目的とした標準的な TGFF(Transmission Gate Flip Flop) を利用した . どちらもレイアウトを行い , LPE 後のネットリストに対してシミュレーションによるプロセスばらつきに対する発振周波数およびリテンション電圧の評価を行った .

図 3 に , NMOS トランジスタと PMOS トランジスタの閾値電圧ばらつきに対する RO の発振周波数の変動の様子

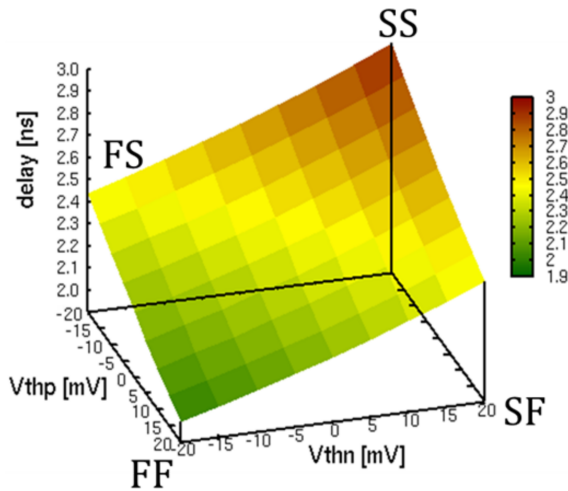


図 3: 閾値電圧変動に対する RO 発振周波数の変動。

を示す。この時 RO の電源電圧は 0.4V とした。図より、RO の発振周波数は各トランジスタの平均的特性に対して感度をち、FF-SS コーナーに対して発振周波数は変動するが、SF-FS コーナーに対しては発振周波数の変動は少ない。

図 4 に、NMOS トランジスタと PMOS トランジスタの閾値電圧ばらつきに対するリテンション電圧の変動の様子を示す。リテンション電圧を評価するために、図の様に電源電圧を徐々に下げ、フリップフロップの保持値が反転する最も高い電圧を評価し、リテンション電圧とした。図からわかるように、リテンション電圧は各トランジスタの差分の特性に対して感度をち、SF-FS コーナーに対して変動するが、FS-SF コーナーに対しては変動は少ない事がわかる。

評価精度を調べるために、シミュレーションにおいてあるプロセスばらつき量を仮定したときに、同じばらつき量をフリップフロップと RO に与えてそれらのリテンション電圧と発振周波数からばらつき量の逆算を行った。その結果、NMOS トランジスタと PMOS トランジスタの閾値電圧変動量が $\pm 20\text{-mV}$ の範囲において曲面方程式から精度良く閾値電圧変動量を推定する事ができ、その誤差は最大でも $\pm 0.25\text{-mV}$ 以内である事がわかった。

4.2 実測によるプロセスばらつき量の推定

以上より、2 つの回路は NMOS トランジスタと PMOS トランジスタのプロセスばらつきに対して異なる感度を持つ事から、これらの回路を利用してプロセスばらつき量の分離を行う。

図 3 および図 4 の結果から、図 5 の様に NMOS トランジスタと PMOS トランジスタの閾値電圧変動量に対する RO の発振周波数およびフリップフロップのリテンション電

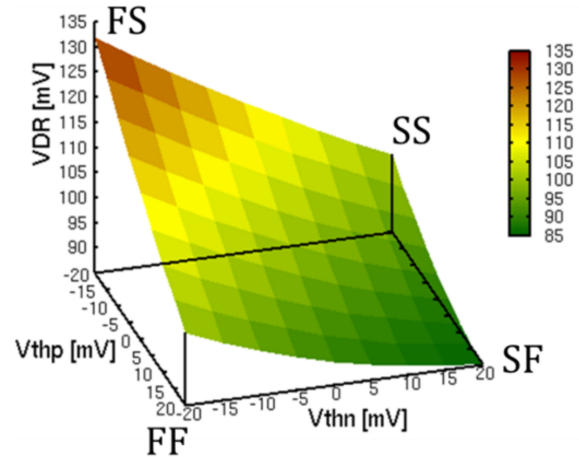


図 4: 閾値電圧変動に対するリテンション電圧の変動。

圧の変動量の予測式を作成する。作成した予測式に対して、テストチップにおける RO の発振周波数とリテンション電圧の測定値を入力する事で、テストチップにおけるグローバルばらつき量の推定を行う。作成する予測式の次数と推測精度にはトレードオフが存在する。今回は NMOS トランジスタと PMOS トランジスタの閾値電圧変動量 ($\Delta V_{TH,n}$, $\Delta V_{TH,p}$) に対する発振周波数 (F) およびリテンション電圧変動量 (V_{DR}) を次に示す 2 次の曲面式で表す事にする。

$$V_{DR} = k_1 \Delta V_{TH,p}^2 + k_2 \Delta V_{TH,n}^2 + k_3 \Delta V_{TH,p} \Delta V_{TH,n}^2 + k_4 \Delta V_{TH,p}^2 \Delta V_{TH,n} + k_5 \Delta V_{TH,p} \Delta V_{TH,n}^2 + k_6 \Delta V_{TH,p} \Delta V_{TH,n} + k_7 \Delta V_{TH,p}^2 + k_8 \Delta V_{TH,n}^2 + k_9 \quad (20)$$

$$F = c_1 \Delta V_{TH,p}^2 + c_2 \Delta V_{TH,n}^2 + c_3 \Delta V_{TH,p} \Delta V_{TH,n}^2 + c_4 \Delta V_{TH,p}^2 \Delta V_{TH,n} + c_5 \Delta V_{TH,p} \Delta V_{TH,n}^2 + c_6 \Delta V_{TH,p} \Delta V_{TH,n} + c_7 \Delta V_{TH,p}^2 + c_8 \Delta V_{TH,n}^2 + c_9 \quad (21)$$

ここで、 k_1-k_9 および c_1-c_9 は感度係数である。

図 6 にテスト回路を示す。テスト回路は RO アレイとなっており、同一のレイアウトを持つ RO 回路が 380 個搭載されている。制御回路を利用して同時に一つの RO を有効化し、その発振信号をチップの外部へ伝達し、チップ外部の周波数カウンタを利用して発振周波数を計算する。制御回路には制御回路を構成するためのシフトレジスタが搭載されており、今回の試験では本シフトレジスタへ初期値を与え、電源電圧を下げる事、再度電源電圧を十分に上げ値を読み出す事でリテンションに失敗し値が消失するか否かを確認する。各フリップフロップにおいて、0 もしくは 1 が共に正常に記憶できる最低保持電圧をそのフリップフロップのリテンション電圧とした。リテンションのテストにおいて、静的ばらつきの影響だけでなく、動的な外部ノイズによる値の反転が見られた。そのため、3 回同じ電圧条件

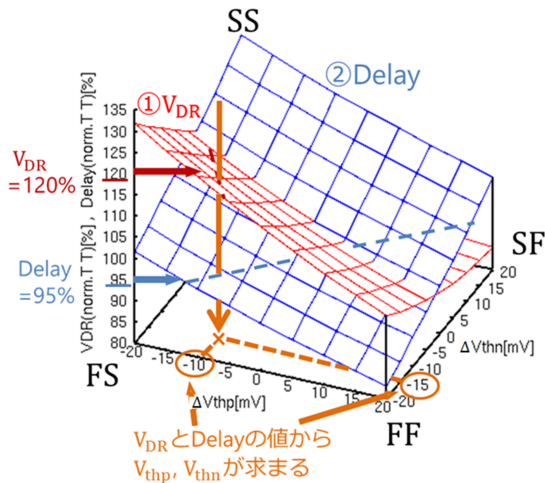


図 5: フリップフロップのリテンション電圧と RO の発振周波数を組み合わせたトランジスタばらつきの推定手法。

表 1: Threshold voltage variation estimation result.

Chip	$\Delta V_{TH,p}$	$\Delta V_{TH,n}$
chip1	-5.48%	-1.36%
chip2	-3.73%	-1.66%

での測定を行い、2 回値を保持できなくなる場合にリテンションに失敗したと判定した。

実験において、200 サンプルの RO 回路の発振周波数と、20 個のフリップフロップ回路のマスターラッチを利用してばらつき量の推定を行った。推定結果を表 1 に示す。2 つのチップにおける閾値電圧変動量を評価した結果、chip1 において NMOS トランジスタと PMOS トランジスタの閾値電圧変動量がそれぞれ-5.5%、-1.4%、chip2 において同じく-3.7%、-1.7%である事がわかった。

5 結論

本論文では、フリップフロップのリテンション電圧を利用した PMOS と NMOS の閾値電圧変動量を測定手法を提案した。ラッチ回路において、特定のトランジスタに起因してラッチ回路が値の保持に失敗する条件を明確にし、それは NMOS トランジスタと PMOS トランジスタの閾値電圧変動量の差分がリテンション電圧ばらつきに影響する事を明らかにした。また測定個数を増やす事でランダムばらつきを打ち消し、グローバルばらつきによるリテンション電圧の変動が抽出可能である事を示した。以上の結果から、フリップフロップのリテンション電圧と RO 回路の発振周波数を組み合わせる事でグローバルばらつき量を推定する手法を提案した。測定手法の精度をシミュレーションによ

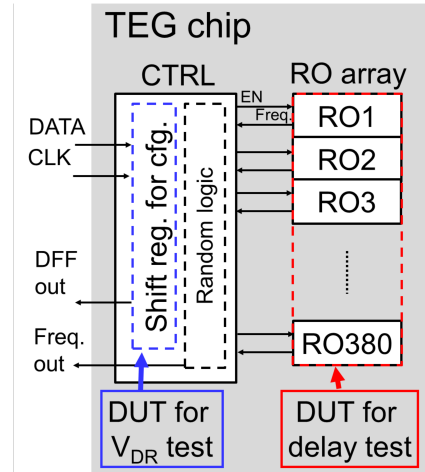


図 6: テストチップの回路構造。

て評価した結果、2 つの回路を組み合わせた閾値電圧変動量の推定結果の誤差は想定している真値に対して最大でも ± 0.25 -mV と十分小さい事がわかった。また提案手法を用いて、実シリコン上のばらつき量の推定を行った。

謝辞

本研究は JSPS 科研費 JP-17K12657 の助成を受けたものである。設計実験は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われた。

参考文献

- [1] J. Tschanz and S. Narendra, "Effectiveness of Adaptive Supply Voltage and Body Vias for Reducing Impact of Parameter Variations in Low Power and High Performance Microprocessors," *IEEE Journal of Solid-State Circuits*, vol. 38, no. May, pp. 826–829, 2003.
- [2] S. Narendra, D. Antoniadis, and V. De, "Impact of Using Adaptive Body Bias to Compensate Die-to-die V_t Variation on Within-die V_t variation," in *International Symposium on Low Power Electronics and Design*, 1999, pp. 229–232.
- [3] I. A. Mahfzul, A. Tsuchiya, K. Kobayashi, and H. Onodera, "Variation-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variation," in *International Conference on Microelectronic Test Structures*, no. 1, 2011, pp. 153 – 157.
- [4] A. Datta, M. Abu-Rahma, S. Dasnurkar, H. Rasouli, S. Tamjidi, M. Cai, S. Sengupta, P. Chidambaram, R. Thirumala, N. Kulkarni, P. Seeram, P. Bhadri, P. Patel, S. S. Yoon, and E. Terzioğlu, "Analysis, modeling and silicon correlation of low-voltage flop data retention in 28nm process technology," in *Proceedings - International Symposium on Quality Electronic Design*, , 2013, pp. 580–584.
- [5] T. KAMAKARI, J. SHIOMI, T. ISHIHARA, and H. ONODERA, "Analytical Stability Modeling for CMOS Latches in Low Voltage Operation," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E99.A, no. 12, pp. 2463–2472, 2016.