

20K スピン CMOS アニーリングマシンを対象とした 完全結合イジングモデルマッピング手法と評価

寺田 晃太郎^{1,a)} 田中 宗^{2,3} 林 真人⁴ 山岡 雅直⁴ 柳澤 政生¹ 戸川 望¹

概要：物理現象を利用したアニーリングマシンを用いて組合せ最適化問題を効率的に解く研究が注目されている。本稿では、完全グラフ上で定義されるイジングモデルを 20K スピン CMOS アニーリングマシン上にマッピング（埋め込み）する手法を提案する。提案マッピング手法で得られるイジングモデルは元の問題を表すイジングモデルと基底状態が等価なモデルであることを示す。計算機実験により、提案手法は既存手法と比較して現実的なイジングモデルのサイズではより少ないスピンの数でマッピングできること、実際の組合せ最適化問題を通して既存手法と比較して許容解を得られる割合、および解の品質が優れていることを確認し、提案手法の有効性を示す。

1. はじめに

物理現象を利用したアニーリングマシンを用いて組合せ最適化問題を解く研究が、従来のノイマン型コンピュータと比較してエネルギー効率が高いことから注目されている [2,5,7,9]。20K スピン CMOS アニーリングマシン [7,9] は、イジングモデルの基底状態を計算するアニーリングマシンの 1 つである。組合せ最適化問題をイジングモデルとして定式化することでアニーリングマシンを用いて解を求めることができるため、実問題への利用が期待される。

組合せ最適化問題をアニーリングマシンを用いて解くフローは 4 つのフェーズで構成される。まず、解きたい組合せ最適化問題を目的関数や制約条件を含めて 1 つのイジングモデルとして定式化する (Phase 1)。次に、任意トポロジで定式化されたイジングモデルを実際のアニーリングマシンに実装するためにマッピング (埋め込み) アルゴリズムを通して、使用するスピンの数、各スピン間の相互作用係数や各スピンの外部磁場の値を決定する (Phase 2)。定めた各種値をアニーリングマシンに設定し、アニーリングマシンは物理現象等を利用することでイジングモデルのエネルギーが基底状態となるようなイジングモデルのスピン値を出力する (Phase 3)。最後に、アニーリングマシンから得られたスピン値を解釈することで組合せ最適化問題の解を得る (Phase 4)。

組合せ最適化問題をイジングモデルとして定式化する場合、一般に、制約条件の影響によりイジングモデル上の任意のスピン間に相互作用が働くようなモデルを扱うことが多い。そこで、本稿では、20K スピン CMOS アニーリングマシン [7,9] を対象とした完全結合イジングモデルのマッピング手法を提案する。これまでアニーリングマシンの 1 つである量子アニーリングマシン D-Wave [2,5] を対象し

たマッピング手法がいくつか提案されている [2,3]。しかし、これらの手法は D-Wave 上のトポロジに限定した手法であるか、汎用的なマッピング手法であるため、20K スピン CMOS アニーリングマシン [7,9] 上にそのまま適用するのは非効率であると考えられる。本稿では、20K スピン CMOS アニーリングマシン [7,9] 上に組合せ最適化問題を表す完全結合イジングモデルをマッピングする手法を提案し、実問題例を取り上げ、組合せ最適化問題を効率的に解けることを示す。

本稿の貢献は以下の通りである：

- (1) 20K スピン CMOS アニーリングマシンを対象としたイジングモデルのマッピング手法を提案し、提案手法で得られるイジングモデルは元の問題を表すイジングモデルと基底状態が等価なモデルであることを示す。
- (2) 計算機実験により、提案手法は既存手法と比較して現実的なイジングモデルのサイズではより少ないスピンの数でマッピングできることを確認する。
- (3) 実際の組合せ最適化問題を解くフローを通じた実験により、提案手法は既存手法と比較して許容解を得られる確率、および解の品質が優れていることを確認する。

本稿の構成を以下に示す。2 章で関連研究としてアニーリングマシンを対象としたこれまで提案されたマッピング手法を紹介する。3 章で本稿で扱うイジングモデル、対象アニーリングマシントポロジとマッピング問題を定式化する。4 章でイジングモデルを 20K スピン CMOS アニーリングマシン上にマッピングする手法を提案する。5 章で計算機実験結果を示し提案手法の有効性を評価する。6 章で結論をまとめる。

2. 関連研究

アニーリングマシンを用いて組合せ最適化問題を解く研究は、量子アニーリングマシンとして広く普及し研究されている D-Wave [2,5] を対象としたものが多くを占める。D-Wave はミリケルビンオーダーの低温で超伝導状態で動作するチップを搭載する。現時点での最新バージョンのスピン数は 2,048 qubits である。D-Wave 上のイジングモデ

¹ 早稲田大学大学院基幹理工学研究科情報理工・情報通信専攻

² 早稲田大学高等研究所

³ 科学技術振興機構さきかけ

⁴ 日立製作所

a) kotaro.terada@togawa.cs.waseda.ac.jp

ルトポロジは chimera グラフユニットと呼ばれる、2部グラフ $K_{4,4}$ が2次元格子状に接続されたトポロジで構成される。

D-Wave のイジングモデルトポロジを対象として完全結合イジングモデルをマッピングする手法が研究されている。[2]では、完全結合イジングモデルをD-Wave上のchimeraトポロジにマッピングする手法が提案されている。手法[2]でD-Wave上へマッピングされるイジングモデルで必要となるD-Wave上のスピンの数は元のイジングモデルのスピンの2乗に比例する。手法[2]は完全結合イジングモデルをD-Wave上のchimeraトポロジ上にマッピングすることが可能であるが、他のトポロジを持つアニーリングマシンには適用できない。

一方、任意トポロジのイジングモデルをD-Wave上へマッピングするヒューリスティックアルゴリズムも研究されている。任意トポロジで表されるイジングモデルのある特定のトポロジを持つ物理アニーリングマシン上にマッピングする問題はNP困難であることが知られており[4]、このような問題を効率的に解くアルゴリズムが研究されている。Caiらは[3]で、任意トポロジで表されるイジングモデルを対象アニーリングマシンの物理的なイジングモデルにマッピングする最短経路探索に基づくヒューリスティックアルゴリズムを提案している。手法[3]は元のイジングモデルとアニーリングマシン上のトポロジをともに入力とする。手法[3]は、任意のイジングモデルをアニーリングマシン上の物理的なイジングモデルにマッピングすることができるが、汎用的なヒューリスティックアルゴリズムであるため、本稿で扱う完全結合イジングモデルのマッピングや特定の対象アニーリングマシントポロジに対するマッピングの効率性に劣ると考えられる。

3. 問題の定式化

本章では、イジングモデル、20K スピン CMOS アニーリングマシンと本稿で扱うイジングモデルのマッピング問題を定式化する。

3.1 イジングモデル

イジングモデルとは統計力学で用いられる磁性体のモデルであり、スピンと呼ばれる微視的変数の間の相互作用とスピンの働く外部磁場(強制力)で構成される。 V, E をそれぞれスピンの集合、スピン間の接続辺の集合としたとき、イジングモデルは無向グラフ $M = (V, E)$ で表される。スピン組 $u \in V, v \in V$ (ただし $u \neq v$) に対して、 $(u, v) \in E$ はスピン u と v の間の接続辺を表す。各スピン $\sigma_i (i \in V)$ は +1 または -1 の値を取る。これはスピンの向きが上向きまたは下向きであることにそれぞれ相当する。イジングモデルのエネルギー(ハミルトニアン)は

$$H = - \sum_{(i,j) \in E} J_{ij} \sigma_i \sigma_j - \sum_{i \in V} h_i \sigma_i \quad (1)$$

と計算される。ここで、 J_{ij} はスピン σ_i と σ_j の間の相互作用係数、 h_i はスピン σ_i に作用する外部磁場である。

3.1.1 論理イジングモデル

本稿では、イジングモデルを論理イジングモデルと物理イジングモデルに区別する。

論理イジングモデル $M_L = (V_L, E_L)$ とは、任意のスピン間に相互作用が働く接続辺を置くことができるイジングモデルのことである。論理イジングモデルは任意トポロジを表すことができる。組合せ最適化問題の最適解を表すエネルギー式は論理イジングモデルとして定式化できる。全結合のアニーリングマシンが無ければ、任意トポロジで表

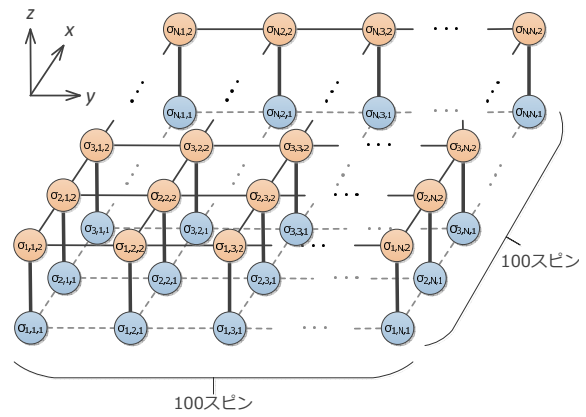


図1 20K スピン CMOS アニーリングマシン [7,9] の $100 \times 100 \times 2$ イジングモデル格子トポロジ。

現される論理イジングモデルを直接アニーリングマシンにマッピングすることはできない。論理イジングモデルをアニーリングマシンにマッピングするには次に導入する接続辺の位置に制約を設けた物理イジングモデルで表す必要がある。

論理イジングモデル上のスピンを論理スピンと呼ぶ。論理スピン σ_i と σ_j 間の相互作用係数を $J_{L_{ij}}$ 、論理スピン σ_i に作用する外部磁場を h_{L_i} と表す。

3.1.2 物理イジングモデル

物理イジングモデル $M_P = (V_P, E_P)$ とは、アニーリングマシンのトポロジ上に物理的接続のあるスピン間のみ相互作用が働く接続辺をおくことができるイジングモデルのことである。一般に、物理的に実現されるアニーリングマシンでは物理距離が離れたスピン間に接続辺を用意することは非現実であるため、物理イジングモデルは例えば隣接スピンとのみ相互作用が働くといったようなトポロジが限定されたイジングモデルである。物理イジングモデル M_P は対象のアニーリングマシントポロジの部分グラフである。物理イジングモデルで表されたイジングモデルはアニーリングマシン上に直接マッピングすることができる。ここで一般に、 $|V_L| \leq |V_P|$ である。

物理イジングモデルのスピンを物理スピンと呼ぶ。物理スピン σ_i と σ_j 間の相互作用係数を $J_{P_{ij}}$ 、物理スピン σ_i に作用する外部磁場を h_{P_i} と表す。

3.2 20K スピン CMOS アニーリングマシン [7,9]

本稿で対象とする20K スピン CMOS アニーリングマシンは、Yamaokaらが提案している CMOS 回路で実現したアニーリングマシン [7,9] である。CMOS (65nm プロセス) 回路でイジングモデルのアニーリングを実現した CMOS アニーリングマシンは、量子アニーリングと異なり室温で動作するため量子アニーリングのように冷却用の装置と電力を必要としない。CMOS 回路を使用するため、量子アニーリングと比較して既存の技術を用いて容易に設計・製造することができ、スケラビリティも高い。スピンの数は 20,000 qubits (20K) である。

図1に20K スピン CMOS アニーリングマシン上の格子状イジングモデルトポロジを示す。隣接するスピン同士が接続する格子状トポロジ上下2層の構造であり、各層は 100×100 のスピンの構成される。座標軸を図1中に示すようにとり、座標 (x, y, z) に位置するスピンを $\sigma_{x,y,z}$ と表す。例えば、図1中のもっとも左下のスピンは $\sigma_{1,1,1}$ と表す。

3.3 論理イジングモデルの物理イジングモデルマッピング

任意トポロジで表される論理イジングモデルは直接アニーリングマシンにマッピングすることはトポロジ的制約から一般に不可能である。イジングモデルをアニーリングマシンにマッピングするには論理イジングモデルを接続辺に制約を設けた物理イジングモデルに基底状態が等価となるように変換する必要がある。これを実現するために、論理イジングモデル上の各論理スピンを物理イジングモデル上の物理スピンの集合に対応付ける。1つの論理スピンを冗長に用意する複数の(1以上の)物理スピンの対応付けることで、すべての論理イジングモデル辺を物理イジングモデル辺で表すことができ、論理イジングモデルと基底状態が等価な物理イジングモデルとしてアニーリングマシンに実装することができる。このとき、同じ論理スピンの対応する物理スピン間には十分大きな相互作用係数 J_F を与えることで、これらの物理スピンの向きが等しくなるように制御する。また、任意の論理スピンの対応する物理スピンの数が等しいことが対称性を保ち、スピン数のばらつきによる影響を少なくできるから望ましいことが知られている[8]。これを次のように論理イジングモデルの物理イジングモデルマッピング問題と定義する。

定義 1. 論理イジングモデル $M_L = (V_L, E_L)$ の物理イジングモデル $M_P = (V_P, E_P)$ へのマッピング問題とは、以下の条件を満たすような関数 $\varphi: V_L \rightarrow 2^{V_P}$:

- (条件 1) すべての $\sigma_x \in V_L$ に対して $\varphi(\sigma_x)$ の要素から構成されるグラフは連結グラフである、
- (条件 2) すべての $\sigma_x \in V_L, \sigma_y \in V_L$ (ただし $\sigma_x \neq \sigma_y$) に対して、 $\varphi(\sigma_x) \cap \varphi(\sigma_y) = \emptyset$,
- (条件 3) すべての $\sigma_x \in V_L, \sigma_y \in V_L$ (ただし $\sigma_x \neq \sigma_y$) に対して、 $|\varphi(\sigma_x)| = |\varphi(\sigma_y)|$,
- (条件 4) M_L 上で σ_x と σ_y が隣接するならば、 M_P 上の $\varphi(\sigma_x)$ と $\varphi(\sigma_y)$ 中の C 個のスピン同士が接続される、を定める問題である。□

本稿では $|V_P|$ を可能な限り小さくするために $C = 1$ を考える。

4. 完全結合イジングモデルの 20K スピン CMOS アニーリングマシンへのマッピング手法

本章では、任意トポロジで表された論理イジングモデルを 20K スピン CMOS アニーリングマシン上の物理イジングモデルへマッピングする手法を提案する。

完全結合トポロジでは任意のスピン組間に接続辺が存在するため、これを物理イジングモデル上で表現するために次のアイデアを取り入れる。

- (i) 20K スピン CMOS アニーリングマシントポロジの下層 ($z = 1$) では、同じ論理スピンの対応する物理スピンを垂直方向 (x 軸方向) に複数個並べて用意し、互いに相互作用係数 J_F で接続する。
- (ii) 上層 ($z = 2$) では、そのような物理スピンを水平方向 (y 軸方向) に複数個並べて用意し、互いに相互作用係数 J_F で接続する。
- (iii) 上層と下層を接続する辺に、対応する相互作用係数 J_{ij} を設定する。

上層と下層の接続点で、すべての論理スピンの組み合わせが出現するため、完全結合論理イジングモデルを物理イジングモデルで表現できる。

提案アルゴリズムを以下に示す。

入力

n 個のスピンで構成される論理イジングモデル $M_L = (V_L, E_L)$ 。

出力

20K スピン CMOS アニーリングマシン上の物理イジングモデル $M_P = (V_P, E_P)$ 。

Step 1: スピンマッピング

各論理スピン $\sigma_i \in V_L$ に対してマッピング $\varphi(\sigma_i)$ を次のように定める:

$$\varphi(\sigma_i) = \bigcup_{x=1}^i \{\sigma_{x,n-i+1,1}\} \cup \bigcup_{y=1}^{n-i+1} \{\sigma_{i,y,2}\}. \quad (2)$$

Step 2: 相互作用係数設定

Step 2.1

各論理スピン $\sigma_i \in V_L$ に対して Step 1 でマッピングされた $\varphi(\sigma_i)$ 内で隣接する物理スピン間の相互作用係数を J_F に設定する。

Step 2.2

$i \in \{1, \dots, n\}, j \in \{1, \dots, n\}$ (ただし $i < j$) に対して、論理スピン σ_i, σ_j 間に接続辺が存在する場合、物理スピン $\sigma_{i'} = \sigma_{i,n-j+1,1}$ と $\sigma_{j'} = \sigma_{i,n-j+1,2}$ 間の相互作用係数を $J_{P_{i'j'}} = J_{L_{ij}}$ に設定する。存在しない場合、 $J_{P_{i'j'}} = 0$ に設定する。

Step 2.3

Step 2.1 と Step 2.2 で設定されなかった、 M_P 上に存在する残りの接続辺の相互作用係数を 0 に設定する。

Step 3: 外部磁場設定

スピン i について論理スピンの外部磁場を物理スピンの外部磁場として等しく分配するために、物理スピン $\sigma_{i'} \in \varphi(\sigma_i) (\sigma_i \in V_L)$ に作用する外部磁場を $h_{P_{i'}} = h_i / (n + 1)$ に設定する。

例 1. 図 2 に、 $n = 5$ の完全結合論理イジングモデルを CMOS アニーリングマシン上の物理イジングモデルにマッピングした例を示す。図 2(b) 中の同じ色で示された物理スピンは同じ論理スピンの対応することを表す。例えば、図 2(a) 中の論理スピン σ_1 (オレンジ色) は、図 2(b) 中の物理スピン $\{\sigma_{1,1,2}, \sigma_{1,2,2}, \sigma_{1,3,2}, \sigma_{1,4,2}, \sigma_{1,5,2}, \sigma_{1,5,1}\}$ に対応する。図 2(b) 中で灰色で示された物理スピンは使用されない。□

定理 1. 提案手法により得られるマッピングが定義 1 で挙げた (条件 1)–(条件 4) を満たす。

証明. (条件 1) を満たすことの証明: Step 1 の式 (2) において、第 1 項は x 座標が 1 から i まで 1 ずつ増加した物理スピンの集合であるから x 軸方向に直列に隣接し、第 2 項は y 座標が 1 から $n - i + 1$ まで 1 ずつ増加した物理スピンの集合だから y 軸方向に直列に隣接する、また、第 1 項で $x = i$ のときの物理スピンは $\sigma_{i,n-i+1,1}$ であり、第 2 項で $y = n - i + 1$ のときの物理スピンは $\sigma_{i,n-i+1,2}$ であるから、これらは z 軸方向に直列に隣接する。よって、各論理スピン σ_i に対するマッピング $\varphi(\sigma_i)$ は連結グラフである。

(条件 2) を満たすことの証明: Step 1 の式 (2) において、第 1 項での物理スピンの y 座標 $n - i + 1$ は n が定数であるため i に依存する 1 次関数であり、第 2 項での物理スピンの x 座標 i も同様に i に依存する 1 次関数である。これらの値は異なる i で同じ値になることはなく、かつ z 座標が異なるため、各 i でマッピングされる物理スピンの重複することはない。よって、任意のマッピング間の物理スピンは重複しない。

(条件 3) を満たすことの証明: Step 1 の式 (2) において、第 1 項は $(i - 1 + 1)$ 個の物理スピン、第 2 項は $\{(n - i + 1) - 1 + 1\}$ 個の物理スピンからなる集合である。1つの論理スピンの対応する物理スピン数の合計は $(i - 1 + 1) + \{(n - i + 1) - 1 + 1\} = n + 1$ 個と計算される。よって、任意の論理スピンのマッピング集合は $n + 1$ 個の物理スピンから構成されるため、条件を満たす。

(条件 4) を満たすことの証明: すべての論理スピン組 (σ_x, σ_y) に対して、Step 2.2 で 1 か所接続されるため、条件を満たす。

よって、提案手法により得られる物理イジングモデルは元の問題を表す論理イジングモデルと基底状態が等価なモデルであることが示された。□

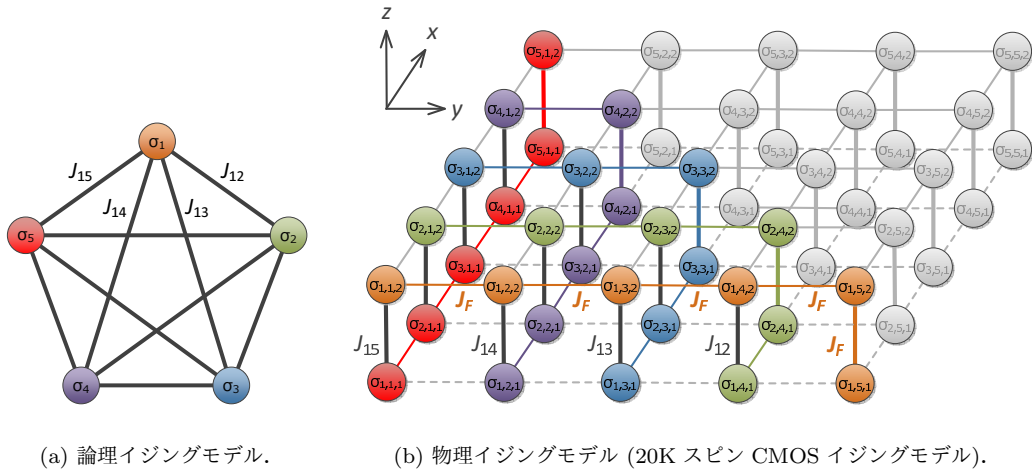


図 2 提案手法を用いた完全結合イジングモデル (K_5) の 20K スピン CMOS アニーリングマシンへのマッピング例.

表 1 20K スピン CMOS アニーリングマシンへの完全結合論理イジングモデル (K_n) のマッピング手法の比較.

n	手法 [3]		合計スピン数	提案手法 合計スピン数
	最小	最大		
4	1	3	7	20
5	1	6	13	30
6	1	10	38	42
7	2	7	39	56
8	2	17	73	72
9	4	23	109	90
10	4	32	150	110
11	5	36	182	132
12	—	—	— [†]	156

[†] 手法 [3] は $n \geq 12$ で 1 時間以内に計算不可.

1 個の論理スピンの複数の物理スピンのマッピングされることにより、実用上のアニーリング結果では同じマッピングに属する物理スピンの向きが互いに異なる向きを示すことがある。これに対し、論理スピンの向きは対応する物理スピンの数が多い方のスピンの向きとして解釈 (多数決) する。提案手法によるマッピングに必要な物理スピンの数は、

$$(n+1) \cdot n = n^2 + n \quad (3)$$

であり、論理スピン数の 2 乗に比例することがわかる。20K スピン CMOS アニーリングマシン [7,9] 上のトポロジは $100 \times 100 \times 2$ であるから、提案手法により最大で $n = 100$ の完全結合論理イジングモデルをマッピング可能である。

5. 計算機実験結果

本章では、計算機実験で提案手法の有効性を評価する。

5.1 マッピングの評価

提案マッピング手法の品質を評価するために、完全結合論理イジングモデルに対して既存マッピング手法 [3] と提案手法のマッピング結果を比較する。

既存マッピング手法 [3] と提案手法を Python を用いて計算機上に実装した。計算機環境は、OS が CentOS 6.8, CPU が Intel Xeon CPU E5-2680 v3 2.50GHz $\times 40$, メモリ容量が 270GB である。ノード数 $n = 4$ から 12 までの完全結合論理イジングモデルに対して、20K スピン CMOS

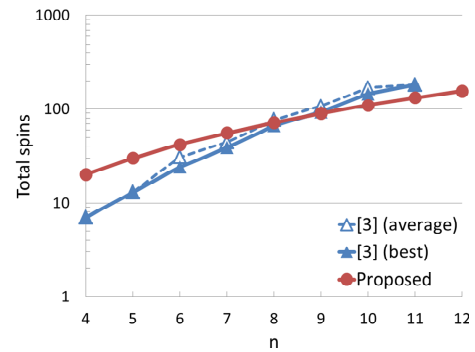


図 3 合計必要スピンの比較.

アニーリングマシンを対象にそれぞれの手法で得られる結果を表 1 と図 3 にまとめる。手法 [3] の“最小”と“最大”は各論理スピンのマッピングの内、物理スピン数の最小値と最大値を表し、“合計”は総物理スピン数を表す。提案手法の合計物理スピン数は 4 章で計算したように $n^2 + n$ である。

結果より、 n が小さいとき ($n \leq 7$)、手法 [3] の方が必要な物理スピン数が少なく、 n が大きいとき ($n \geq 8$)、手法 [3] は冗長なスピンを多く必要とし、提案手法の方が必要な物理スピン数が少ないことがわかる。よって、実問題のイジングモデルのサイズを考えると、提案手法の方が必要な物理スピン数が少なく済むといえる。加えて、手法 [3] は論理スピンに対してマッピングされる物理スピン数にばらつきがあること、提案手法は常に一定のマッピングを得られるのに対し手法 [3] は解が収束しないことがあることから提案手法に優位性があるといえる。

5.2 組合せ最適化問題へ適用した評価

提案手法で得られるイジングモデルマッピングを組合せ最適化問題を解くフローに適用したときの評価するために組合せ最適化問題「グラフの最大カット問題」を例題として取り上げそれを解く。

グラフ $G = (V, E)$ の最大カット問題を解く。ここで、 V と E はそれぞれ G のノード集合とエッジ集合である。グラフ G を 2 つのグループ S と T に分割したい。ただし、制約条件として、2 分割されたそれぞれのグループのノード数は等しい ($|V|$ が偶数の場合) または 1 だけ異なる ($|V|$

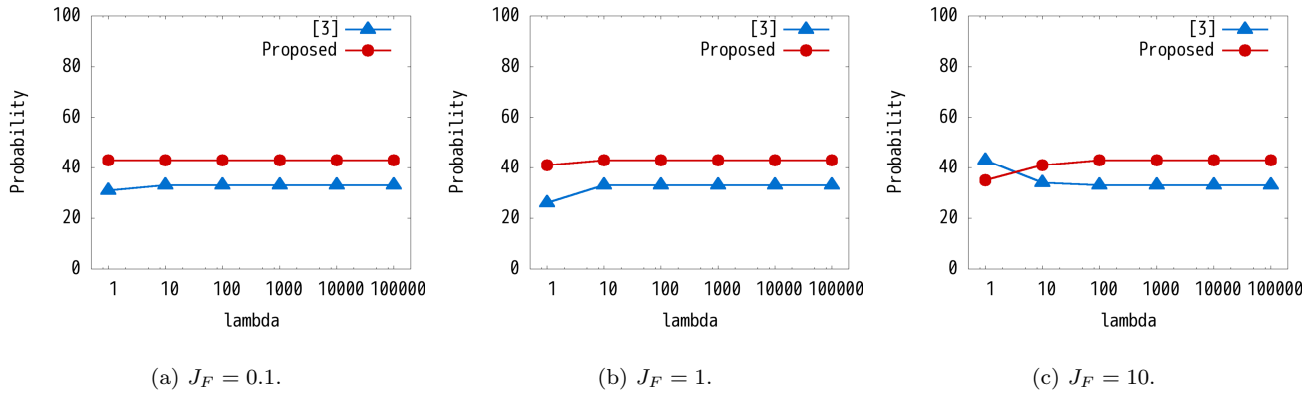


図 4 最大カット問題 (グラフ SE3) での手法 [3] と提案手法の許容解が得られる割合の比較。

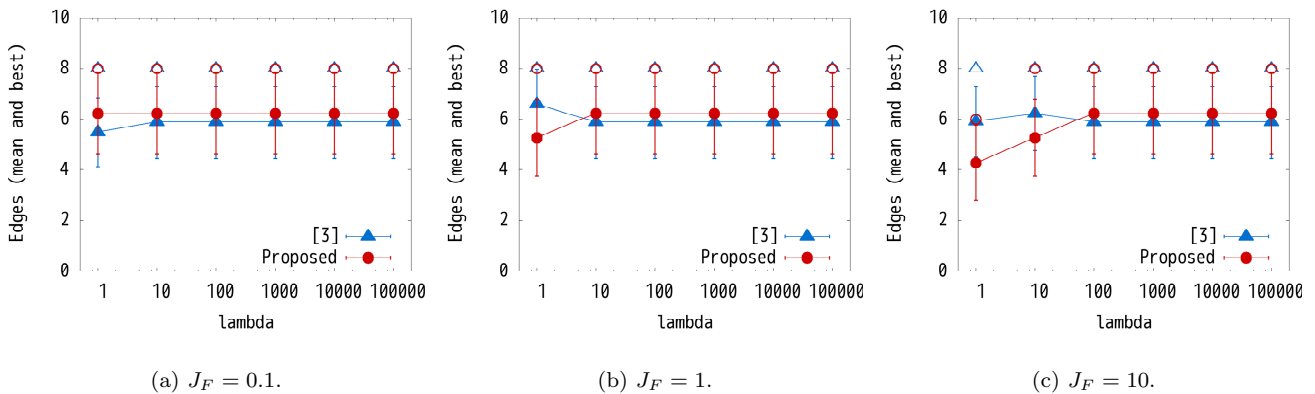


図 5 最大カット問題 (グラフ SE3) での手法 [3] と提案手法の解の品質 (エッジ数) の比較。
白抜ききの記号は最良解, 折れ線は許容解でのエッジ数の平均値, エラーバーは標準偏差を表す。

が奇数の場合) を設ける。このとき、 S と T にまたがるエッジの個数を最大化する。これを論理イジングモデルとして定式化する。[6] を参考に、 $|V|$ 個だけ論理スピンを用意して、 V 中の各ノードを論理スピンと一対一対応させる。 σ の値が $+1$ であれば S に属し、 σ の値が -1 であれば T に属するとする。イジングモデルは次のように定式化される。

$$H = - \sum_{(i,j) \in E} \frac{1 - \sigma_i \sigma_j}{2} + \lambda \left(\sum_{i \in V} \sigma_i \right)^2. \quad (4)$$

第 1 項は、目的関数を表す項である。各エッジに対してグループが異なれば 1、そうでなければ 0 をエネルギー H から減ずることで、エネルギー H が基底状態 (最小) になるときに両端のノードが異なるグループに属するようなエッジ数を最大化する。第 2 項は、制約条件を表す項である。 $|S| = |T|$ のときこの項が最小となり、 S と T の個数が異なるときエネルギー H が増大するペナルティになる。ここで、 λ は制約条件の重みを調整するための正のパラメータである。式 (4) を変形すると、

$$H = \frac{1}{2} \sum_{(i,j) \in E} \sigma_i \sigma_j + \lambda \sum_{i \in V, j \in V} \sigma_i \sigma_j + \text{const} \quad (5)$$

となり、式 (5) をイジングモデルのエネルギー式 (1) と比較すると、相互作用係数と外部磁場は次のように表される。

表 2 シミュレーション設定項目。

項目	設定値
スピン初期値	ランダム
スピン反転確率 (開始時点)	0.75
スピン反転確率 (終了時点)	0.001
ステップ数	100,000 ††

†† 実機 (100MHz 動作) で 10ms 要する。

$$J_{ij} = \begin{cases} -\frac{1}{2} - \lambda & \text{if } (i, j) \in E \\ -\lambda & \text{otherwise} \end{cases} \quad (6)$$

$$h_i = 0. \quad (7)$$

5.2.1 マッピング手法 [3] との比較

手法 [3] と提案手法で得られるマッピング結果を比較するために、それぞれの手法で得られるマッピングを用いて 20K スピン CMOS アニーリングマシンシミュレータ [7,9] を用いてグラフの最大カット問題を解いた。実験で使用したグラフは、Paderborn University AG-Monien が提供している Graph Collection [1] からノード数が 8 個である SE3 を選んだ。パラメータ λ を 1, 10, 100, 1000, 10000, 100000, J_F を 0.1, 1, 10 に変化させて実験した。各パラメータでシード値を変更させて 100 回シミュレーションを実行した。シミュレーション設定項目を表 2 に示す。

実験結果を図 4 と図 5 に示す。図 4 は各 J_F での制約条件 (ノード数を 2 等分する制約) を満たした許容解が得ら

表 3 最大カット問題を提案マッピング手法を用いて 20K スピン CMOS アニーリングマシン上で解いた実験結果.

Graph	制約重み λ	#edges ^{†††}		
		$J_F = 0.1$	$J_F = 1$	$J_F = 10$
SE3 ($ V = 8, E = 10$)	1	5.48 / 8 / 4 (31%)	6.62 / 8 / 4 (26%)	5.91 / 8 / 2 (43%)
	10	5.88 / 8 / 4 (33%)	5.88 / 8 / 4 (33%)	6.24 / 8 / 2 (34%)
	100	5.88 / 8 / 4 (33%)	5.88 / 8 / 4 (33%)	5.88 / 8 / 4 (33%)
	1000	5.88 / 8 / 4 (33%)	5.88 / 8 / 4 (33%)	5.88 / 8 / 4 (33%)
BFLY3 ($ V = 24, E = 48$)	1	25.31 / 32 / 18 (32%)	14.64 / 22 / 12 (28%)	10.08 / 14 / 8 (51%)
	10	25.31 / 32 / 18 (32%)	25.31 / 32 / 18 (32%)	14.64 / 22 / 12 (28%)
	100	25.31 / 32 / 18 (32%)	25.31 / 32 / 18 (32%)	25.31 / 32 / 18 (32%)
	1000	25.31 / 32 / 18 (32%)	25.31 / 32 / 18 (32%)	25.31 / 32 / 18 (32%)
Grid8x8 ($ V = 64, E = 112$)	1	57.40 / 76 / 47 (20%)	12.67 / 18 / 8 (24%)	8.97 / 12 / 8 (59%)
	10	57.40 / 76 / 47 (20%)	57.40 / 76 / 47 (20%)	12.67 / 18 / 8 (24%)
	100	57.40 / 76 / 47 (20%)	57.40 / 76 / 47 (20%)	57.40 / 76 / 47 (20%)
	1000	57.40 / 76 / 47 (20%)	57.40 / 76 / 47 (20%)	57.40 / 76 / 47 (20%)
FFT4 ($ V = 80, E = 128$)	1	65.10 / 78 / 56 (20%)	20.50 / 36 / 16 (32%)	17.30 / 22 / 16 (57%)
	10	65.10 / 78 / 56 (20%)	65.10 / 78 / 56 (20%)	20.50 / 36 / 16 (32%)
	100	65.10 / 78 / 56 (20%)	65.10 / 78 / 56 (20%)	65.10 / 78 / 56 (20%)
	1000	65.10 / 78 / 56 (20%)	65.10 / 78 / 56 (20%)	65.10 / 78 / 56 (20%)

††† #edges の項目は制約を満たす許容解での最大カットライン上のエッジ数の内訳を “平均 / 最良 / 最悪 (制約を満たす許容解の割合)” の形式で表す.

れた割合, 図 5 は各 J_F での許容解での解 (エッジ数) の平均値と最良値をそれぞれ表す. 図 4 の結果より, 提案手法は $J_F = 10, \lambda = 1$ のときを除き, 許容解が得られる割合が大きいことがわかる. これは提案手法は各論理スピンを同じ数の物理スピンにマッピングする (問題 1 の条件 3 を満たす) ことが要因だと考えられる. 図 5 の結果より, λ が大きいところで提案手法が平均的に良い解を得ることがわかる.

5.2.2 他のグラフに対する提案手法の評価

他のグラフに対して提案手法を用いて 20K スピン CMOS アニーリングマシンシミュレータ [7,9] を用いてグラフの最大カット問題を解いた. 実験で使用したグラフは, Graph Collection [1] からノード数が数個から 100 個以下の規模である 4 個を選んだ. パラメータ λ を 1, 10, 100, 1000, J_F を 0.1, 1, 10 に変化させて実験した. 各パラメータでシード値を変更させて 100 回シミュレーションを実行した. シミュレーション設定項目は 5.2.1 項での実験と同様である.

実験結果を表 3 に示す. 試行 100 回のうち, 許容解でのエッジ数の最良, 最悪, および平均値を示す. FFT4 (ノード数: 80) のような提案手法でマッピング可能な範囲の中で大きい規模のグラフでも解を得られることがわかる. どのグラフにおいても, $\lambda = 1$ または 10 において, J_F が大きくなるにつれ許容解が得られる割合が大きくなるが解の品質が低下する傾向が見られる. J_F を固定して注目すると λ が大きくなるにつれ許容解が得られる割合が小さくなるが解の品質が向上する傾向が見られる.

6. おわりに

本稿では, 20K スピン CMOS アニーリングマシンを対象とした完全結合イジングモデルのマッピング手法を提案した. 計算機実験により, 既存手法と比較して現実的なイジングモデルのサイズではより少ないスピン数でマッピングできること, 実組合せ最適化問題を通して既存手法と比較して許容解を得られる割合, および解の品質が優れていることを確認し, 提案手法の有効性を示した.

今後の課題として, $C \geq 2$ のときのマッピング手法の考察と評価, パラメータの最適化が挙げられる.

謝辞 この成果は, 一部, 国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務の結果得られた.

参考文献

- [1] AG-Monien, “Graph collection,” <http://www2.cs.uni-paderborn.de/cs/ag-monien/RESEARCH/PART/graphs.html>.
- [2] P. I. Bunyk, E. M. Hoskinson, M. W. Johnson, E. Tolkacheva, F. Altomare, A. J. Berkley, R. Harris, J. P. Hilton, T. Lanting, A. J. Przybysz, and J. Whittaker, “Architectural considerations in the design of a superconducting quantum annealing processor,” *IEEE Trans. on Applied Superconductivity*, vol. 24, no. 4, pp. 1–10, Aug 2014.
- [3] J. Cai, B. Macready, and A. Roy, “A practical heuristic for finding graph minors,” *arXiv preprint arXiv:1406.2741*, 2014.
- [4] D. Eppstein, “Finding large clique minors is hard,” *Journal of Graph Algorithms and Applications*, vol. 13, no. 2, pp. 197–204, 2009.
- [5] M. W. Johnson, M. H. S. Amin, S. Gildert, T. Lanting, F. Hamze, N. Dickson, R. Harris, A. J. Berkley, J. Johansson, P. Bunyk, E. M. Chapple, C. Enderud, J. P. Hilton, K. Karimi, E. Ladizinsky, N. Ladizinsky, T. Oh, I. Perminov, C. Rich, M. C. Thom, E. Tolkacheva, C. J. S. Truncik, S. Uchaikin, J. Wang, B. Wilson, and G. Rose, “Quantum annealing with manufactured spins,” *Nature*, vol. 473, no. 7346, pp. 194–198, May 2011.
- [6] A. Lucas, “Ising formulations of many NP problems,” *Frontiers in Physics*, vol. 2, pp. 1–15, 2014.
- [7] T. Okuyama, C. Yoshimura, M. Hayashi, and M. Yamaoka, “Computing architecture to perform approximated simulated annealing for ising models,” in *Proc. of 2016 IEEE International Conference on Rebooting Computing (ICRC)*, pp. 1–8, Oct 2016.
- [8] D. Venturelli, S. Mandrà, S. Knysh, B. O’Gorman, R. Biswas, and V. Smelyanskiy, “Quantum optimization of fully connected spin glasses,” *Physical Review X*, vol. 5, no. 3, pp. 031040:1–031040:8, Sep 2015.
- [9] M. Yamaoka, C. Yoshimura, M. Hayashi, T. Okuyama, H. Aoki, and H. Mizuno, “A 20k-spin ising chip to solve combinatorial optimization problems with CMOS annealing,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 1, pp. 303–309, Jan 2016.