

# 容量配置最適化に向けた 15nm 世代 LSI・パッケージ・ ボード電源網解析モデルの構築

金本 俊幾<sup>1,a)</sup> 葛西 孝己<sup>1</sup> 今井 雅<sup>1</sup> 黒川 敦<sup>1</sup> 橋本 昌宜<sup>2</sup> 陳 俊<sup>2</sup> 神藤 始<sup>3</sup>

**概要:** モバイル機器等の SoC として用いられる LSI においては, MOS トランジスタの微細化とともに低電圧化が進んでいる. それに伴い電源電圧の変動に対する許容値も低下するため, 電源変動を緩和するデカップリングコンデンサについては, 容量配分とともに配置, 実装方法, 高周波特性が重要となってきている. 我々は, 微細・低電圧プロセスにおけるデカップリングコンデンサの効果を評価し, 最適化をはかるため, NanGate 15nm の PDK および PTM モデルパラメータを用いた LSI・パッケージ・ボード電源網解析モデルを構築した. 本発表では, 構築した解析モデルの概要と, NanGate 15nm PDK を用いたオンチップ電源網の回路構成, 素子パラメータの決定方法を示す.

## LSI-Package-Board Power Delivery Network Modeling for Capacitor Placement Optimization at 15nm Node

TOSHIKI KANAMOTO<sup>1,a)</sup> KOKI KASAI<sup>1</sup> MASASHI IMAI<sup>1</sup> ATSUSHI KUROKAWA<sup>1</sup>  
MASANORI HASHIMOTTO<sup>2</sup> CHEN JUN<sup>2</sup> HAJIME KANDO<sup>3</sup>

**Abstract:** With the advancement in shrinking of MOS-FETs, the operating voltages of System-on-a Chip LSIs for mobile application becomes low. Since it leads to lowering the operating margin against the voltage variation, placement, implementation, and high-frequency characteristic of de-coupling capacitors, as well as distribution, are getting more important. The authors establish an LSI-Package-Board power delivery network model using NanGate 15nm PDK and the corresponding model parameters, which will contribute to evaluating and optimizing effects of de-coupling capacitors for fine scale low voltage LSI. In this paper, we present the constructions of the power delivery networks, as well as the method to determine the parameters of the on-chip network.

### 1. はじめに

スマートフォンをはじめとするモバイル機器に搭載される SoC(System on a Chip) は微細化が進み, 多数の CPU コアを搭載できるようになってきた. しかし, 動的消費電力を抑える低電圧下に伴い, スイッチング動作により生じる電源電圧の変動が CPU 性能の制約要因となっている [1]. 電源電圧変動を回路動作の許容範囲に収めるには, 変動

の周波数に追従して電流を供給する必要がある. そのためには負荷から電圧源をみたインピーダンスを一定(ターゲットインピーダンス)以下に抑えることが要求される [2]. 当該インピーダンスを下げて必要な電流を供給するため, デカップリング(バイパス)容量素子(コンデンサ, キャパシタ)が用いられる. 比較的低い周波数の電圧変動に対しては容量値の大きいボード上のキャパシタが有効となるが, 直列に接続されるインダクタ成分のため, 高い周波数領域をカバーするためにはより LSI に近いキャパシタが必要となる. ただし, 実装により容量値が制限されるため, 配置と特性とのトレードオフが存在し, ボード上のキャパシタを最適化する手法が提案されている [3][4]. 近年, FOWLP(Fan Out Wafer Level Package) など実装技術の進歩により埋め

<sup>1</sup> 弘前大学  
Hirosaki University, Aomori 036-8561, Japan

<sup>2</sup> 大阪大学  
Osaka University

<sup>3</sup> 株式会社村田製作所  
Murata Manufacturing Co., Ltd.

a) kana@hirosaki-u.ac.jp

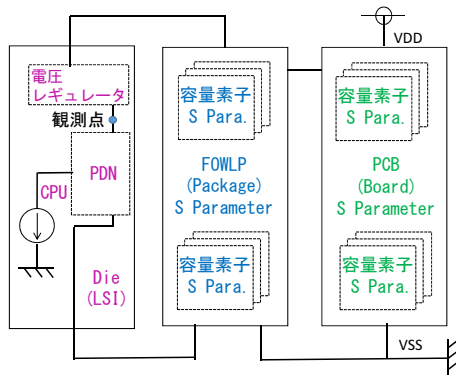


図 1 LSI・パッケージ・ボード電源網解析モデル

Fig. 1 PDN model consists of LSI, Package, and PCB.

込み MLCC (Multi-Layered Ceramic Capacitors) などの新たな選択肢が現れてきた [5]. 我々は、これら容量素子を含めた最適化を目的とし、先端の 15nm FinFET プロセスに対応する電源網 (Power Delivery Network : PDN) 解析モデルの構築を行った。

## 2. LSI・パッケージ・ボード電源網解析モデル

構築した電源網解析モデルは、LSI・パッケージ・ボードの PDN [6], 変動する出力負荷に対して安定した電圧を供給するオンチップまたはオフチップ電圧レギュレータ [7], 容量素子 [8], および CPU コア [9] からなる。概略を図 1 に示す。ターゲットインピーダンスの根拠となる電源電圧変動を評価するため、SPICE 系シミュレータによる過渡解析ができる構成とした。観測点は電圧レギュレータの直後とする。以下、LSI の PDN, ボード・パッケージの PDN, 電圧レギュレータ, CPU コアの各モデルについて説明する。

### 2.1 LSI の PDN モデル

LSI の PDN モデルは NanGate 15nm PDK [10], PTM 14nm PTM-MG (Low-Standby Power, Nominal Vdd = 0.8V) [11] を用いて構築した。標準セルを構成する FinFET のトランジスタモデルは BSIM-CMG [12] に基づいている。FinFET はその 3次元構造により、従来のプレーナ型に対してセルの内部容量に占める Fin 近傍容量の割合、および形状パラメータ依存が大きい [13]. LSI の PDN モデルでは、セル内容量が最大となるように形状パラメータを選択し、容量の見積もりを行った。LSI の面積  $5\text{mm}^2$ , 2点間の電源配線抵抗  $2\Omega$  以下、インダクタンス  $1\text{nH}/\text{mm}$  (単線) と仮定し、LSI の PDN モデルを構築した。配線容量は ITRS ロードマップの対応するプロセス世代の値に基づいて見積もる [14]. 後述する CPU コアの消費電流に関して AC 解析およびフィッティングを行い、面積比より LSI の PDN における総容量を  $30\text{nF}$  程度と推定した。CPU コアの容量推定に用いた等価回路を図 3 に、最小二乗法を

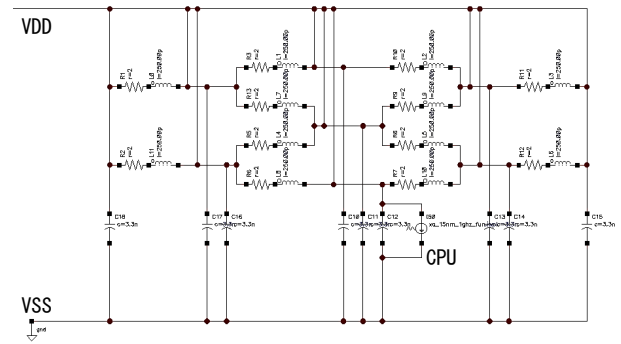


図 2 LSI の PDN モデル

Fig. 2 PDN model for LSI.

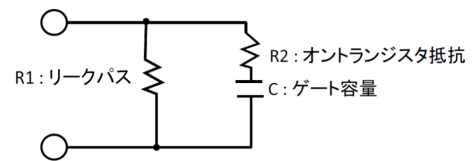


図 3 CPU コア容量等価回路

Fig. 3 Equivalence circuit for CPU core capacitance.

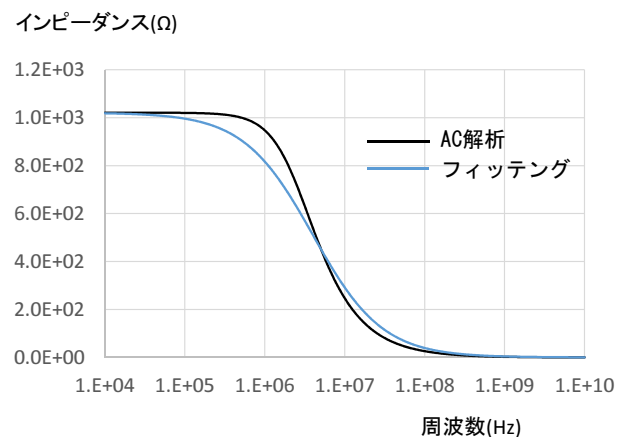


図 4 AC 解析フィッティング結果

Fig. 4 Fitting to AC analysis.

用いた AC 解析へのフィッティング結果を図 4 に示す。なお、現時点では回路シミュレータの入力となるネットリストに現れないウエル間の容量については考慮していない。また、Metal-Oxide-Metal (MOM) 容量や Metal-Insulator-Metal (MIM) 容量, MOS 容量などのオンチップデカップリング容量については、総容量の 10% 程度と仮定した。構築した PDN モデルの等価回路を図 2 に示す。

### 2.2 ボード・パッケージの PDN モデル

ボード・パッケージの PDN モデルは、LSI から遠方の PCB 領域, LSI 近傍の PCB 領域, および FOWLP の領域に分割した。それぞれに対して最適化された有限要素法ベースの電磁界解析を用い、S パラメータとして PDN モデルを求める。特に FOWLP の領域は縦構造が複雑となり、解析結果に誤差を生じやすい。そこで S パラメータに

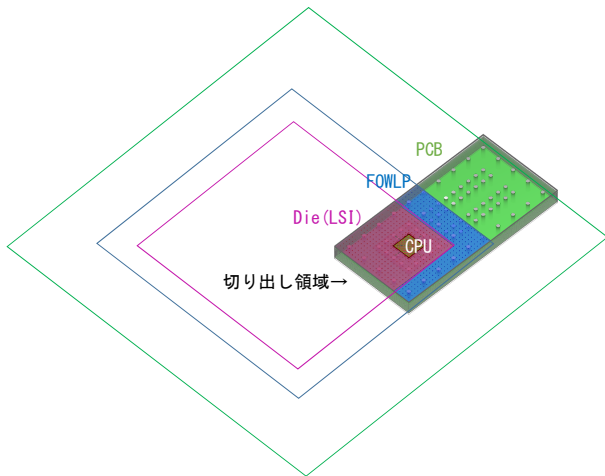


図 5 パッケージ・ボードモデル  
Fig. 5 Package and PCB model.

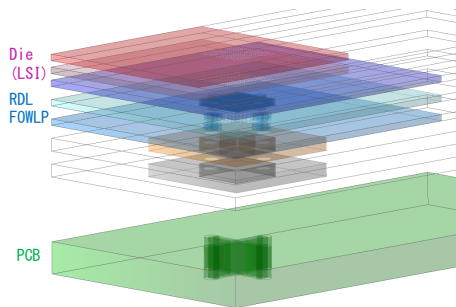


図 6 パッケージ・ボード縦構造  
Fig. 6 Package and PCB cross-sectional view.

おける因果性, 安定性を保つため, 3次元電磁界解析を適用した [15][16]. 解析領域は, 着目する電源配線の周辺を切り出している. 全体を図5に, 縦構造を図6に示す. 最適化対象の容量素子は独立したMLCCのS-Parameter[8]とし, 配置を自由に変更できるようにした. FOWLPのSパラメータには, LSIの再配線層(Re-Distribution Layer: RDL)までを含む.

### 2.3 電圧レギュレータ

低電圧化が進み, 電源は一般に電圧レギュレータ (VR) を介してLSIに供給される. 近年では埋め込みMLCCとともに, LSI近傍に配置もしくは混載されるIVR(Integrated Voltage Regulator)が注目されている [17]. 今回, LSIへの搭載が容易で, かつ高い効率が得られるスイッチトキャパシタ型降圧コンバータ (SC-IVR) とし, 図7に示すトランジスタ回路モデルとした [7]. このSC-IVRは, 端子INに入力される電源電圧を1/2に降圧して端子OUTに出力する. 端子CFLY\_POSおよびCFLY\_NEGはチャージポンプのフライングキャパシタに接続する. M1\_GATE, M2\_GATE, M3\_GATE, M4\_GATEに入力するクロックの周波数およびフライングキャパシタの容量は, 効率が最大となる値を選定した [18].

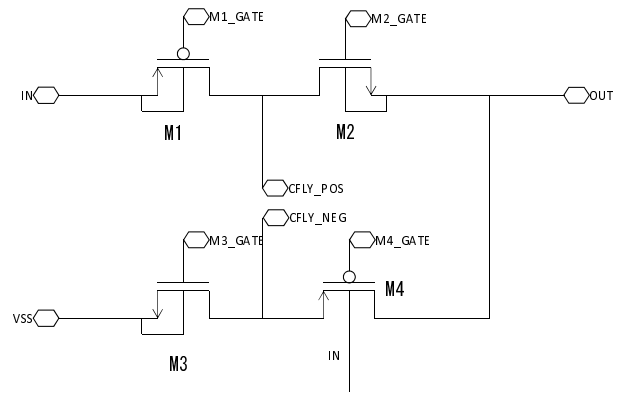


図 7 電圧レギュレータ  
Fig. 7 Voltage regulator.

図5におけるSC-IVRの配置はLSIへ搭載した場合を表している. このとき, x1インバータに相当する形状パラメータNFINの値は, 文献 [13] よりPFET:3, NFET:2とした.

### 2.4 CPU コア

NanGate 15nmセルライブラリを用いて, 32ビット5段パイプラインマイクロプロセッサOpenRISC[9]を論理合成し, PDN負荷モデルを作成した. 論理合成は, 動作電圧0.8Vでクロック周波数1GHzの条件で行った. 回路の消費電力をシミュレーション評価するため, スタンダードセル部分はトランジスタレベル, SRAMは動作モデルとしてネットリストを作成し, ミックストモードシミュレーションを実行して電流波形を取得する. 求めた電流波形は, 図2に示したLSIのPDNモデルに付加している.

### 3. PDN 解析

図1に相当するテストベンチを用い, LSI・パッケージ・ボードのPDNに対して回路シミュレータ [19]を用いて過渡解析を行った結果を図8に示す. また, SC-IVRの電位が安定した後, 0.4 $\mu$ sec. から1.0 $\mu$ sec. までの時間における電圧変動の周波数分布を図9に示す.

過渡解析においては, 発散を防ぐため高精度 (Conservative) モードを使用した. PDNにおいては, CPUなどの負荷変動と, IVRのスイッチングによるノイズが重畳し, 電源電圧の変動 (リップルノイズ) を生じる. 解析結果からも, SC-IVRの定常状態において0.4mV程度の振幅をもつ残留リップルノイズが, なお広範な周波数に分布していることがわかる. パッケージ・ボード領域に接続したMLCC容量素子の配置, 実装方法, 高周波特性や, SC-IVRのオンチップオフチップ配置の違いにより, リップルノイズの大きさや周波数分布は変化するが, これらについては今後解析を進める予定である.

### 4. むすび

モバイル機器等に用いられるSoCを想定したLSI・パッ

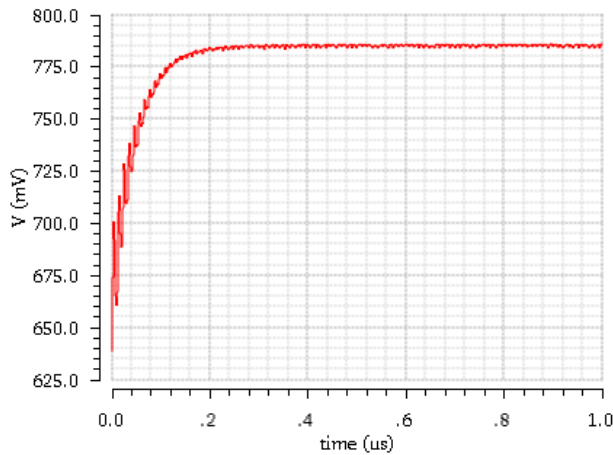


図 8 過渡解析結果

Fig. 8 Transient analysis result.

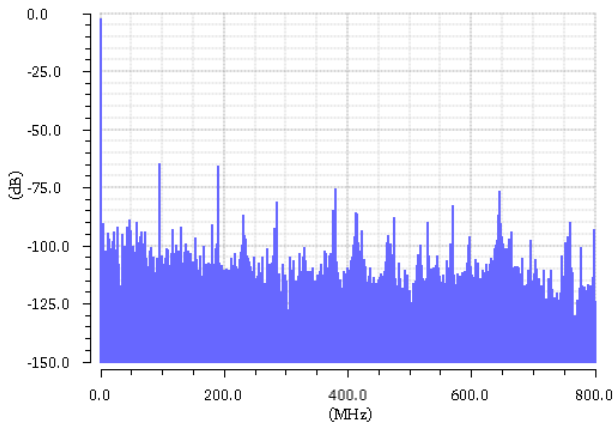


図 9 周波数スペクトラム

Fig. 9 Frequency spectrum.

ケージ・ボードからなる電源網の解析モデルを 15nm FinFET プロセス世代について構築した。解析モデルは LSI・パッケージ・ボードの PDN, 電圧レギュレータ, 容量素子, および CPU コアからなる。回路シミュレータを用いた過渡解析により, CPU の負荷変動および IVR のスイッチングノイズの重畳で生じる電源リップルノイズの時間変化, および周波数分布を解析した。

SoC の低電圧化に伴い, 電源変動を緩和するデカップリングコンデンサの容量配分, 配置, 実装方法, および高周波特性が重要となってきた。今後, 構築した LSI・パッケージ・ボード電源網解析モデルを用い, 微細・低電圧プロセスにおけるデカップリングコンデンサの効果を評価し, 最適化手法に繋げていく予定である。

なお, 本発表で示したオンチップ電源網の回路構成, 素子パラメータの決定方法については実 LSI にも適用可能である。ただし, 回路シミュレータの入力に現れないウエル間容量については未考慮であり, デカップリング効果の評価が今後の課題である。

## 参考文献

- [1] H. Mair et al., "3.4 A 10nm FinFET 2.8GHz tri-gear deca-core CPU complex with optimized power-delivery network for mobile SoC performance," *2017 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, 2017.
- [2] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology," *IEEE Transactions on Advanced Packaging*, vol. 22, no. 3, pp. 284-291, Aug 1999.
- [3] F. Carri, V. Gonzalez, E. Sanchis, D. Barrientos, J. M. Blasco and F. J. Egea, "A capacitor selector tool for on-board PDN designs in multigigabit applications," *2011 IEEE International Symposium on Electromagnetic Compatibility (EMC)*, Long Beach, CA, USA, 2011, pp. 367-372.
- [4] SIwave, PIadviser manual – ANSYS inc., 2014.
- [5] S. W. Yoon, B. Petrov and K. Liu, "Advanced wafer level technology: Enabling innovations in mobile, IoT and wearable electronics," *2015 IEEE 17th Electronics Packaging and Technology Conference (EPTC)*, Singapore, 2015, pp. 1-5.
- [6] IEEE Standard Format for LSI-Package-Board Interoperable Design, IEEE 2401-2015, Dec. 2015.
- [7] H. P. Le, S. R. Sanders and E. Alon, "Design Techniques for Fully Integrated Switched-Capacitor DC-DC Converters," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2120-2131, Sept. 2011.
- [8] Murata Manufacturing Co., Ltd., "SimSurfing(WEB)," <http://ds.murata.co.jp/software/simsurfing/index.html>
- [9] Open RISC, "OR1200," <https://openrisc.io/>
- [10] Si2, "NanGate FreePDK45 Generic Open Cell Library," [https://projects.si2.org/other\\_projects\\_index.php](https://projects.si2.org/other_projects_index.php)
- [11] Arizona State University, "Predictive Technology Model (PTM)," <http://ptm.asu.edu>
- [12] University of California, Berkeley, "BSIM-CMG (Berkeley Short-channel IGFET Model Common Multi-Gate) 110.0.0 (2016)," <http://bsim.berkeley.edu/models/bsimcmg>
- [13] T. Kanamoto, T. Akamine, H. Ammo, T. Hasegawa, K. Shimizu, Y. Kumano, M. Kawano, and A. Kurokawa, "Structure optimization for timing in nano scale FinFET," *IEICE Electronics Express*, Vol. 12, No. 9, pp. 20150297, May 2015.
- [14] The International Technology Roadmap for Semiconductors, 2013 Edition, <http://www.itrs2.net/2013-itrs.html>.
- [15] P. Triverio, S. Grivet-Talocia, M. S. Nakhla, F. G. Canavero and R. Achar, "Stability, Causality, and Passivity in Electrical Interconnect Models," *IEEE Transactions on Advanced Packaging*, vol. 30, no. 4, pp. 795-808, Nov. 2007.
- [16] HFSS High Frequency Electromagnetic Field Simulation manual – ANSYS inc., 2014.
- [17] H. Li et al., "Energy-Efficient Power Delivery System Paradigms for Many-Core Processors," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 36, no. 3, pp. 449-462, March 2017.
- [18] T.V. Breussegem and M. Steyaert. "CMOS integrated capacitive DC-DC converters," Springer Science & Business Media, 2012.
- [19] Spectre Circuit Simulator manual – Cadence Design Systems, inc., 2016.