

# 薄膜 FDSOI トランジスタを用いた 低電圧動作逆方向バイアス電圧生成回路

中鉢洸太 西澤真一 伊藤和人  
埼玉大学大学院 理工学研究科

近年プロセッサの低電圧化に伴い低電圧動作 SRAM が要求されている。本研究ではこれを実現する為、SRAM の基板に対して逆バイアス電圧を与える低電圧動作 Dickson 型チャージポンプ(CP)回路を提案する。低電圧において Dickson 型 CP ではダイオード接続間の降下電圧が逆方向バイアスにより増加してしまう問題が生じる。そこで薄膜 FDSOI プロセスを採用し、PMOS トランジスタのウェルに基板バイアス電圧を与える事で閾値電圧を制御可能な CP の設計を行った。また、低電圧動作 CP は必要なキャパシタ面積が増大する問題が生じるため、PMOS の拡散領域とウェル間の拡散容量に着目した面積効率の高いキャパシタを考案した。提案 CP 回路の有効性をシミュレーション上で評価した。

## Reversed Body Bias Generator with Thin Barrier Oxide FDSOI for Low Voltage Operation

KOTA CHUBACHI SHINICHI NISHIZAWA  
KAZUHITO ITO  
SAITAMA UNIVERSITY GRADUATE SCHOOL  
OF SCIENCE AND ENGINEERING

In recent years, low voltage operation SRAM is required as the processor lowers its supply voltage. We propose a low voltage operation Dickson type charge pump (CP) circuit which generates reverse bias voltage to the substrate of SRAM circuit. Conventional NMOS based Dickson type CP is not suitable for low voltage operation since the drop voltage between diode connections increases due to increase of the reverse bias. Therefore, we adopted the thin film FDSOI process and designed the CP which can control the threshold voltage by applying the substrate bias voltage to the well of the PMOS transistors. Also, since low voltage operation CP requires large capacitor area, we propose a capacitor with high area efficiency utilizing the diffusion capacitance of FDSOI process between the PMOS diffusion region and the well.

### 1. 序論

近年プロセッサの低電圧化を実現するために、低電圧で動作する SRAM が要求されている。低電圧化が進むとトランジスタのリーク電流が増加し、読み出し動作が出来なくなる問題が生じてしまう。この問題を解決する方法としてビットセルに対して選択的に基板バイアスを与えリークを削減する方法が提案されている[1]。本研究では SRAM ビットセルの基板(N-Well)に対して電源電圧以上の電圧を与える為の薄膜 FDSOI トランジスタの特徴を利用した低電圧動作 Dickson 型チャージポンプ回路を提案する。

電源電圧を超える基板バイアス電圧を対象の基板(N-well)に対して安定供給する基板バイアス生成回路(BBG)として、チャージポンプと出力電圧をフィードバック制御する制御回路を想定する。SRAM の低電圧動作には、十分な速度で所望の電圧を充放電可能な供給能力を持つチャージポンプが必要である。本論文においては BBG の構成要素のうちチャージポンプ(CP)の設計について論ずる。図 1 に

基板バイアス電圧生成回路(BBG)を利用した SRAM の構成例を示す。

### 2. 従来手法

#### 2.1 CP の要件

薄膜 FDSOI プロセスを想定し、非動作時のオフリーク電流を制御するために N-well に与える逆方向バイアス電圧は電源電圧  $V_{DD} = 0.4V$  において 1.2V 程度を与える。逆方向バイアス電圧を生成する CP は低電源電圧において負荷の Well 容量、Well のジャンクションリーク電流に対して所望の電圧を安定供給可能であり、十分に速い立ち上がり速度、高い面積効率が求められる。

#### 2.2 Dickson 型 CP

##### 2.2.1 概要

Dickson 型 CP はダイオード接続されたトランジスタが電流を一方方向に流す性質を利用し、コンデンサと相補的なクロック信号により電荷のポンピングを行う昇圧回路で

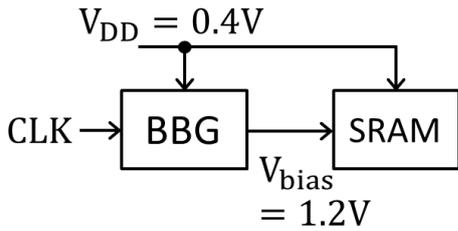


図 1 基板バイアス電圧生成回路を利用した SRAM

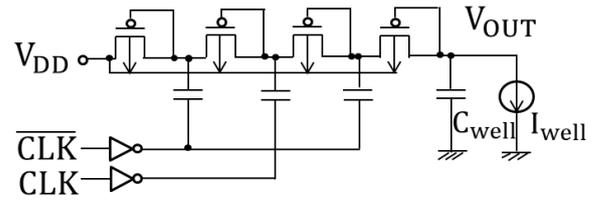


図 3 基板に $V_{DD}$ を与えた PMOS 型 Dickson-CP

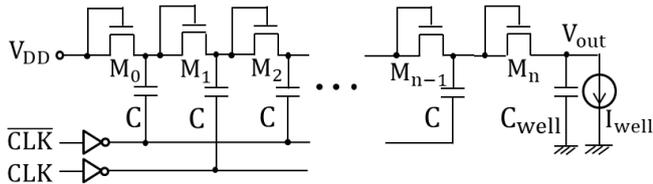


図 2 Dickson 型チャージポンプ

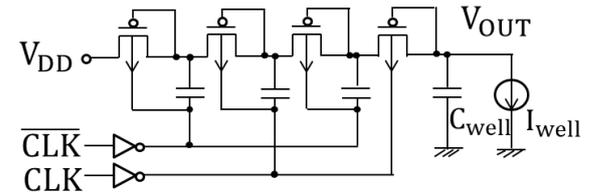


図 4 クロックを基板に印加した PMOS 型 Dickson-CP

ある[2]. 対象回路の N-well に逆方向バイアス電圧を与えることを想定すると、負荷容量、負荷電流はそれぞれ Well 容量、ジャンクションリーク電流である。ポンプアップされた電荷は負荷の Well 容量に蓄積され、出力電圧は電源電圧  $V_{DD}$  以上に昇圧される。CP1 段あたりの昇圧電圧  $V_{ga}$  は次のように表される[3].

$$V_{ga} = V_{DD} - V_{fall} \quad (1)$$

$V_{fall}$  はトランジスタの閾値電圧に依存する降下電圧である。図 2 に N-well を負荷とした Dickson 型 CP を示す。

### 2.2.2 採用理由

Dickson 型 CP は SRAM と同一の電源電圧とクロック信号から高電圧を得ることが可能である。大電流を得られずリップルが発生してしまうのが欠点であるが、今回の対象の負荷は少ない漏れ電流に加え大きな Well 容量を持つのでリップルも小さい。よって今回は昇圧回路として Dickson 型 CP を採用した。

### 2.2.3 低電圧動作の課題

低電圧化が進むと電源電圧に対してトランジスタの閾値電圧が相対的に大きくなり、各整流用トランジスタにおける降下電圧の影響が大きくなる。更に、従来の NMOS トランジスタを利用した Dickson-CP は昇圧に伴いソースの電圧が P-sub に対して高くなるため、段数が増加すると逆方向バイアス効果によって閾値電圧は高くなり、降下電圧は増加する。これは必要なキャパシタ段数の増加に繋がり

面積効率が悪化するほか、所望の電圧まで昇圧出来ない、昇圧速度が遅くなるなどの問題が生じる。

## 3. 提案手法

### 3.1 薄膜 FDSOI の特徴を利用した PMOS 型 Dickson-CP

#### 3.1.1 SOI の特徴を利用した PMOS 型 Dickson-CP

低電圧動作の課題を解決するため整流用トランジスタに PMOS が用いる手法が提案されている[4][5]. 先行研究ではバルクの PMOS トランジスタの N-well 基板を近接するノードに接続する事で段数増加による基板バイアスの増加を抑制・制御を行う。これら手法ではバルクを用いているため高い基板バイアスを与えられなかった。本論文では薄膜 FDSOI プロセスを想定し、PMOS に対し強い順方向バイアス電圧を与える構造を提案する。N 基板に電源を与えた PMOS 型トランジスタは段数増加に伴い順方向バイアス効果が発生するため閾値電圧は減少するため降下電圧は減少し、更に立ち上がり速度も上昇する。SOI プロセスの N-well と P-diff が酸化物(BOX)で絶縁された特徴により、N-well の電圧を超えて P-diff が昇圧されても順方向電流は N-well へ流れ込まない利点がある。図 3 に 基板に  $V_{DD}$  を与えた PMOS 型 Dickson-CP を示す。

#### 3.1.2 クロックを基板に印加した PMOS 型 Dickson-CP

更に高い昇圧電圧と立ち上がり速度を得るため、N-well に  $V_{DD}$  の代わりに  $0V \sim V_{DD}$  の振幅を持つクロック信号を接続した PMOS 型 Dickson-CP を提案する。P-sub から N-well

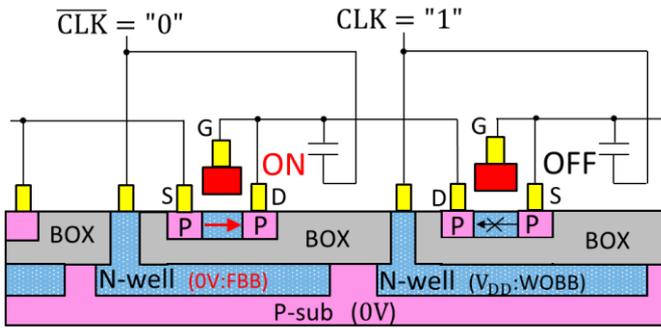


図 5 回路動作時の各トランジスタへのバイアス印加状況の模式図

に順方向電流が流れるには 0.6V 程度の電位差が必要であるが、クロックを印加した N-well の電位は最低でも 0V なので、P-sub から電流は流れ込まない。N-well が電源電圧  $V_{DD}$  で固定されているときと比較して、導通時は N-well が 0V になるので順方向バイアス効果により閾値電圧は減少、従って降下電圧  $V_{fall}$  は減少し、更に立ち上がり速度も上昇する。遮断時は N-well が  $V_{DD}$  となるので同じ遮断特性を持つ。図 4 にクロックを N-well に印加した PMOS 型 Dickson-CP、図 5 に回路動作時の各トランジスタへのバイアス印加状況の模式図を示す。

### 3.1.3 薄膜 FDSOI の拡散容量を利用したキャパシタ

面積効率の観点で最も優先して省スペース化する必要があるのはキャパシタ面積である。そこで、より良い面積効率を持つキャパシタとして薄膜 FDSOI の拡散容量を利用したキャパシタを提案する。このキャパシタは BOX 層が 10nm と非常に薄いこと[6]による高面積効率に加え、従来のメタルフリンジキャパシタと同時に使用することが出来るため、更に面積当たりの容量を増加させることが出来る。

図 6 に薄膜 FDSOI の拡散容量を利用したキャパシタの模式図を示す。P-diff と N-well の間には拡散容量が存在している。SOI プロセスにおいて P-diff と N-well は絶縁されているので、P-diff 側が高電位でも順方向電流は流れ込まない。また、N-well に対して  $0V \sim V_{DD}$  のクロックを与えることができるので Dickson 型 CP のキャパシタとして用いることができ、一方で N-well-基板間の PN 接合が容量として接続されるので、本容量の充放電によるオーバーヘッドが生じる。

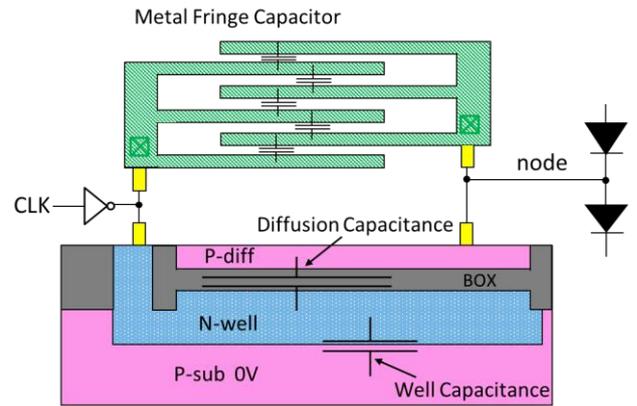


図 6 薄膜 FDSOI の拡散容量を利用したキャパシタの模式図

## 4. 65nm プロセスにおける設計実験

提案する PMOS 型 Dickson-CP、およびキャパシタの性能を評価するため、65nm FDSOI プロセスにおける設計実験を行った。  $V_{DD} = 0.4V$ 、動作周波数 1MHz を想定しレイアウト設計を行い、レイアウトから抽出した寄生素子付きネットワークリストを利用して回路シミュレーションによる評価を行った。

### 4.1 CP の設計実験

提案するキャパシタとメタルフリンジキャパシタを重ね合わせて設計したキャパシタを用いて、段数 3、同じゲート幅において 3 種の Dickson-CP、従来型の(a)NMOS、基板に  $V_{DD}$  を与えた(b)PMOS-VDD、基板にクロックを与えた(c)PMOS-CLK を設計した。インバータはキャパシタをポンプアップするのに十分な駆動力を持つよう設計した。図 7 に(c)PMOS-CLK のレイアウト図を示す。

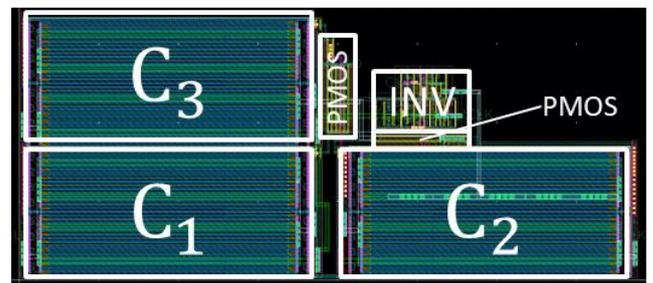


図 7 PMOS-CLK レイアウト図

表 1 SRAM(N-well)に対する昇圧試験結果

CPの種類	飽和電圧[V]	立ち上がり時間[ms]
(a)NMOS	1.0	12.0
(b)PMOS-VDD	1.14	1.83
(c)PMOS-CLK	1.2	0.88

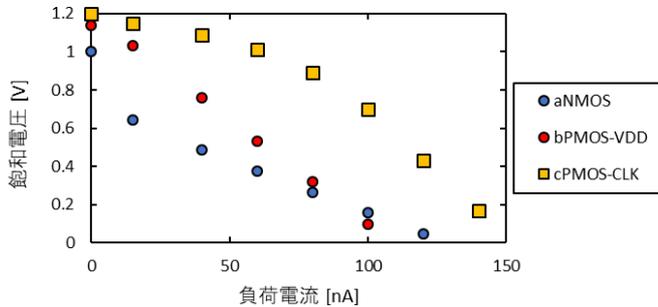


図 8 負荷電流に対する性能評価試験結果

#### 4.1.1 SRAM を模擬した N-well に対する昇圧試験

[1]の SRAM 32bit×128bit 分の N-well 負荷容量・電流を対象にシミュレーション・性能評価を行った。十分に時間が経ったときの出力電圧及び、立ち上がり時間を評価した。

#### 4.1.2 負荷電流に対する性能評価試験

負荷容量値を固定し、負荷電流を変化させたときの飽和電圧を評価した。

#### 4.2 設計実験結果

CP 用キャパシタの設計の結果、重ね合わせて設計したキャパシタの面積は従来の 0.52 倍となり面積効率は 1.92 倍に向上した。

SRAM を模擬した N-well に対する昇圧試験の結果を表 1 に示す。従来(a)NMOS に対し(b)PMOS-VDD,(c)PMOS-CLK で飽和電圧と立ち上がり時間に改善が得られた。(a)と(c)で昇圧が 1.2 倍程度の向上であったのに対し、立ち上がり速度は 14 倍の向上が得られた。

負荷電流に対する性能評価試験の結果を図 8 に示す。負荷電流増加に伴い飽和電圧は低下した。提案した(c)PMOS-CLK は負荷電流が増加した場合でも高い飽和電圧を得られた。

### 5. 結論

本研究では SRAM の低電圧動作を目的とした基板バイアス電圧生成回路を実現するためのチャージポンプについ

て検討し、薄膜 FDSOI トランジスタの特徴を利用した低電圧動作 Dickson 型 CP 回路、及び拡散容量を利用したキャパシタを提案した。65nm プロセスにおける設計実験を行った結果、提案キャパシタを利用することによりキャパシタ面積は従来の 0.52 倍となった。また、SRAM を模擬した N-well に対する昇圧試験では提案 CP は従来と比較して昇圧電圧が 1.2 倍、立ち上がり時間が 14 倍に向上した。その後、負荷電流に対する性能評価試験の結果、負荷電流が増加しても提案 CP は従来より高い昇圧を得られた。

#### 参考文献

- 1) 中馬良兵, 他 “極低電圧動作を目指した D-Nwell レス細粒度基板バイアス SRAM ビットセルの検討” DA シンポジウム 2016
- 2) J. F. Dickson, “On-Chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique,” IEEE J. Solid-State Circuits, vol.11, pp.374-378 (June 1976).
- 3) Takanori YAMAZOE et al. “A Body-Effect-Less Charge Pump that Generates a Plus or Minus High Voltage” IEICE. Papers, C vol. J87-C No.4 pp.369-376, April. 2004.
- 4) Masahiko NOZAKI et al. “New Double Charge-Pumping Circuit for High-Voltage Generation” Proceedings of the 1998 IEICE Society Conference, C-12-25, p116,1998
- 5) Jongshin Shin et al. “A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 35, NO. 8, p1227, August. 2000.
- 6) Nobuyuki Sugii, et al. ”Local Vth Variability and Scalability in Silicon-on-Thin-BOX (SOTB) CMOS With Small Random-Dopant Fluctuation” IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 57, NO. 4, APRIL 2010