

集積ナノフォトニクスに基づく光アナログ加算手法と 光並列乗算器への適用

今井 悠貴^{1,a)} 石原 亨¹ 小野寺 秀俊¹ 新家 昭彦^{2,3} 北 翔太^{2,3} 野崎 謙悟^{2,3} 高田 健太^{2,3}
納富 雅也^{2,3}

概要: 近年, ナノフォトニクス技術に基づき, 光スイッチや光配線を LSI のように集積化した光集積回路の研究が注目を集めている. 光配線および光スイッチは, 配線内の寄生抵抗や寄生容量によらず光の速度で信号を伝搬することが可能であり, 演算処理に応用することで高速な演算器の実現が期待される. 本稿では, ナノフォトニクス技術を用いた高速な光アナログ加算手法を提案し, さらに, 乗算における部分積加算に光アナログ加算手法を適応した際の光並列乗算器の回路構成を提案する. また, 提案構成に基づく光並列乗算器と CMOS 論理ゲートによる並列乗算器に関して, 回路シミュレーションにより遅延時間の比較評価を行う.

Optical Analog Addition and Its Application to an Optical Parallel Multiplier based on Integrated Nanophotonic Technologies

YUUKI IMAI^{1,a)} TOHRU ISHIHARA¹ HIDETOSHI ONODERA¹ AKIHIKO SHINYA^{2,3} SHOTA KITA^{2,3}
KENGO NOZAKI^{2,3} KENTA TAKATA^{2,3} MASAYA NOTOMI^{2,3}

Abstract: Integrated optical circuits with nanophotonic devices have attracted attention over the recent years. Optical circuits composed of optical wires and optical switches have a potential for low-power operation and light-speed computation. Due to the potential, high performance arithmetic units are expected to be realized using the nanophotonic devices. This paper first proposes an method of optical analog addition and an architecture of an optical parallel multiplier using the optical analog addition. Next, this paper compares the performance of a CMOS parallel multiplier and the proposed optical parallel multiplier using optoelectronic circuit simulation.

1. はじめに

近年, LSI は急速な発展を遂げ, 高度な情報社会を担うキーデバイスとなっている. 今日の LSI は, トランジスタを極限まで微細化することで, 処理速度の向上と消費エネルギーの低減の両方を同時に達成した. 一方で, トランジスタの微細化に伴う配線抵抗および配線容量の増加によって, 配線遅延が増大し, LSI のさらなる処理速度の向上を妨げている [1]. また, 微細化に伴う漏れ電流の増大により

低消費エネルギー化も困難となってきており, 微細化による LSI の性能向上には限界が見えつつある.

一方, 光スイッチや光配線を LSI のように集積化した光集積回路が注目を集めている. こうした動きの背景には, フォトニック結晶に代表されるナノフォトニクス技術の発展がある. フォトニック結晶は屈折率の異なる媒質が周期的に並べられた人工結晶であり, これを用いることで, 光波長程度の寸法で光を制御することができる. フォトニック結晶の登場により, 従来よりも格段に小型の光デバイスが実現でき, 光デバイスの高集積化が可能になってきている. また, 光配線および光スイッチは, 配線内の寄生抵抗や寄生容量によらず光の速度で信号を伝搬させることが可能であり, 素子サイズを小型化することで, 素子遅延は 100

¹ 京都大学大学院情報学研究所

² NTT ナノフォトニクスセンタ
NTT Nanophotonics Center

³ NTT 物性科学基礎研究所
NTT Basic Research Laboratories

a) imai@vlsi.kuee.kyoto-u.ac.jp

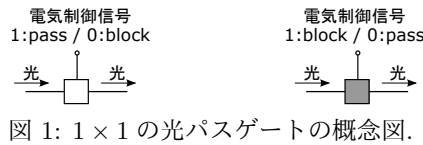
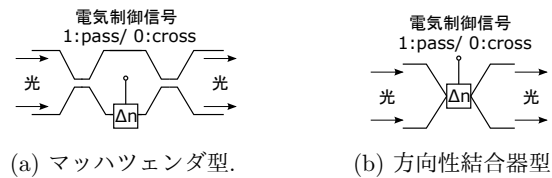


図 1: 1 × 1 の光パスゲートの概念図.



(a) マツハツェンダ型. (b) 方向性結合器型.

図 2: 2 × 2 の光パスゲートの概念図.

fs 程度まで削減されることが期待されている。さらに，光デバイスの消費エネルギーは CMOS 論理ゲートの消費エネルギーと同程度まで削減されつつある。以上の理由から，光技術による高速化かつ低消費エネルギー化を実現する光集積回路の研究が近年活発化している。

本稿では，光線形素子を用いた光アナログ加算手法を提案する。さらに，提案する光アナログ加算手法を乗算器の部分積加算に適用した際の光並列乗算器の回路アーキテクチャについても提案を行う。本稿の構成を以下に示す。第 2 章では，まずフォトリック結晶を光スイッチとして用いる光パスゲートについて紹介する。その後，本研究の対象である並列乗算器について述べる。第 3 章では，提案する光アナログ加算手法について説明する。また，光アナログ加算を用いた光並列乗算器の回路アーキテクチャについて提案する。第 4 章では，CMOS 論理ゲートにより構成された並列乗算器と提案回路による光並列乗算器について回路シミュレーションを行い，遅延時間についての評価結果を示す。最後に，第 5 章で本稿のまとめを述べる。

2. 光並列乗算器の構成要素

2.1 光パスゲートの基本原理

光パスゲートはフォトリック結晶を用いて光の ON/OFF や流出経路を制御する論理ゲートである [2]。図 1，図 2 に光パスゲートの概念図を示す。図 1 の光パスゲートは 1 × 1 光パスゲートと呼ばれ，光の ON/OFF を制御する。図 2 の光パスゲートは 2 × 2 光パスゲートと呼ばれ，光の出力先を制御する。

1 × 1 光パスゲートには，電界吸収型 (以下 EAM) やマツハツェンダ干渉計型 (以下 MZI) が存在する。EAM 型は電圧値に応じて光吸収係数を変化させ，光の強度変調を行うことで光を ON/OFF 制御する [3]。MZI 型は入力光を結合器で分岐させ，片方の導波路の屈折率を電圧で制御することで，出力側で合流時に干渉が生じ，光が ON/OFF 制御される。

2 × 2 光パスゲートには，MZI 型や方向性結合器型 (以下 DC) が存在する。MZI 型の動作原理は，上述の 1 × 1 光パスゲートの場合と同じである。DC 型は近接させた 2 本の平行導波路間で伝送光電力が移行する現象を用いたもので，印加電圧によって光の結合定数を変化させることで，光の出力経路を制御する。

2.2 並列乗算器

乗算器は 2 つの 2 進数データを入力とし，それらの積を 2 進数データとして出力する演算回路である。まずはじめに部分積を求め，その後，部分積を各桁ごとに加算するこ

とで乗算結果が得られる。並列乗算器はこの過程を 1 クロックサイクルで実現する乗算回路である。一般的な並列乗算器は，部分積生成部と部分積加算部で構成される。部分積生成部は論理積演算 (AND) ゲートを用いることで実現される。一方，部分積加算部には様々な構成方法が存在する。並列乗算器は，部分積加算部の構成の違いにより，配列型乗算器やウォリス木乗算器等の種類に分けられる。

最も基本的な構成の並列乗算器は配列型乗算器である。配列型乗算器は全加算器 (FA) をアレイ状に配置した構造になっており，最大 $2(N - 1)$ 個の FA を通過する信号パスが存在する。すなわち，演算時間は部分積の加算過程に律速される。配列型乗算器よりも高速に演算可能な並列乗算器としてウォリス木乗算器がある。ウォリス木乗算器は同一桁内の加算を並列化することで FA の段数を減らし，高速化を行なっている。N ビットの乗算の場合，並列度を最大にすると $\log_{3/2} N$ オーダの段数で桁内の全部分積の加算が完了する。各桁の桁上げ処理のために，最後に桁上げ先見加算器 (Carry Lookahead Adder: CLA) を用いる。

2.3 関連研究

近年，光パスゲートを用いて様々な論理関数を実現する研究が活発に行われている [4], [5]。光パスゲートの接続には図 3 のようにシリアル接続とカスケード接続が存在する。このうち，カスケード接続は光電変換に要する遅延のために光の高速性を活かすことができない [2], [3]。文献 [4] において，Hardy らは 2 × 2 光パスゲートにより，任意の論理関数をシリアル接続のみで実現可能であると示している。Hardy らが提案している Direct Logic を用いることで，任意の論理関数を光の伝搬速度で演算することができる。しかし，複雑な論理関数では入力数に対して指数関数のオーダの素子数が必要になるものもあり，乗算もその例に含まれる。文献 [6] では，光パスゲートに適した回路アーキテクチャとして二分決定グラフに基づく回路構成を提案している。二分決定グラフを用いることでも，任意の論理関数をシリアル接続のみで実現可能であるが，Direct Logic と同様に素子数が指数オーダとなる。したがって，Direct Logic や二分決定グラフによって乗算器を構成することは現実的ではない。

文献 [2] では，光パスゲートを用いた並列加算器が提案されている。文献 [2] で提案されている光並列加算器は，光パスゲートを直列に接続する構成により桁上げ生成回路を実現しており，光の伝搬速度で並列加算を実現している。しかし，文献 [2] で提案されている光並列加算器は，2 つの入力系列の加算を実現するものであり，乗算のように桁

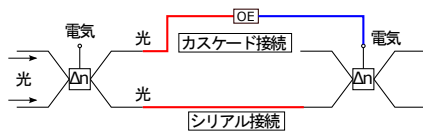


図 3: 光パスゲートの接続の種類.

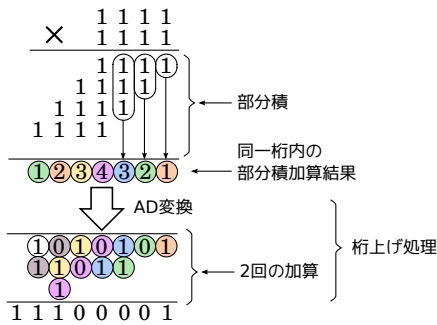


図 4: 乗算において行われる処理過程.

数に依存した個数の系列に対して加算を行う場合は、カスケード接続を伴うことになる。したがって、単純に光並列加算器で部分積を加算することにより乗算を実現しても、高速動作を期待できない。本稿では、乗算における部分積加算を光線形素子による光アナログ加算で高速化した光並列乗算器の構成を提案する。

3. 光アナログ加算手法と光並列乗算器の構成

3.1 光並列乗算器の全体構成

乗算において行われる処理について説明する。図 4 に乗算の過程を表した図を示す。まず最初の処理は部分積を生成することである。次に、生成した部分積を各桁ごとに加算する。このとき加算結果は 2 進数 1 桁では表しきれず、桁上げが生じる。そこで、最後に桁上げの処理を行うことで、最終的に 2 進数の乗算結果が得られる。桁上げ処理は図 4 に示した通り、部分積加算結果を AD 変換し、その後再度加算を行うことに相当する。

一般的な並列乗算器は部分積の加算を全加算器を用いて行う。全加算器の入出力は 2 進数を前提としており、一回の処理で加算と桁上げ処理を並列に行なっているといえる。全加算器を光パスゲートを用いて構成する場合、図 5 のようになる。ここで、入力 A および B は光電変換を通じて光パスゲートの電圧制御端子へと入力される。そのため部分積加算に全加算器を用いた場合、入力の桁数 N に依存した回数の光電変換が必要になり、光電変換による遅延に律速されてしまう。

そこで本稿では、光線形素子を用いた光アナログ加算により部分積の加算を高速化する手法を提案する。さらに、文献 [7] で提案されている桁上げ処理の削減手法に基づき、桁統合という操作により加算回数が入力の桁数に依らず定数回となるような光並列乗算器の構成を提案する。提案する構成のブロック図を図 6 に示す。提案する光並列乗算器は 4 つの部分で構成されており、部分積生成部分、部分積加算および k 桁統合部分、AD 変換部分、並列加算器からなる。各部の回路構成については 3.4 節で説明を行う。

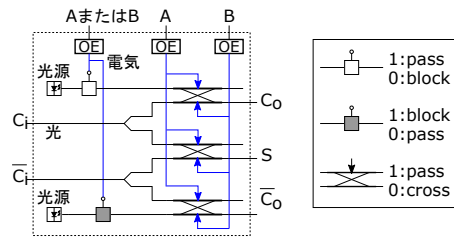


図 5: 光パスゲートを用いた全加算器の構成.

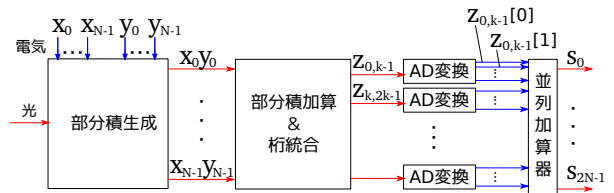


図 6: 光並列乗算器のブロック図.

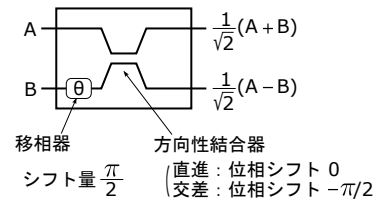


図 7: 光線形素子を用いた光アナログ加算回路.

3.2 光線形素子を用いた光アナログ加算手法

図 7 に提案する加算手法を用いた加算回路を示す。図 7 は 2 つの値 A と B の加算結果を求めている。図 7 の動作原理を説明する。まず、 A と B の値を 2 つの同波長の光の電界強度値にそれぞれ対応させる。これら 2 つの光を方向性結合器のような光線形素子を用いて合成させると光の干渉が生じる。ここで、合成時に 2 つの光の位相を揃えておくことにより、光の電界強度値が足し合わされる。すなわち、 $A + B$ に対応する電界強度値の光が出力されることになる。以上の原理により、光アナログ加算を実現することができる。

図 7 は光線形素子を用いることで回路を短尺に構成することができる。また、加算時の光電変換も不要であるため、非常に高速に加算を演算可能である。

3.3 桁上げ処理の効率化

光線形素子を用いた光アナログ加算により、部分積の加算を非常に高速に行うことが可能である。ただし、ここで得られる加算結果は 2 値に収まらず、 N ビットの乗算の場合、最大 N までの多値となる。この場合、単純に AD 変換を行い桁上げ処理を施すと、桁上げ処理において $\log_2 N$ 回の加算が必要となる。

Preparata らは文献 [7] において、多値数の加算における桁上げ処理を入力桁数に依らず定数回で行う手法を提案している。Preparata らの方法に基づいて多値数加算に対する桁上げ処理を削減する方法を図 8 に示す。図 8 は 4 ビット乗算の部分積加算における桁上げ削減処理を表している。まず、同一桁内の部分積加算結果を k 桁ずつ統合、すなわち k 桁単位で DA 変換を行う。例えば、図 8 では

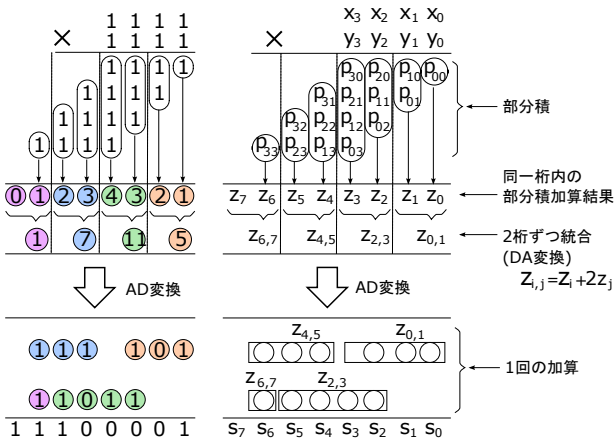


図 8: 文献 [7] の方法に基づく桁上げ削減処理.

$k = 2$ の例を示している. 図 8 に示すように, 部分積の和である z_7, \dots, z_0 の 8 個をそれぞれ 2 個ずつに区切り, 合計 4 個の集合に分割する. それぞれの集合に対し, 2 個の部分積加算結果を 1 つのアナログ量とみなし DA 変換を行う. 本稿ではこの操作を 2 桁単位の統合と呼ぶ. 次に, 統合して得られた系列を 2 進数に変換する, すなわち AD 変換を行う. ここで, AD 変換によって得られる 2 進系列は図 8 のように定数行にまとめることができる. 最後に, 定数行にまとめられた 2 進系列を加算することで, 最終的な乗算結果が得られる.

3.4 光並列乗算器の回路構成

3.4.1 部分積生成部分

部分積生成部分の回路構成を図 9 に示す. 図 9 は 1×1 の光パスゲートを 2 つ用いており, それぞれの光パスゲートの電圧制御端子に x_i と y_j を電気信号で入力する. 1×1 光パスゲートは, 電気制御端子に 1 が入力された場合に光を通過させ, 0 が入力された場合には光を遮断するものを用いる. これにより, x_i と y_j が共に 1 になる場合のみ光が出力され, それ以外の場合は光が出力されない.

3.4.2 部分積加算および k 桁統合部分

同一桁内の部分積加算と桁統合は並列して行うことができる. 図 9 は部分積加算および k 桁統合をまとめて実行する回路である. 図 9 は, 4 ビット乗算における 2 桁目と 3 桁目の部分積加算と 2 桁ずつの統合を行っており, 図 8 の部分積加算と 2 桁ずつの統合の過程を回路化したものである. 部分積の加算については, 図 7 に示した方向性結合器を用いることで実現でき, 方向性結合器をツリー状に接続することで, 同一桁内の部分積のアナログ加算を行っている. 2 桁ずつの統合については, 減衰器を用いて下位ビット z_i の電界強度が上位ビット z_{i+1} の電界強度の半分になる, すなわち $z_i = z_{i+1}/2$ が成り立つように下位ビット z_i の電界強度を減衰させてから, 方向性結合器で 2 桁分の光を合成している.

3.4.3 AD 変換

部分積加算および k 桁統合部分で得られる結果 $z_{i,j}$ はアナログ値であるため, AD 変換を行うことで 2 進数の系列

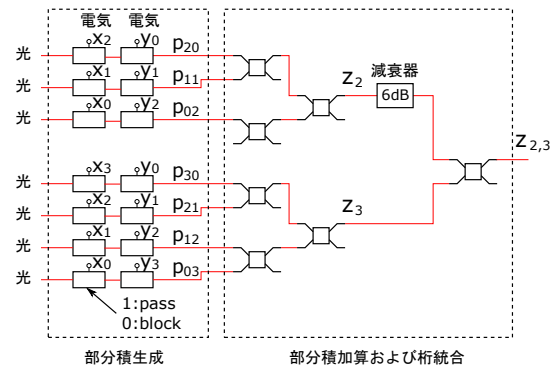


図 9: 方向性結合器を用いた 4 ビット乗算における部分積加算と 2 桁ずつの統合回路.

へ変換する. N ビットの光量子化・光符号化方法について述べる. まず, 入力のアナログ光を N 個の光に分岐させ, N アレイの符号化器に入力する. 符号化器はそれぞれ異なる周期特性の伝達関数を有しており, これにより量子化および符号化が行われる. その後, 閾値処理器により伝達関数の特性を改善し, 最終的に 2 値のデジタル出力を得る.

符号化器の伝達関数の例を図 10 に示す. 図 10 では 3 ビット分の特性を示しており, 入力されるアナログ光の電力の最大値を 1 として規格化している. 入力アナログ光の電力を 0 から 1 まで変化させると, 8 種類のデジタル符号が出力される. フォトダイオード (PD) とマッハツェンダ干渉計 (MZI) を用いた場合の符号化器の構成を図 11 に示す. まず, N 分割された入力のアナログ光信号を PD によって電気信号へと変換する. 変換された電気信号は図 11 の MZI の電気制御端子へと入力される. 図 11 の MZI では, まず光を 2 つに分岐させ, 分岐させた光の一方の位相を θ_k だけシフトしておく. 他方の光は電圧制御端子に入力される電圧値に応じて, 位相がシフトされ, 電圧 V_k で位相が θ_k シフトするようにしておく. これにより, 電圧 V_k が印加された場合, 2 つの光の位相が揃い, 光が最大強度で出力される. 印加電圧に対して線形に位相がシフトすると仮定すると, 出力される光の強度は正弦波特性を持つ. 電圧 V_k の設定を調節することで, 図 10 と同様の伝達関数を有する符号化器が構成可能である.

方向性結合器による部分積加算は光の電界振幅を加算することで実現している. 一方で, AD 変換における PD は光のパワーを電気信号へと変換する. そこで, ホモダイン検波を用いて部分積加算後の電界強度値から線形化されたパワー値を得る方法について述べる. ホモダイン検波では, 線形化を行う光信号とは別に参照光を用意する必要がある. 光信号の電界振幅を A , 参照光の電界振幅を B とすると, 光信号および参照光の電界はそれぞれ $E_1 = A \exp(i\omega t), E_2 = B \exp\{i(\omega t + \theta)\}$ と表すことができる. これらの干渉 $E_1 + E_2$ および $E_1 - E_2$ を PD により電気信号に変換すると,

$$P_1 = |E_1 + E_2|^2 = A^2 + B^2 + 2AB \cos \theta \quad (1)$$

$$P_2 = |E_1 - E_2|^2 = A^2 + B^2 - 2AB \cos \theta \quad (2)$$

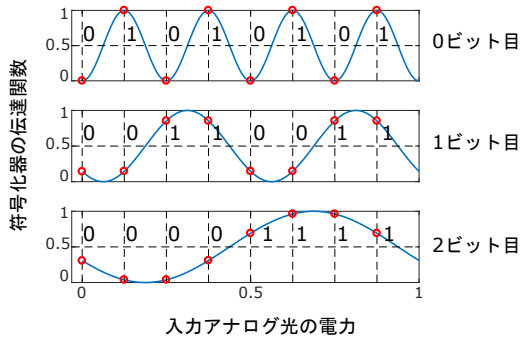


図 10: 符号化器の伝達関数.

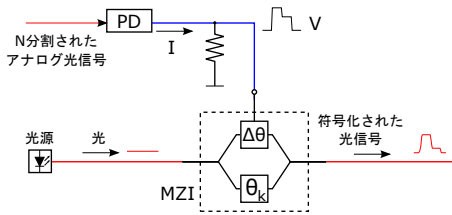


図 11: フォトダイオードとマッハツェンダ干渉計を用いた符号化器.

のパワー値に相当する電気信号が得られる. ここで, P_1 と P_2 の差を検出すると, $P_1 - P_2 \propto 4AB$ が得られ, 光信号の電界振幅値 A に比例する電気信号として得られる.

3.4.4 加算器

AD 変換によって, 最終的に $2N$ ビットの 2 進数定数行分の加算が生じる. 2 行分の加算となる場合なら, 文献 [2] で提案されている光並列加算器を用いることで高速に演算することができる. 文献 [2] で提案されている光並列加算器は光パスゲートを直列に接続する構成により桁上げ生成回路を実現しており, 光の伝搬速度で加算が演算可能である.

3 行以上の加算の場合は光並列加算器を複数段接続することで実現できる. ただし, 光パスゲートへの入力光は, 信号強度を揃えておく必要があり, 2 段目以降の加算器の入力は信号強度を適切に調整して入力する必要がある. また, 段数を重ねると信号強度の減衰が問題となる可能性がある. その場合, 強度再生のために加算器間に光電変換が必要となる.

3.5 波長多重による積和演算への応用

提案する光並列乗算器の構成では, 波長多重を適用することが可能である. 波長多重を行うことで, 乗算を並列に実行することができ, 積和演算のような演算にも応用可能である. 乗算の並列化は, 部分積生成部分において並列実行する乗算の数の分だけ別波長を用意し, リング共振器を用いて波長多重を行った光を部分積加算回路に入力することで実現することができる.

4. 回路シミュレーションによる評価

8 ビット \times 8 ビットの並列乗算器を対象として, 回路シミュレーションにより伝搬遅延時間を評価する. シミュレーションは, 市販の光電混載回路シミュレータを用いて

行う. 提案した光並列乗算器を評価するために, 第 3 章で述べた構成の光並列乗算器と CMOS 論理ゲートを用いた並列乗算器をそれぞれ設計し, 回路シミュレーションによる伝搬遅延時間の評価を行った.

4.1 光並列乗算器の評価

8 ビット乗算における部分積生成回路と部分積加算および 3 桁統合回路を設計し, 伝搬遅延時間の評価を行った. 8 ビット乗算の場合, 3 桁統合を行うことで桁上げ処理における加算回数を 1 回に削減できる. また, AD 変換では最大 6 ビットの 2 進数に変換することになる. AD 変換回路と加算器における伝搬遅延時間は, 文献から参照した値により決定する. 部分積生成回路における 1×1 光パスゲートは, 文献 [2] で紹介されている電界吸収型のものを用いることとし, 素子長は $1.3 \mu\text{m}$, 入力容量は 0.6 fF , 材料屈折率は 2.8, 消光比は 20 dB を仮定する. 1×1 光パスゲートに入力する光の電界強度は 10 mV とする. また, 部分積加算および 3 桁統合回路における方向性結合器の素子長は $100 \mu\text{m}$, 材料屈折率は 2.8 とする. 入力パターンは, $x_{15}x_{14} \dots x_0$ を $11 \dots 1$ とし, $y_{15}y_{14} \dots y_0$ のテストパターンとして, $100 \dots 000$ と $100 \dots 001$ を周期的に変化させるパターンを用いる. この場合, 部分積加算および 3 桁統合の結果は図 12 のようになる. 図 12 から, テストパターン入力時に $z_{0,1,2}, z_{3,4,5}, z_{5,6,7}$ の出力が変動し, また部分積数が最も多い $z_{5,6,7}$ の遅延が最大となることが期待される.

シミュレーション結果を図 13 に示す. 出力 $z_{0,1,2}, z_{3,4,5}, z_{5,6,7}$ の伝搬遅延時間は, それぞれ $2.8 \text{ ps}, 4.7 \text{ ps}, 4.7 \text{ ps}$ であった. 素子長 $100 \mu\text{m}$ の方向性結合器 1 段の遅延は約 1 ps となるが, $z_{0,1,2}$ は方向性結合器が 3 段, $z_{3,4,5}, z_{6,7,8}$ は 5 段接続されており, シミュレーション結果とほぼ一致する. 次に, AD 変換回路の遅延特性を評価する. AD 変換回路として, 図 11 で示した構成を用いたと仮定すると, 符号化器および閾値処理器において, フォトダイオードによる光電変換が 1 回ずつ生じる. 光電変換には 30 ps 要すると仮定し, さらにマッハツェンダ干渉計の素子長を $100 \mu\text{m}$, 材料屈折率を 2.8 と仮定すると, AD 変換回路における伝搬遅延時間は 62 ps と見積もることが可能である. 16 ビットの光並列加算器における伝搬遅延時間は, 文献 [8] において初段の光電変換およびスイッチング遅延に 25 ps , 後続のパス遅延が 15 ps で合計 40 ps になると示されている. したがって, 本稿で提案する光並列乗算器の伝搬遅延時間は 106.7 ps と見積もることができる.

また, 入力パターンとして $x_{15}x_{14} \dots x_0$ に $11 \dots 1$, $y_{15}y_{14} \dots y_0$ に $00 \dots 0$ を用いた場合の, 部分積加算および 3 桁統合回路から出力される光の電界強度を図 14(a) に示す. この場合, 部分積はすべて 0 となるため 3 桁統合の結果も 0 となるはずであるが, 図 14(a) の実験結果では最大で 2.4 mV の電界強度値をもつ光が出力されている. 図 14(a) に示している点線は, 1×1 光パスゲートおよび方向性結合器が理想的である, すなわち無損失かつ消光比が十

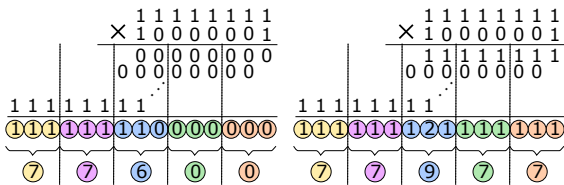


図 12: 入力パターンに対する部分積加算と 3 桁統合結果.

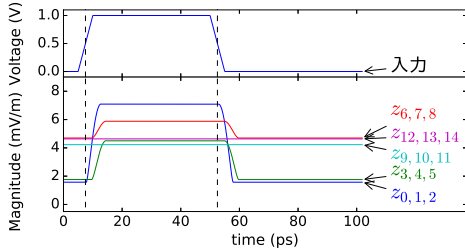
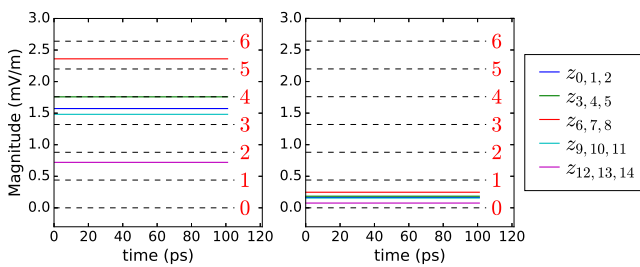


図 13: 光並列乗算器のシミュレーション結果.



(a) 多段化しない場合. (b) 多段化した場合.

図 14: 3 桁統合後の出力光の電界強度.

分大きい場合における $z_{6,7,8}$ の取り得る電界強度値のレベルを示したものである。これに基づく実験結果における $z_{6,7,8}$ は、理想的な場合における 3 桁統合の結果値 5 に相当する大きさの強度が出力されており、この場合、後続の AD 変換回路における量子化で誤りが発生する。こうした状況が生じる要因は 1×1 光パスゲートの消光比の影響にある。本実験では、 1×1 光パスゲートの消光比を 20 dB と仮定しており、この場合、部分積の信号強度は $p_{ij} = 1$ で 10 mV, $p_{ij} = 0$ でも最大で 1.0 mV となる。すなわち、部分積が 0 の場合にも光がわずかに出力される。そのため、桁統合後の出力には部分積 0 の個数分だけ強度が大きくなって現れる。この問題の解決策として 1×1 光パスゲートを多段化する方法が考えられる。入力 x_i, y_j のそれぞれに対し、 1×1 光パスゲートを直列に 2 段以上接続することで消光比を大きく取ることができる。実際に 1×1 光パスゲートの直列段数を 2 段に増やした場合について同様の実験を行った結果を図 14(b) に示す。多段化を行うことにより、部分積が 0 の場合に出力される光の電界強度を小さく抑えることができ、上記の問題が解消されることを確認した。

4.2 CMOS 並列乗算器の評価

光並列乗算器との比較のため CMOS 論理ゲートを用いた並列乗算器を設計し、シミュレーションによる評価を行った。並列乗算器はウォリス木乗算器を対象とした。CMOS 論理ゲートのデバイスモデルには PTM (Predictive Technology Model) の 16 nm High Performance model V2.1 を

使用した。入力パターンは 4.1 節と同じものを用いる。

シミュレーションの結果、伝播遅延時間が 351 ps であることを確認した。ただし、本実験では配線抵抗や配線容量を考慮していないため、実際の遅延時間はさらに大きくなると考えられる。光並列乗算器の伝搬遅延時間は 106.7 ps と見積もることができたため、提案する光並列乗算器の伝搬遅延時間は CMOS 並列乗算器の 30% である。

5. おわりに

本稿では、ナノフォトニクス技術に基づく光アナログ加算手法と光アナログ加算を用いた光並列乗算器の回路アーキテクチャを提案した。提案した光アナログ加算手法は光線形素子を用いた光の干渉により、加算を実現しているため、光の伝搬速度で演算処理を行うことができる。また、提案した光並列乗算器の回路アーキテクチャは、部分積の加算を光アナログ加算で実現した上で、桁上げ処理を桁統合により効率化している。回路シミュレーションの結果から、提案した光並列乗算器は CMOS 並列乗算器のおよそ 3.3 倍高速であることを確認した。

謝辞 本研究の一部は、科学技術振興機構の戦略的創造研究推進事業「新たな光機能や光物性の発現・利活用を基軸とする次世代フォトニクスの基盤技術」(JPMJCR15N4) の支援により行われた。

参考文献

- [1] Ceyhan, A. and Naeemi, A.: “Cu Interconnect Limitations and Opportunities for SWNT Interconnects at the End of the Roadmap”, *IEEE Transactions on Electron Devices*, Vol. 60, No. 1, pp. 374–382 (2013).
- [2] 石原亨, 新家昭彦, 井上弘士, 野崎謙悟, 納富雅也: “光パスゲート論理に基づく並列加算回路の提案と光電混載回路シミュレータによる動作検証”, 電子情報通信学会技術研究報告, Vol. 116, No. 96, pp. 109–114 (2016).
- [3] 江川巧, 石原亨, 小野寺秀俊, 新家昭彦, 北翔太, 野崎謙悟, 高田健太, 納富雅也: “ナノフォトニクスを用いた高速多入力論理演算の実現法”, DA シンポジウム論文集 (2017).
- [4] Hardy, J. and Shamir, J.: “Optics inspired logic architecture”, *Opt. Express*, Vol. 15, No. 1, pp. 150–165 (2007).
- [5] Xu, Q. and Soref, R.: “Reconfigurable optical directed-logic circuits using microresonator-based optical switches”, *Opt. Express*, Vol. 19, No. 6, pp. 5244–5259 (2011).
- [6] 浅井哲也, 雨宮好仁, 小柴正則: “二分決定グラフにもとづくフォトニック結晶集積デバイス”, 電子情報通信学会総合大会講演論文集, Vol. 2000, No. 1, pp. 386–387 (2000).
- [7] Preparata, F. P. and Vuillemin, J. E.: “Area Time Optimal VLSI Networks for Computing Integer Multiplications and Discrete Fourier Transform”, *Automata, Languages and Programming*, Vol. 115, Springer Berlin Heidelberg, pp. 29–40 (1981).
- [8] Ishihara, T., Shinya, A., Inoue, K., Nozaki, K. and Notomi, M.: “An Optical Parallel Adder Towards Light Speed Data Processing”, http://www.ece.ust.hk/~eexu/OPTICS2017/Tohru_kyotoU_OPTICS_2017.pdf.