

# パケット処理キャッシュにおける 送信元 IP アドレスに着目したミス削減手法に関する初期検討

八巻隼人<sup>†1,a)</sup> 愛甲達也<sup>†1</sup> 三輪忍<sup>†1</sup> 本多弘樹<sup>†1</sup>

**概要:** 通信量の爆発的増加が予想される今後のインターネットにおいて、コアルータのパケット処理性能の向上および消費電力の削減は重要な課題となっている。この課題の解決において問題となっていたテーブル検索処理を、キャッシュを用いることで改善するパケット処理キャッシュ (Packet Processing Cache: PPC) が近年注目されている。PPC によるパケット処理の性能向上および省電力効果はキャッシュミス率に左右されることから、これまで PPC における様々なキャッシュミス削減手法が提案されてきたが、これらの手法により、キャッシュミスの大きな割合を占める容量性ミスを削減することはできなかった。この問題に対し、PPC におけるキャッシュ不要なフローをキャッシュ登録しないことで、容量性ミスを削減する手法を検討する。本報告では、そのための初期検討として、1 パケットで構成されるミスフローに焦点を当て、送信元 IP アドレスに着目したミスフローの特定方法を検討し、またミスフローをキャッシュ登録しないことによる有効性を評価した。様々な実ネットワークのトレースを用いたシミュレーションの結果から、ミスフローをキャッシュ登録しないことで平均 12.6% のキャッシュミスを削減できると共に、ミスフローによる一過性のキャッシュミス増大を防げることが明らかとなった。また、ミスフローをキャッシュ登録しない場合、従来の PPC に対し容量性ミスの割合が減り、衝突性ミスの割合が増加することから、適切なライン置換方式と組み合わせることで従来よりも多くのキャッシュミスが削減可能となることがわかった。

**キーワード:** コアルータ, パケット処理, キャッシュ, トラフィック解析

## 1. はじめに

近年、世界的な電力消費量の増加は地球温暖化の進行を招いており、様々な分野における省電力化が重要な課題となっている[1]。中でもネットワーク機器の消費電力は、現状でも世界総発電量の数%程度を占めているにもかかわらず、今後の情報爆発に伴い増大することが懸念されており、早急な省電力化が求められている[2]。環境省の報告によると、2006 年から 2025 年にかけてインターネット通信量は 190 倍に、またネットワーク機器消費電力は 10 倍以上に増大することが予想されている[3]。特に、バックボーンネットワークに配置されるコアルータでは、トラフィックが集中することから、高スループットなパケット転送をより低電力に実現する必要に迫られている。

コアルータにおいて、パケット処理性能のボトルネックとなり、なおかつ高い電力を消費する処理として、テーブル検索処理がある[4]。ルータはパケットの処理に要する情報をルーティングテーブル、ACL (Access Control List)、QoS (Quality of Service) テーブルといった、各種テーブルに保持しており、1 パケット毎にこれら全てのテーブルを検索することでパケットを処理する。近年のコアルータは、テーブルを Ternary Content Addressable Memory (TCAM) と呼ばれる高い検索性能を有するメモリに格納することで、検索の高速化を実現している。

TCAM は入力データと TCAM 内の全キーを一斉に比較することで、1 サイクルで TCAM 内データのマッチングを行えるが、同容量の Static Random Access Memory (SRAM)

と比べても、1 検索あたり 16 倍以上の高い電力を要する[5]。特にパケット処理では、パケット毎に複数のテーブル検索を要することから、TCAM へのアクセス頻度が増大する。これにより、ルータ全消費電力の 40%程度を TCAM が占めていると報告されている[6][7]。また、TCAM は検索性能面での不足も懸念される。最短パケット長のパケットが連続してルータに到着する最悪ケースでは、TCAM により獲得できるパケット処理スループットは 100Gbps 程度となる。400Gbps を越える今後のネットワークを見据えた場合、現在のテーブル検索手法に対し、4 倍以上の性能改善が必要となる。そのため、今後は TCAM のみに頼らない新たなテーブル検索手法を模索する必要がある。

テーブル検索を改善する一つの方向性として、小規模だが高速かつ低消費電力なキャッシュメモリを用いたパケット処理キャッシュ (Packet Processing Cache: PPC) が注目されている[8][9][10]。テーブル検索では、パケットヘッダの特定フィールド値が等しいパケット群 (フロー) に同一の検索結果が返される。この事実をもとに、PPC ではフローの 1 パケット目のテーブル検索結果をキャッシュに保存し、フローの 2 パケット目以降をキャッシュにより処理することで、パケット処理の高速化、省電力化を実現する。

PPC によるスループットの向上および省電力効果は、当該フローのテーブル検索結果がキャッシュ内に存在しない、キャッシュミスの発生率に大きく左右されることから、これまで PPC のキャッシュミス削減に関して数多く研究がなされてきた。しかしながら、その研究の多くは衝突性ミスの削減にのみ焦点を当てており、キャッシュミスの大きな割合を占める容量性ミスの削減には至っていない。この問題に対し、PPC におけるキャッシュ不要なフローをキャ

<sup>†1</sup> 電気通信大学  
The University of Electro-Communications  
a) yamaki@uec.ac.jp

ッシュ登録しないことで、キャッシュ空間の利用効率を向上させ、容量性ミス削減することを検討する。本報告ではそのための初期検討として、まず1パケットで構成されるマイスフローに焦点を当て、送信元IPアドレスに着目しマイスフローを特定する方法を検討する。次にマイスフローをキャッシュ登録しないことの有効性を実ネットワークトレースを用いたシミュレーションにより評価する。

## 2. パケット処理キャッシュ

ルータのパケット処理におけるテーブル検索では、パケットヘッダ内の一つあるいは複数のフィールドを検索キーとして用いており、これらの値が等しいパケット群に対して同一のテーブル検索結果が返される。そこで、PPCでは多くのテーブル検索に用いられる5タプル値(送信元/宛先IPアドレス, 送信元/宛先ポート番号, プロトコル番号)により、パケットをフローと定義する。フローの初回パケットのテーブル検索結果をキャッシュへと保存し、同一フローの2パケット目以降をキャッシュにより処理することで、複数回のTCAMアクセスを要するテーブル検索を一度のキャッシュ参照により処理可能とする。キャッシュメモリはTCAMに比べ、アクセス時のレイテンシと消費エネルギーが低いいため、PPCによりテーブル検索の高スループット化、省電力化が期待できる。PPCはTCAMを用いた既存のテーブル検索アーキテクチャの上に追加的に実装可能であり、キャッシュミス時であっても従来と同等のテーブル検索性能が確保できるため、テーブル検索のアクセラレータとして働く。

パケット処理キャッシュの概要を図1に示した。PPCでは、前述した5タプルによる13byteのフロー情報をキャッシュタグとして用い、各種テーブルの検索結果をキャッシュデータとして格納する。例えば、パケット処理においてルーティングテーブル、ARPテーブル、ACL、QoSテーブルの検索を要する一般的なルータでは、出力ポート情報として1byte、宛先MACアドレスとして12byte、フィルタリング結果として1byte、QoS情報として1byteの計15byteがキャッシュデータとなる。

PPCのテーブル検索性能および消費電力は、キャッシュミス率に左右される。一般的に、キャッシュミスはエントリ数を増やすことで削減可能だが、メモリ容量の増加に伴うレイテンシの増大から、必ずしもこの方法によりミスを削減することが性能向上に繋がるとは限らない。特に、PPCにおいては、キャッシュ1エントリあたりの容量が28byteと大きく、またTCAMのレイテンシに対するキャッシュメモリのレイテンシの優位性を得るために小規模なメモリを使用すべきであることから、高いヒット率を得ることが困難であった。従来、キャッシュ容量を増やすことなくヒット率を向上させる手段として、ライン置換方式の改善が検討されてきた[11][12][13]。しかしながら、このアプローチ

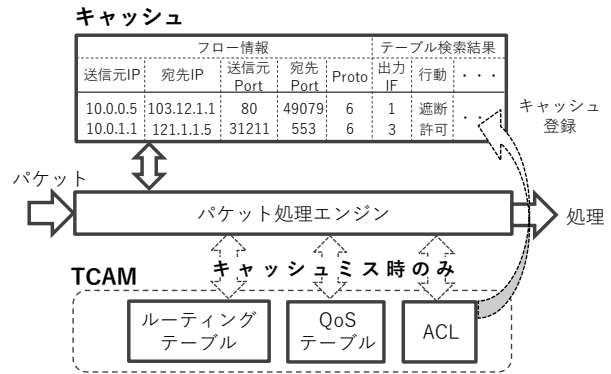


図1 パケット処理キャッシュを用いたテーブル検索処理の概要

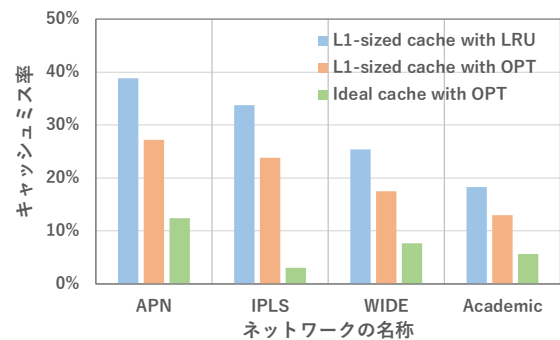


図2 異なるライン置換方式およびキャッシュ容量によるキャッシュミス率の比較

は、キャッシュ内データの取捨選択を最適化することを目的としており、キャッシュ容量以上のデータにより引き起こされる容量性ミスを削減することはできない。

図2は、5章で後述するPPCのシミュレータを用いて、4つの実ネットワークトレースにおける4wayセットアソシアティブキャッシュのミス率を測定したグラフである。比較対象として、L1キャッシュ規模のメモリにライン置換方式として一般的なLeast Recently Used (LRU)を適用した場合、L1キャッシュ規模のメモリに理想的なライン置換方式であるOptimal Page Replacement Algorithm (OPT) [14]を適用した場合、十分な容量を持つメモリにOPTを適用した場合のミス率をそれぞれ測定している。図2の測定結果より、ライン置換方式の改善によるミス削減効果はミス全体の30%程度が限界である一方、容量性ミスの削減にまで踏み込むことで全体の75%程度のミスを削減可能であることがわかった。PPCにおいては、メモリ容量を増やすことなく容量性ミスを削減できることが望ましい。そこで、本報告では、キャッシュ不要なフローのキャッシュ登録を省き、キャッシュに保存されるデータ数を減らすことで、容量性ミスを含めたキャッシュミスを削減する手法の実現を目指す

### 3. 関連研究

PPC におけるキャッシュミス削減を目的とした研究は大きく 2 種類に分類される。一つは衝突性ミスの削減に焦点を当てた手法、もう一つは容量性ミスの削減に焦点を当てた手法である。本章では、これら二つのアプローチについて既存研究を紹介し、その利点と欠点について分析する。

衝突性ミスの削減に焦点を当てた研究としては、キャッシュインデックスの改善とライン置換方式の改善がある。Liao らは、ルーティングテーブルのみを対象としたキャッシュにおいて、従来のハッシュ関数により生成されたインデックスではエン트리衝突が多発することから、最適なインデックスの生成方法とそのインデックスを有効に用いるキャッシュアーキテクチャを提案している[11]。Liao らは、パケットの IP アドレスに基づいてランダムにハッシュ関数を生成する万能ハッシュ法[15]を用いて二つのハッシュ値を出力し、各ハッシュ値をインデックスとした 2 バンクのキャッシュメモリに同時に検索を行うことでエントリーを有効に活用できると述べた。また、2 つのキャッシュバンクに別々のライン置き換え方式を適用することで最大 15% のミス率改善を行った。

また、Kim らは一般的に用いられるライン置換方式である LRU は時間的局所性のみを考慮しており、ルータ内キャッシュではネットワークの動向を反映できず高い効果を発揮できないと述べている[12]。そこで、少なくとも一回は参照されたエントリーを Switching Entry、一回も参照されていないエントリーを Non Switching Entry として区別し、Non Switching Entry から追い出す手法を提案している。初めに提案されている Weighted Priority LRU Scheme では、更に Non Switching Entry の中でも時間が経っていないエントリーに関しては追い出し対象外とすることで、Non Switching Entry の中でも参照される可能性の高いエントリーを優先的に残す方式である。次に提案されている L2A Cache Scheme では、過去 2 回分のパケットのタイムスタンプ値の合算により追い出すエントリーを決定する。Kim らは L2A Cache Scheme により特にキャッシュサイズが小さい場合には LRU に比べ大幅なミスの改善が可能であると述べている。しかしながら、タイムスタンプをキャッシュに保存しておくために必要な bit 数や時刻の取得方法等、具体的なハードウェア構成については述べられておらず、メモリ容量の小さいパケット処理キャッシュにおいてはメモリコストの増大が致命的な問題になると考えられる。

容量性ミスの削減に焦点を当てた研究としては、キャッシュタグの圧縮がある。Chang らは、ルータ内キャッシュでタグとして使用されるフロー情報が 104bit と大きいことから、フロー情報を 32bit のハッシュ値に圧縮し、これをタグとして用いる Digest Cache を提案している[16]。しかしながら、Digest Cache は一つのタグに複数のフローが結

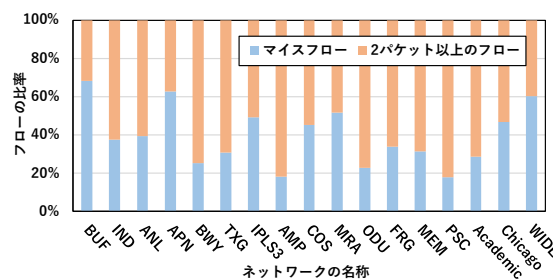


図 3 様々なネットワークにおけるミスフローと 2 パケット以上のフローの比率

びつくため、誤ったキャッシュデータ参照が生じる可能性がある。論文[16]では、これを防ぐためにブルームフィルタを実装しているが、誤参照を完全には防げず、また実装コストが増大することから、PPC に適するとは言えない。

阿多らも、パケットクラシフィケーションに使用されるフロー情報が 104bit と大きいことから、これを送信元 IP アドレス、宛先 IP アドレス、送信元ポート番号と宛先ポート番号の小さいほうのポート番号で解決するキャッシュ構造を提案している。しかしながら、特に近年は QoS やフィルタリング等において、送信元ポート番号と宛先ポート番号を共に用いた細粒度の高い処理が求められており、PPC においてはこの手法は適さないと考えられる。

我々も過去に、PPC におけるミス削減手法を目的とし、PPC に適したライン置換方式の検討[13]、キャッシュ不要なフローをキャッシュしない手法の検討を行った[17]。論文[17]では、DNS (Domain Name System) やネットワークアタックといった、1 パケットで構成されるフローを生成するアプリケーションを特定し、これらアプリケーションによるフローをキャッシュしない手法を提案した。この手法は容量性ミスの削減にも効果的ではあるが、ミスの増加要因となるアプリケーションに的を絞った対処しかできず、様々な細かい原因が重なることによって発生するミスの増加には対処できない。

### 4. マイスフローの調査

1 パケットで構成されるフローは、PPC においてキャッシュヒットすることがなく、キャッシュ汚染の要因となる。本報告では、このようなフローをミスフローと定義し、キャッシュ非登録の対象として着目した。図 3 に、様々なネットワークトラフィックにおける、ミスフローと 2 パケット以上のフローの比率を測定した結果を示す。測定では、ワークロードとして表 1 に詳細を示した実ネットワークトラフィックのトレースを使用した。これらのトレースは、RIPE Network Coordination Centre [18]および Widely Integrated Distributed Environment (WIDE) [19], Center for Applied Internet Data Analysis (CAIDA) [20]よりそれぞれ取得可能である。図 3 からわかるように、ネットワークによりばらつきはあるものの、多くのネットワークではミス

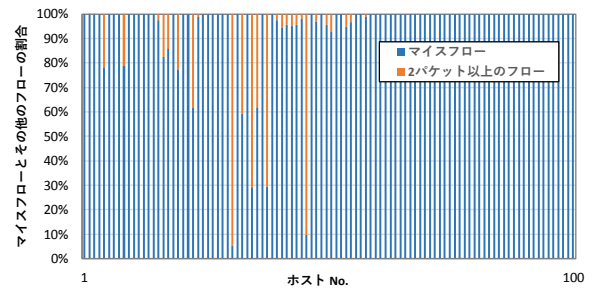
表 1 測定に用いた実ネットワークトレースの詳細

トレース	パケット数	ホスト数	取得日時	時間
BUF [18]	1,192,535	3,465	2003/1/18	90s
IND [18]	2,687,821	10,298	2003/1/6	90s
ANL [18]	1,456,005	2,590	2004/6/4	90s
APN [18]	3,589,392	28,191	2004/3/26	90s
BWY [18]	3,450,280	12,056	2004/10/7	90s
TXG [18]	2,141,677	22,433	2004/3/26	90s
IPLS3 [18]	131,183,031	161,231	2004/6/1	90s
AMP [18]	1,146,262	9,213	2005/1/24	90s
COS [18]	1,268,560	12,722	2005/1/8	90s
MRA [18]	8,261,978	68,510	2005/3/21	90s
ODU [18]	1,232,772	14,335	2005/1/24	90s
FRG [18]	6,235,285	16,273	2006/1/10	90s
MEM [18]	195,367	2,862	2006/2/20	90s
PSC [18]	4,166,162	22,271	2006/2/20	90s
PUR [18]	16,202,365	225,365	2006/2/20	90s
Academic	35,773,296	110,277	2011/10/31	40s
Chicago [20]	53,866,706	510,428	2014/3/20	60s
WIDE [19]	24,702,252	158,600	2016/4/2	900s

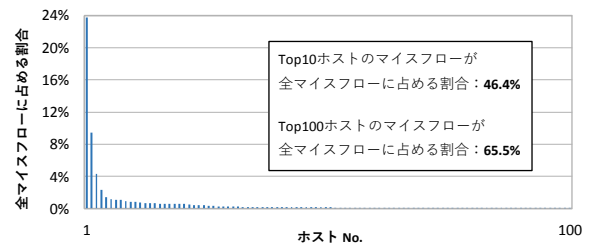
フローが全フローの40%以上を占めている。このことから、ミスフローのキャッシュ登録をしないことで、キャッシュデータ数の顕著な削減が期待できる。

前章では、ミスフローの特定を目的とした我々の過去の研究について、アプリケーションに注目した場合、特定できるミスフローが限定されてしまうことを指摘した。そこで、本報告では新たにパケットの送信元 IP アドレスに着目したミスフローの特定手法を検討する。フローの特性は送信元 IP アドレス、すなわち送信元ホストに依る部分が多い。厳密には、一つのホストに複数の IP アドレスが割り当てられるため、送信元ホストと送信元 IP アドレスは同義ではないが、以降では簡単のため、送信元ホストと送信元 IP アドレスを同義として扱う。送信元ホストに着目した場合に、例えば Internet of Things (IoT) では、センサーノードによって何秒間隔で何パケットを送信するといった通信方法が定まっていることが考えられる。ネットワーク攻撃も多くの場合、攻撃者が多種多様なサービス、ホストに対し膨大なフロー数のパケットを送信する状況が多い。また、動画サーバが生成するフローは動画コンテンツのデータ量が多いことから、多量のパケットで構成されることが予想される。以上のことから、送信元ホストによりフローの生成傾向には特徴があり、ミスフローの生成に関して、特定の送信元ホストが大きな影響を与えているのではないかと推測した。そうであるならば、それら送信元ホストのパケットに関し、キャッシュ登録をしないことで、ミスフローによるキャッシュ汚染を防ぐことが期待できる。

ネットワークにおけるミスフローと送信元ホストの相関を明らかにするため、本報告では多量のミスフローを生成する送信元ホストに着目し、ミスフロー生成量の多い順に抽出した 100 ホストが生成するミスフローにつ

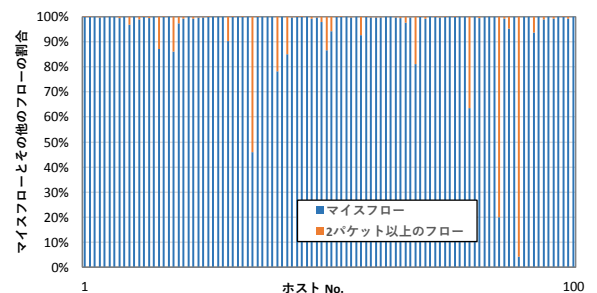


(a) Top100 ホストが生成するミスフローと 2 パケット以上のフローの比率

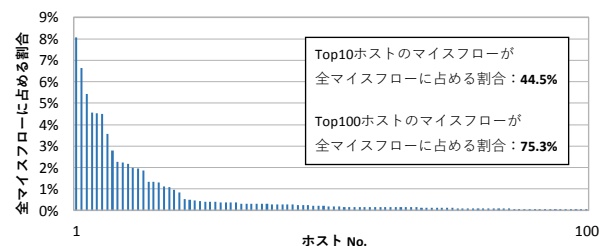


(b) Top100 ホストのミスフローが全ミスフローに占める割合

図 4 Top100 ホストに関する測定結果 (APN)



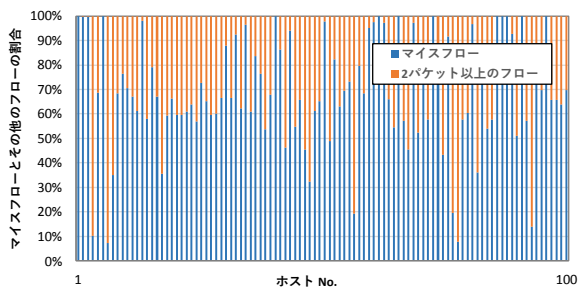
(a) Top100 ホストが生成するミスフローと 2 パケット以上のフローの比率



(b) Top100 ホストのミスフローが全ミスフローに占める割合

図 5 Top100 ホストに関する測定結果 (WIDE)

いて調査した。以降では、抽出した 100 のホストを Top100 ホストと呼ぶ。図 4 から図 7 は、各ネットワークにおいて Top100 ホストが生成するフローのミスフローとその他のフローの比率 (図(a)), Top100 ホストが生成するミスフローの全ミスフローに占める割合 (図(b)) を測定した

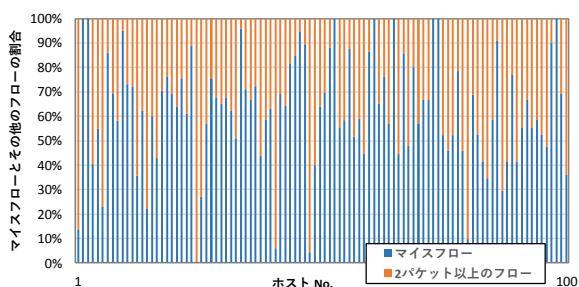


(a) Top100 ホストが生成するミスフローと 2 パケット以上のフローの比率

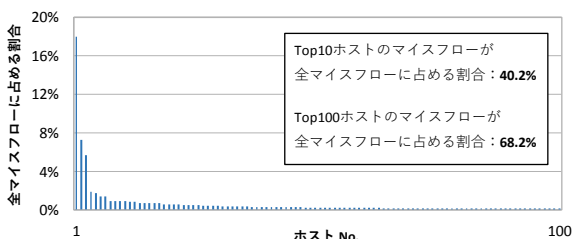


(b) Top100 ホストのミスフローが全ミスフローに占める割合

図 6 Top100 ホストに関する測定結果 (PSC)



(a) Top100 ホストが生成するミスフローと 2 パケット以上のフローの比率



(b) Top100 ホストのミスフローが全ミスフローに占める割合

図 7 Top100 ホストに関する測定結果 (AMP)

結果を表している。グラフの横軸は、Top100 ホストのミスフロー生成量が多い順に 1 から番号を振ったホスト No. を示す。それぞれのグラフは、ミスフローの割合が高い (60%以上) ネットワークとして APN および WIDE、ミスフローの割合が低い (20%以下) ネットワークとして PSC および AMP の結果を示している。

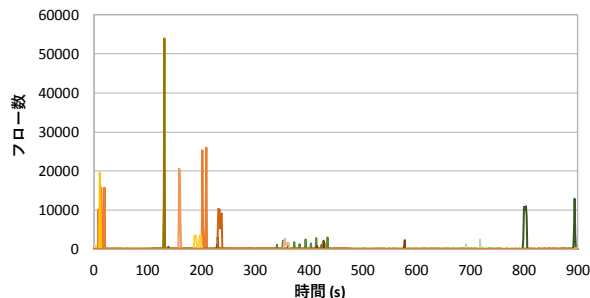


図 8 Top100 ホストが生成するミスフローの時間推移

図 4(a)および図 5(a)の結果から、ミスフローの割合が高いネットワークにおいては、Top100 ホストの生成するフローの大部分がミスフローであることがわかる。また図 6(a)と図 7(a)を見ると、ミスフローの割合が低いネットワークにおいても、Top100 ホストのミスフロー生成割合はそのネットワークの平均ミスフロー割合より高く、全体として Top100 ホストはミスフローを多く生成していることが明らかである。次に、各図(b)のグラフを見ると、どのネットワークにおいても Top10 ホスト程度がそのネットワークのミスフロー生成に大きな影響を与えていることがわかる。Top10 ホストの生成するミスフローが全ミスフローに占める割合は、測定に用いた全ネットワークを平均すると 30.1%となる。また、Top100 ホストの生成するミスフローが全ミスフローに占める割合は平均 53.1%となる。このことから、Top100 ホストを特定することで、全ミスフローの半数程度をキャッシュ非登録にする機会が得られることがわかった。

次に、Top100 ホストの生成するミスフローの時間推移を測定した。図 8 は、WIDE トラフィックにおいて Top100 ホストが 1 秒間に生成するミスフローの個数を、各ホスト 900 秒間に渡って測定した結果を表している。このグラフより、大部分のミスフローは極短時間に生成されていることがわかる。

以上の結果から、ミスフローには、一部の送信元ホストが多量のミスフロー生成に関わる空間的局所性と、その生成が極短時間に行われる時間的局所性が存在することがわかった。短時間に多量のミスフローを生成している送信元ホストを Top100 ホストとみなし、多量のフローを生成している短時間においてフローのキャッシュ登録をしないことで、多くのミスフローをキャッシュ非登録にできるのではないかと考えられる。

## 5. 予備評価

本章では、PPC においてミスフローをキャッシュ非登録とすることの有効性を、シミュレーションにより定量的に評価する。シミュレーションには、表 1 に示したネットワークトレースを利用可能な、PPC のキャッシュシミュレータを用いた。本シミュレータは、メモリレイテンシやデ

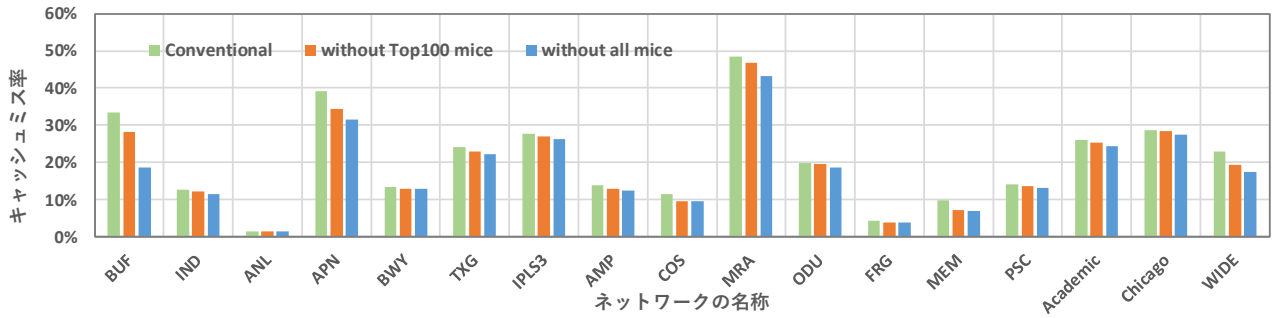


図 9 各ネットワークにおけるキャッシュミス率の測定結果

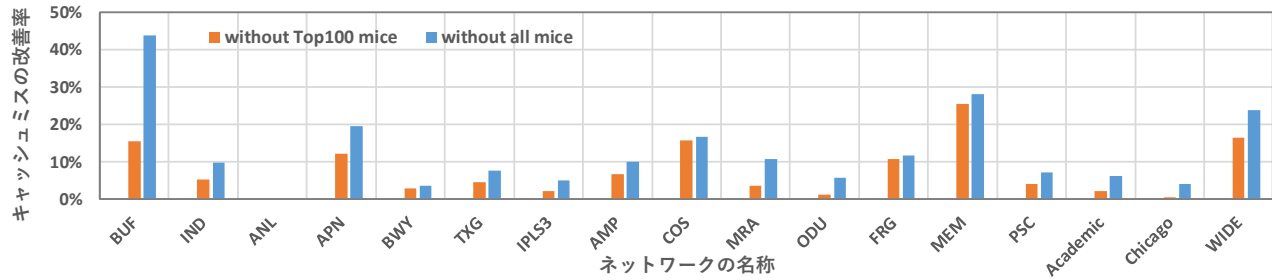


図 10 マイスフロー非登録によるキャッシュミスの改善率

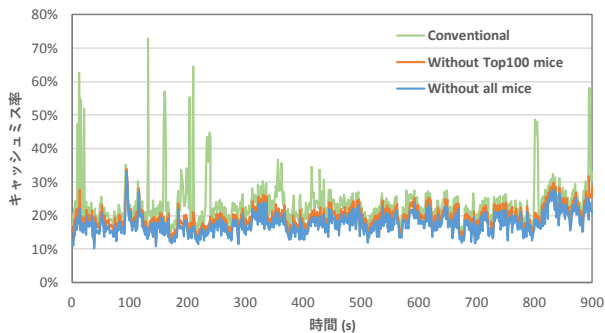


図 11 キャッシュミス率の時間推移

ータ転送時間を考慮しない理想的環境における PPC のキャッシュ動作をシミュレートし、パケットのフロー情報と到着順序からキャッシュのヒット/ミス判定する。なお、キャッシュ容量としては L1 キャッシュに用いられる 32KB のメモリを想定し、1K エントリを持つキャッシュとした。

図 9 は、各ネットワークにおいて従来の PPC を用いた場合、全マイスフローをキャッシュ非登録とした場合、Top100 ホストのマイスフローをキャッシュ非登録とした場合それぞれのキャッシュミス率を測定した結果を示している。また、図 10 はマイスフロー非登録によるキャッシュミスの改善率を示している。これらのグラフより、ネットワークによっては全マイスフローをキャッシュ非登録とした場合に 20% 以上のキャッシュミスを削減可能であることがわかる。一方で、全ネットワークを平均した場合、マイスフロー非登録によるミスの削減率は 12.6% 程度であり、キャッシュ内の全フロー数を顕著に削減できるにもかかわらず、キャッシュミスを大幅には削減できていないことが

わかる。この理由として、多量のパケットで構成されるエレファントフローがキャッシュに及ぼす影響が大きいことが考えられる。2 パケット以上のフローはエントリが追い出された場合に、後続パケットにより再度エントリが登録される可能性がある。特にエレファントフローでは 100 万パケットを超えるフローも存在することから、頻繁にエントリが再登録される可能性が高く、キャッシュミスの要因になると推測される。

図 11 は WIDE トラフィックにおけるキャッシュミス率の時間推移を表している。図 11 の結果を見ると、マイスフローをキャッシュに登録しないことで、短時間にキャッシュミスが増大する状況を改善できていることがわかる。前章で議論したように、マイスフローは極短時間に多量に生成される特徴を持っており、これによって生じる一時的なキャッシュ汚染がキャッシュミス増大の要因になっていたと考えられる。マイスフローをキャッシュ登録しないことで、このような一時的なキャッシュ汚染を防げることがわかった。

次に、マイスフローをキャッシュ登録しないことによる、容量性ミスの削減効果について評価する。2 章で述べたように、一般的にキャッシュミスはその原因により、衝突性ミスと容量性ミス、そしてキャッシュデータへの初期アクセス時に発生する初期参照ミスの 3 種類に分類できる。図 12 は従来の PPC と、全マイスフローをキャッシュ登録しない PPC における、上記 3 種類のミスの比率を測定したグラフである。ここでは、OPT を適用した場合に削減可能なミスを衝突性ミス、加えて十分なエントリ数を確保した場合に削減可能なミスを容量性ミス、これら以外のミスを初

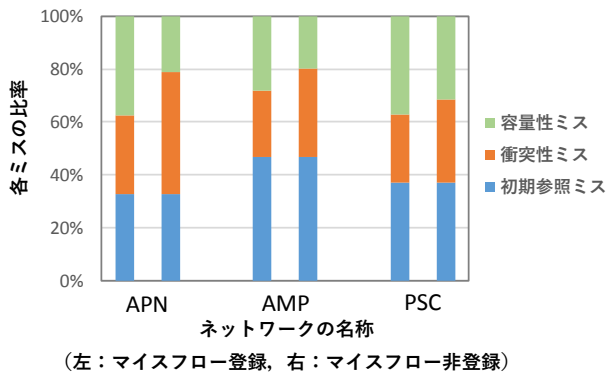


図 12 マイスフロー登録の有無による3種のキャッシュミス比率の比較

期参照ミスとして定義している。図 12 より、どのネットワークにおいてもミスフローをキャッシュ登録しないことで、容量性ミスが削減され、衝突性ミスが増加していることがわかる。これは、キャッシュ内のフロー数が顕著に削減されたことで、容量性ミスが適切なライン置換により削減可能な衝突性ミスへと変化したためだと考えられる。このことから、ミスフローをキャッシュ登録しない場合、適切なライン置換方式を適用することで今まで以上にキャッシュミスを削減可能となることがわかった。

## 6. おわりに

今後、インターネット通信量は爆発的に増加していくことが予想されており、トラフィックが集中するコアルータにおけるパケット処理スループットの向上および消費電力の削減は重要な課題となっている。上記課題の解決においてボトルネックとなる部分に、TCAM を用いたテーブル検索処理がある。TCAM は SRAM の 16 倍以上の電力を消費し、なおかつ今後のネットワークにおいては検索性能面で不足が懸念される。このことから、近年では小規模なキャッシュメモリを用いたパケット処理キャッシュ (PPC) が注目されている。

PPC は TCAM の検索結果の一部を高速かつ低消費電力なキャッシュメモリに蓄えることで、キャッシュ内に検索結果が存在した場合に、TCAM へのアクセスを省略し、テーブル検索を完了できる。PPC によるスループットおよび消費電力の改善効果はキャッシュ内に検索結果が存在しない、キャッシュミスの発生率に大きく左右されることから、PPC における様々なキャッシュミス削減手法が研究されてきた。しかしながら、これまでの研究は衝突性ミスの削減のみに焦点を当てており、キャッシュ容量を超える程の多様なフローが到着した場合に生じる容量性ミスを削減することができなかった。

そこで、PPC においてキャッシュ不要な、1 パケットで構成されるフロー (ミスフロー) をキャッシュ非登録とし、キャッシュ空間の利用効率を向上させることで、容量

性ミスを含めたキャッシュミスの削減を目指す。本報告では、その初期検討として、送信元 IP アドレスに着目したミスフローの特定方法について検討し、またミスフローをキャッシュ非登録とすることの有効性についてシミュレーションにより評価した。シミュレーションの結果、ネットワークにおける全てのミスフローをキャッシュ非登録とした場合、全体の 40% 程度のフローを削減できるにもかかわらず、平均 12.6% 程度のキャッシュミス削減効果しか得られないことがわかった。一方で、ミスフローをキャッシュ非登録とすることで、ミスフローにより引き起こされる一時的なキャッシュ汚染を改善できることがわかった。また、ミスフローをキャッシュ非登録とすることで、容量性ミスとして従来手法では削減できなかったミスを衝突性ミスに変えられることがわかった。これにより、本手法と適切なライン置換方式を組み合わせることで、今まで以上のキャッシュミス削減が望めることが明らかとなった。

**謝辞** 本研究は、JSPS 科研費 (JP16H06798) および公益財団法人マツダ財団、公益財団法人住友財団による助成を受けたものである。

## 参考文献

- [1] United Nations / Framework Convention on Climate Change, Adoption of the Paris Agreement, 21st Conference of the Parties, Paris: United Nations.
- [2] B. Addis, A. Capone, G. Carello, L. G. Gianoli and B. Sansò, "Energy Management Through Optimized Routing and Device Powering for Greener Communication Networks," in IEEE/ACM Transactions on Networking, vol. 22, no. 1, pp. 313-325, Feb. 2014.
- [3] "グリーン IT イニシアティブ - 経済産業省". <http://www.meti.go.jp/committee/materials/downloadfiles/g80520c03j.pdf>, (参照 2016-07-04).
- [4] S. Gamage and A. Pasqual, "High performance parallel packet Classification architecture with Popular Rule Caching," 2012, 18th IEEE Int'l. Conf. on Networks (ICON), Singapore, 2012, pp. 52-57.
- [5] B. Agrawal and T. Sherwood, "Ternary CAM Power and Delay Model: Extensions and Uses," in IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 2008, vol. 16, no. 5, pp. 554-564, May 2008.
- [6] M. Nawa et al., "Energy-efficient high-speed search engine using a multi-dimensional TCAM architecture with parallel pipelined subdivided structure," 2016 13th IEEE Annual Consumer Communications & Networking Conference (CCNC), Las Vegas, NV, 2016, pp. 309-314.
- [7] Hewlett-Packard Development Company, "Energy Efficient Networking - Business white paper," 2011, Available: <http://h17007.www1.hp.com/docs/mark/4AA3-3866ENW.pdf>. [Accessed 17 August 2016]
- [8] M. Okuno and H. Nishi, "Network-Processor Acceleration-Architecture Using Header-Learning Cache and Cache-Miss Handler," The 8th World Multi-Conference on Systemics, Cybernetics and Informatics (SCI2004), pp. 108-113.
- [9] K. Li, F. Chang, D. Berger and W. Feng, "Architectures for packet classification caching," The 11th IEEE Int'l. Conf. on Networks

- (ICON), 2003, pp. 111-117.
- [10] J. Philip, M. Taneja and R. Rojas-Cessa, "Rule Caching for Packet Classification Support," 2008 IEEE Sarnoff Symposium, Princeton, NJ, 2008, pp. 1-5.
  - [11] G. Liao, H. Yu and L. Bhuyan, "A new IP lookup cache for high performance IP routers," Design Automation Conference, Anaheim, CA, USA, 2010, pp. 338-343.
  - [12] N. Kim, S. Jean, J. Kim, and H. Yoon, "Cache replacement schemes for data-driven label switching networks," 2001 IEEE Workshop on High Performance Switching and Routing, Dallas, TX, 2001, pp. 223-227.
  - [13] H. Yamaki and H. Nishi, "Line Replacement Algorithm for L1-scale Packet Processing Cache," In Adjunct Proc. of the 13th Int'l. Conf. on Mobile and Ubiquitous Systems: Computing Networking and Services (MOBIQUITOUS 2016), Hiroshima, Japan, 2016, pp. 12-17.
  - [14] L. A. Belady, "A study of replacement algorithms for a virtual-storage computer," IBM Syst. J.. 1966.
  - [15] J. Lawrence, et al., "Universal classes of hash functions (Extended Abstract)," Proc. the ninth annual ACM symposium on Theory of computing (STOC'77). 1977, pp.106-112.
  - [16] F. Chang, et al, "Efficient Packet Classification with Digest Caches," Proc. Third Workshop Network Processors and Applications (NP-3), 2005.
  - [17] H. Yamaki and H. Nishi, "An Improved Cache Mechanism for a Cache-based Network Processor," In Proc. of the Int'l. Conf. on Parallel and Distributed Processing Techniques and Applications (PDPTA '12), Las Vegas, NV, 2012, pp. 1-7.
  - [18] RIPE Network Coordination Centre, "Réseaux IP Européens Network Coordination Centre RIPE NCC," Available: <http://www.ripe.net/>. [Accessed 17 August 2016]
  - [19] WIDE MAWI WorkingGroup, "MAWI Working Group Traffic Archive" Available: <http://mawi.wide.ad.jp/mawi/>. [Accesses 17 August 2016]
  - [20] Center for Applied Internet Data Analysis, "CAIDA: Center for Applied Internet Data Analysis" Available: <http://www.caida.org/home/>. [Accesses 17 April 2017]