

# リングオシレータを用いた ランダムテレグラフノイズの統計解析

中井 辰哉<sup>1,a)</sup> 業天 英範<sup>1,b)</sup> イスラム マーフズル<sup>2,c)</sup> 小野寺 秀俊<sup>1,d)</sup>

**概要:** 本稿では、スイッチング中のトランジスタにおけるランダムテレグラフノイズ (RTN) によるしきい値電圧変動量の統計解析を行い、変動量の分布を再現できる統計モデルの検討を行う。組み合わせ回路を模擬するリング発振回路の遅延ゆらぎの統計分布を測定し、感度係数を用いてしきい値電圧変動量の分布に換算する。統計モデルのトランジスタサイズと電源電圧依存性を評価するために、サイズの異なる回路における遅延分布を得る。65-nm SOTB プロセスで試作した nMOS トランジスタと pMOS トランジスタのトランジスタサイズが異なるリングオシレータを用いることで、回路動作中のトランジスタにおける RTN によるしきい値電圧変動を再現する対数正規分布の統計モデルを構築し、モデルパラメータのゲートサイズ依存性を評価する。

## Statistical Analysis of Random Telegraph Noise with Ring Oscillator

TATSUYA NAKAI<sup>1,a)</sup> HIDENORI GYOTEN<sup>1,b)</sup> A.K.M. MAHFUZUL ISLAM<sup>2,c)</sup> HIDETOSHI ONODERA<sup>1,d)</sup>

**Abstract:** We propose a methodology of evaluating the gate size dependency on  $\Delta V_{th}$  distributions caused by random telegraph noise (RTN) of transistors under switching condition. An array of ring oscillators (RO), which represent transistor switching operation, with various skewed inverters are used to obtain the delay distributions. Considering a lognormal distribution,  $\Delta V_{th}$  distributions for transistors of different sizes are extracted using sensitivity analysis. An RO array implemented in a 65-nm SOTB process is measured. Analysis results show that Lognormal model represents the distributions well. Gate size dependency of the model parameters are then extracted and compared for nMOS and pMOS under different supply voltages.

### 1. 序論

近年、集積回路の高性能化のための製造プロセスの微細化と省電力化のための低電圧化が進んできている。それに伴い、トランジスタの特性変動の影響は増大し、信頼性の高いシステムを設計することの難易度は高まっている。トランジスタ特性ばらつきには、静的ばらつきと動的ばらつきがある。静的ばらつきは製造時に発生する特性ばらつきである。一方、動的ばらつきは時間とともにトランジスタ特性が変化するものである。動的ばらつきの中でもランダムテレグラフノイズ (Random Telegraph Noise, RTN) はしきい値電圧が動的に変動する現象であり、その変動量はトランジスタサイズに反比例して増大する [1]。従って、微細化と共にトランジスタ特性変動が大きくなる [2]。安定動作を保障するためには、回路設計時にその影響を考慮する必要がある。RTN は絶縁膜中の欠陥に起因するランダムな現象であり、回路設計時に各種回路パラメータの依存性を組み込んだコンパクトモデルが必要である。

RTN の影響を考慮した回路設計に、RTN によるしきい

値電圧変動量を表現するコンパクトな統計モデルは有効である。モデルの検証にも大量の測定データを用いて行う必要があるため、効率の良い実測と解析方法が求められる。本研究では、均質なリングオシレータ (RO) のアレイによって効率良く多数のトランジスタにおける RTN を観測する。均質な RO は組み合わせ回路を模擬するため、実際の回路遅延揺らぎを観測することができる。その一方、リングを構成する個々のトランジスタそれぞれのしきい値電圧分布を直接観測することはできない。本研究ではトランジスタのしきい値分布を抽出する解析手法を提案する。nMOS トランジスタと pMOS トランジスタのそれぞれについて、3種類のトランジスタサイズにおけるモデルパラメータを抽出し、サイズ依存性を調べる。

2章では RTN の発生機構と統計モデル化について述べる。3章では均質なリングオシレータにおける遅延揺らぎからしきい値電圧変動を推定する手法について述べる。4章では、65-nm SOTB プロセスの評価チップを用いた RTN の測定結果及びモデルパラメータのサイズ依存性について考察を行う。5章で本研究の結論を述べる。

### 2. ランダムテレグラフノイズ

#### 2.1 ランダムテレグラフノイズの原理

図 1 に示すように MOS トランジスタの酸化膜には欠陥が存在し、それにチャネル中のキャリアが捕獲されたり放

<sup>1</sup> 京都大学大学院情報学研究所

<sup>2</sup> 東京大学生産技術研究所

a) tnakai@vlsi.kuee.kyoto-u.ac.jp

b) gyoten@easter.kuee.kyoto-u.ac.jp

c) mahfuzul@iis.u-tokyo.ac.jp

d) onodera@vlsi.kuee.kyoto-u.ac.jp

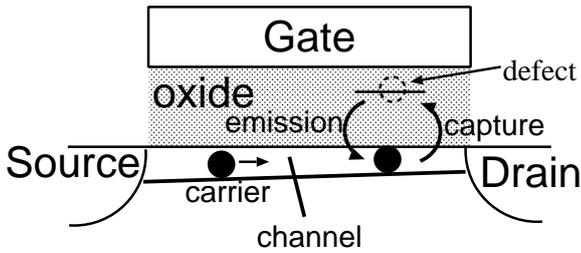


図 1 RTN の原理

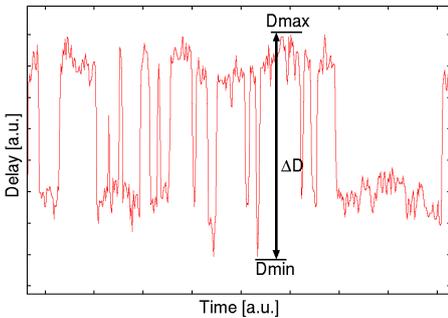


図 2 RTN

出されたりする。その結果チャネルのポテンシャルが変化し、しきい値電圧が変動する。トランジスタのゲートの面積が小さくなるとトラップ 1 つあたりの影響が大きくなり、変動は離散的になり、RTN として観測される。

## 2.2 組み合わせ回路中の RTN の観測

RO 内のトランジスタにおいて RTN が発生すると RO の周波数、すなわち回路の遅延が図 2 のように変動する。したがって RO の遅延変動から組み合わせ回路でスイッチング動作中のトランジスタにおける RTN を観測することができる。図 2 に示すように、回路の遅延の最大値を  $D_{max}$ 、回路の遅延の最小値を  $D_{min}$  とする。キャリアがトラップされると、しきい値電圧が大きくなり、遅延時間が大きくなる。複数キャリアのトラップとデトラップが繰り返されると、多値の遅延変動として観測される。通常、1 つ 1 つのトラップあたりのしきい値電圧変動を評価するが、回路遅延の最悪値の観点から、合計の変動量に注目する。ある回路における RTN による遅延変動を  $\Delta D = D_{max} - D_{min}$  とし、その統計分布を再現できるような統計モデルを評価する。

## 2.3 RTN のモデル化

回路設計時に RTN を考慮してマージンを設ける必要があり、そのためにはしきい値電圧変動量の発生しうる最大値を知ることが重要である。したがって RTN の統計的性質を表すようなモデルが必要である。

RTN によるしきい値電圧変動に関して、1 トラップあたりの変動量の分布は指数分布に従うとされる [3]。トランジスタしきい値電圧の合計変動量はトラップ数の分布としきい値電圧分布の合成から求まる。しかし、このような方法では計算量が大きく、大規模回路の遅延解析に不向きで

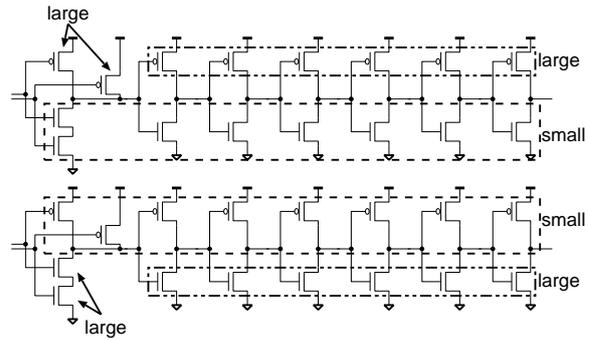


図 3 nMOS トランジスタと pMOS トランジスタのサイズが異なる RO。

ある。そこで、本研究では、トラップ数の分布とトラップあたりのしきい値電圧変動分布を分離せず、合計のしきい値電圧変動を合成した簡潔な統計モデルを構築する。

## 3. 解析方法

### 3.1 nMOS トランジスタと pMOS トランジスタの寄与を分離できるリングオシレータ

RTN の統計的性質は nMOS トランジスタと pMOS トランジスタのそれぞれについて調べる必要がある。しかし、RO の遅延には RO 内の全てのトランジスタが影響を及ぼすため、一般的な RO ではそれらを分離することができない。

多数の RO の周波数変動、すなわち遅延変動を測定しその分布を調べると周波数変動は対数正規分布に従い、トランジスタのゲートサイズが小さくなると変動量が大きくなることが報告されている [4]。そこで図 4 のように nMOS トランジスタまたは pMOS トランジスタのサイズを他方より十分大きくすることでその大きなトランジスタによる遅延変動への寄与を小さくする。その結果、RO の遅延変動はサイズの小さいトランジスタによるものが支配的となり、nMOS トランジスタの RTN と pMOS トランジスタの RTN をそれぞれ独立に観測することができる。またこの RO において小さいトランジスタのサイズが異なる RO を比較することで、RTN のトランジスタサイズ依存性を調べることができる。

### 3.2 遅延変動からのしきい値電圧変動の推定手法

RO 内のあるトランジスタでしきい値電圧変動  $\Delta V_{th,i}$  が起こり、それによって回路の遅延が  $\Delta D_i$  変動するとすると、式 (1) の関係が成り立つと仮定できる。

$$\Delta D_i \approx k_i \Delta V_{th,i} \quad (1)$$

ここで、 $k_i$  は遅延時間に対するトランジスタしきい値電圧の感度である。感度はトランジスタ毎に異なり、また同じ回路でも電源電圧によって異なる。

対数正規分布  $\ln \mathcal{N}(\mu, \sigma^2)$  に従う確率変数に定数  $k$  をかけたものは  $\ln \mathcal{N}(\mu + \ln(k), \sigma^2)$  に従う。よって  $\Delta V_{th,i}$  の分布  $\ln \mathcal{N}(\mu_i, \sigma_i^2)$  とすると  $\Delta D_i$  の分布は  $\ln \mathcal{N}(\mu_i + \ln(k_i), \sigma_i^2)$  となる。

サイズの等しい nMOS トランジスタのしきい値電圧変動は同じ分布に従うと考えられるので、その分布を  $\ln \mathcal{N}(\mu, \sigma^2)$  とすれば  $\Delta D_i$  の分布は  $\ln \mathcal{N}(\mu + \ln(k_i), \sigma^2)$  となる。

回路の遅延変動  $\Delta D$  は各トランジスタによる遅延変動  $\Delta D_i$  の和となるので、次式が成り立つ。

$$\begin{aligned} \Delta D &= \sum \Delta D_i \\ &= \sum k_i \Delta V_{th,i} \end{aligned} \quad (2)$$

また対数正規分布  $\ln \mathcal{N}(\mu_j, \sigma_j^2)$  の和の分布は対数正規分布  $\ln \mathcal{N}(\mu_z, \sigma_z^2)$  に近似できる [5]。そのパラメータは  $\sigma$  の値がすべて等しく  $\sigma_j = \sigma$  のとき式 (3) で表される [5] [6]。

$$\begin{aligned} \sigma_z^2 &\sim \ln \left( (e^{\sigma^2} - 1) \frac{\sum \exp(2\mu_j)}{(\sum \exp(\mu_j))^2} + 1 \right), \\ \mu_z &\sim \ln \left( \sum \exp(\mu_j) \right) + \frac{\sigma^2}{2} - \frac{\sigma_z^2}{2} \end{aligned} \quad (3)$$

以上より、 $\Delta D$  の分布を  $\ln \mathcal{N}(\mu_z, \sigma_z^2)$ 、 $\Delta V_{th}$  の分布を  $\ln \mathcal{N}(\mu, \sigma^2)$ 、各トランジスタの感度を  $k_j$  とおけば、式 (3) において  $\mu_j = \mu + \ln(k_j)$  とすることにより次式が得られる。

$$\begin{aligned} \sigma_z^2 &\sim \ln \left( (e^{\sigma^2} - 1) \frac{\sum k_j^2}{(\sum k_j)^2} + 1 \right), \\ \mu_z &\sim \mu + \frac{\sigma^2}{2} - \frac{\sigma_z^2}{2} + \ln(\sum k_j) \end{aligned} \quad (4)$$

したがって、遅延変動の分布のパラメータ  $\mu_z$  と  $\sigma_z$  はしきい値電圧変動の分布のパラメータ  $\mu$ 、 $\sigma$  と感度  $k_j$  で表される。

式 (4) を  $\mu$  と  $\sigma$  について解くと次式が得られる。

$$\sigma^2 \sim \ln \left( \frac{\exp(\sigma_z^2) - 1}{C_{k1}} + 1 \right), C_{k1} = \frac{\sum k_j^2}{(\sum k_j)^2}, \quad (5)$$

$$\mu \sim \mu_z - \frac{\sigma^2}{2} + \frac{\sigma_z^2}{2} - \ln(\sum k_j) \quad (6)$$

$\mu_z$  と  $\sigma_z$  は回路の遅延の実測によって求めることができる。また  $k_j$  はシミュレーションによって求めることができる。したがって RTN によるしきい値電圧変動量の分布が実測とシミュレーションから求められる。

### 3.3 解析方法の検証

上記の方法で遅延変動量の分布からしきい値電圧変動量の分布の推定が正しく行えるかモンテカルロ法により検証した。

7 個のトランジスタの RTN による遅延変動を想定した。しきい値電圧変動  $\Delta V_{th,i}$  はすべて同じ対数正規分布  $\ln \mathcal{N}(\mu, \sigma^2)$  に従うと仮定した。感度  $k_i$  はトランジスタ毎に異なる値とした。そして  $\ln \mathcal{N}(\mu, \sigma^2)$  に従う乱数を用いて式 (7) によって遅延変動の分布を得た。

$$\Delta D_i = \sum_{i=1}^7 k_i \Delta V_{th,i} \quad (7)$$

次にそうして得た遅延変動の分布を対数正規分布と仮定してそのパラメータ  $\mu_z, \sigma_z^2$  を求め、式 (6) を用いて計算

表 1 解析方法の検証結果

$\mu$	推定値	誤差 [%]	$\sigma$	推定値	誤差 [%]
2.86	2.89	0.85	0.795	0.770	-3.2
2.08	2.07	-0.50	0.472	0.470	-0.37
2.54	2.56	0.90	0.780	0.762	-2.4

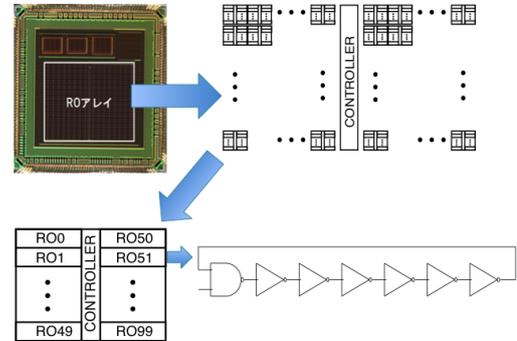


図 4 65nm CMOS プロセスで実装した評価回路。

し、推定された値を元の  $\mu, \sigma^2$  と比較した。

この検証をいくつかの分布、感度を用いて行った。感度は実際の RO の感度を用いた。例えば図 5 の stage number 1 から 7 の nMOS トランジスタの感度である。仮定した  $\mu, \sigma$  とその推定値、誤差を表 1 に示す。今回の検証では推定方法による誤差は高々 3.2%であった。

## 4. 測定回路

### 4.1 回路の概要

65-nm SOTB プロセスで評価回路を作成した。評価回路のチップ写真と構造の模式図を図 4 に示す。100 種類の RO からなる要素ブロックを  $16 \times 13$  のアレー状に並べた構造となっている。したがって、1 チップ上には同一種類の RO が 208 個集積されている。

### 4.2 トランジスタサイズ

nMOS トランジスタが小さく pMOS トランジスタが大きい RO と、pMOS トランジスタが小さく nMOS トランジスタが大きい 7 段 RO を作成した。小さい寸法のトランジスタは、発振制御用の NAND でも同一寸法のものを用いた。サイズ依存性を調べるために小さい寸法のトランジスタのゲート幅を 140 nm、280 nm、560 nm、1120 nm の 4 種類で作成した。ゲート長は、すべてのトランジスタで 65 nm である。大きいトランジスタは小さいトランジスタの少なくとも 5 倍大きくした。それぞれの RO について、使用したトランジスタのサイズを表 2 に示す。

### 4.3 感度

全ての RO について、トランジスタ毎、電圧毎に感度を求めた。電圧は 0.6 V、0.8 V、1.0 V とした。nMOS トランジスタが小さく、そのゲート幅が 140 nm の RO の感度を図 5 に示す。横軸は 7 段 RO 内のインバータの段数で、1 は RO の発振 ON/OFF 制御用の NAND のトランジスタ

表 2 ゲート幅。単位は nm。

RO	INV		NAND	
	nMOS	pMOS	nMOS	pMOS
1	140	10480	140	6000
2	280	10480	140	6000
3	560	10480	560	6000
4	1120	10480	1120	6000
5	6720	140	6560	140
6	6720	280	6560	280
7	6720	560	6560	560
8	6720	1120	6560	1120

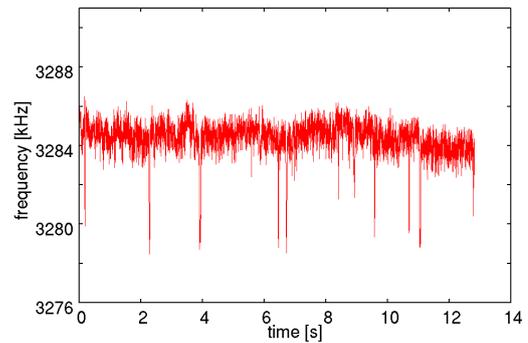


図 7 RO1, Vdd=0.8 V の観測波形 (その 2)

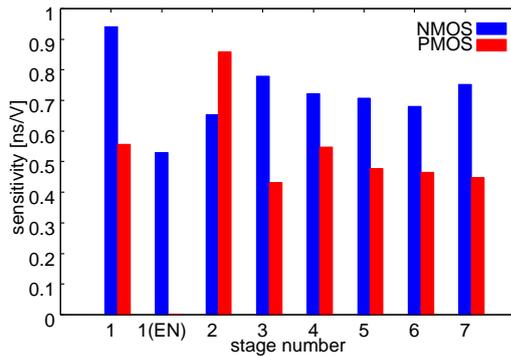


図 5 RO1, 0.8 V のときのトランジスタ毎の感度。

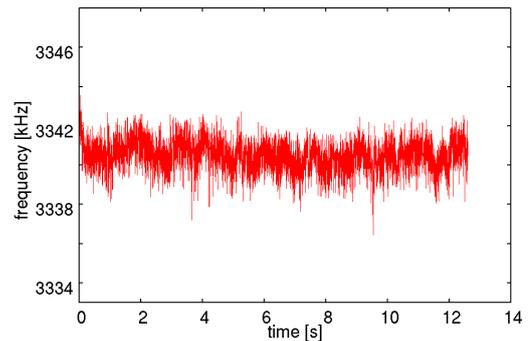


図 8 RO1, Vdd=0.8 V の観測波形 (その 3)

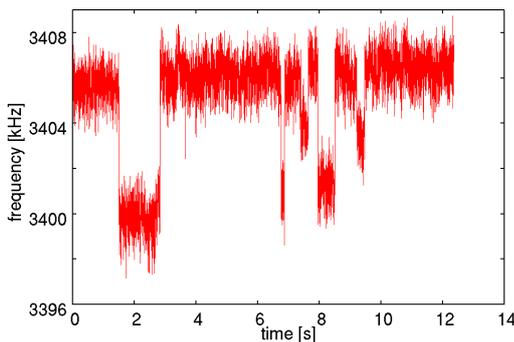


図 6 RO1, Vdd=0.8 V の観測波形 (その 1)

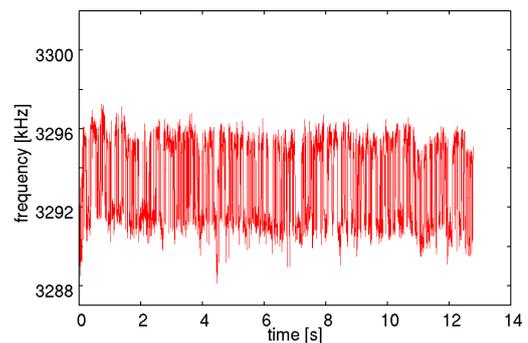


図 9 RO1, Vdd=0.8 V の観測波形 (その 4)

のうち 7 段目の出力が繋がっている方、1(EN) は NAND のトランジスタのうちイネーブル信号が入っている方である。縦軸は感度で単位は ns/V である。nMOS トランジスタが小さい RO では nMOS トランジスタの感度が高いことと、トランジスタ毎に感度が異なっていることが確認できる。

## 5. 結果

### 5.1 測定結果

RTN の観測例を図 6 から図 9 に示す。横軸は時間で縦軸は RO の周波数である。状態の数も時定数も様々な RTN による離散的な変動を観測することができた。

測定時間の制約より、各 RO について 150 回路を選択し、電源電圧 1.0 V, 0.8 V, 0.6 V における遅延変動を観測した。遅延変動の分布を Q-Q プロットで図 10 から図 15 に示す。図 10 から図 12 に nMOS トランジスタが小さい RO、図 13 から図 15 に pMOS トランジスタが小さい RO の結

果を示す。図 10 と図 13 は 0.6 V、図 11 と図 14 は 0.8 V、図 12 と図 15 は 1.0 V の測定結果である。それぞれの図には小さいトランジスタのサイズが異なる RO の結果を比較してある。横軸は遅延変動量で、対数軸である。いずれの図でも遅延変動量の分布は直線になっていて、これは分布が対数正規分布に従うことを示している。また、トランジスタサイズが小さいほど遅延変動量が大きくなるのがわかる。

### 5.2 解析結果

測定によって得られた遅延変動量の分布から、3.2 で述べた方法によって各種ゲートサイズのトランジスタにおけるしきい値電圧変動量の分布のパラメータ  $\mu$ ,  $\sigma$  を求めた。求めたパラメータを用いて電源電圧 0.6 V のときの 4 種類のゲートサイズからなる nMOS トランジスタトランジスタのしきい値電圧変動分布を図 16 に示す。横軸は対数スケールで示している。図 16 から、サイズが小さいほど分

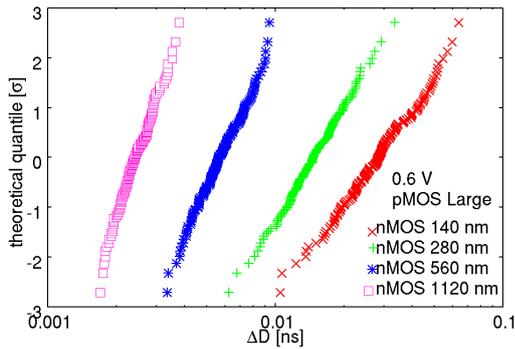


図 10 nMOS トランジスタ小 0.6 V

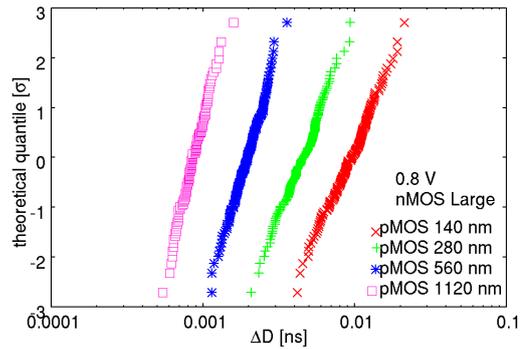


図 14 pMOS トランジスタ小 0.8 V

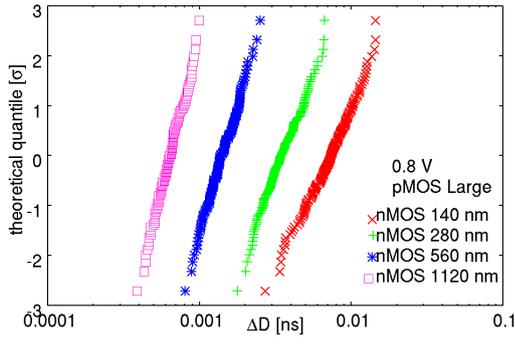


図 11 nMOS トランジスタ小 0.8 V

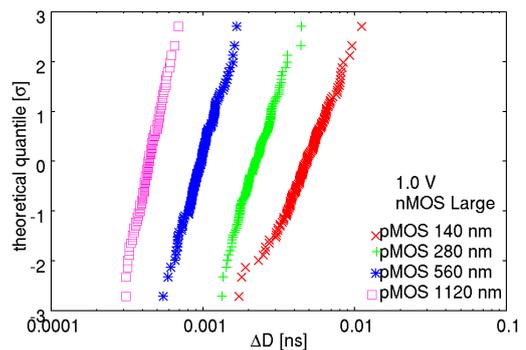


図 15 pMOS トランジスタ小 1.0 V

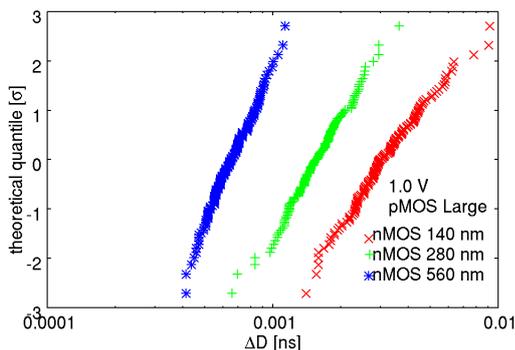


図 12 nMOS トランジスタ小 1.0 V

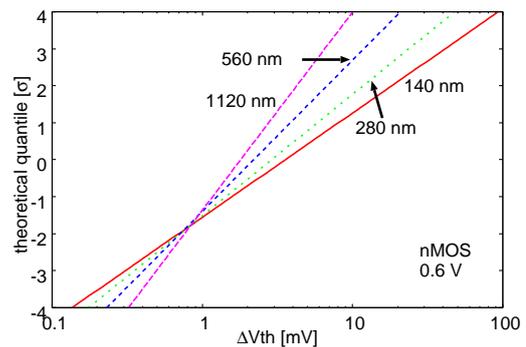


図 16 nMOS トランジスタにおける RTN によるしきい値電圧変動量

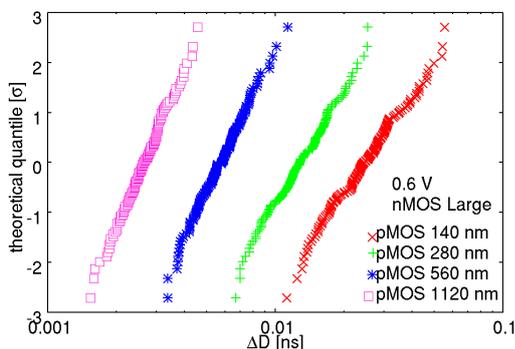


図 13 pMOS トランジスタ小 0.6 V

布の広がり ( $\sigma$ ) が大きくなっている。

$\mu' = \exp(\mu)$  と  $\sigma$  を図 17 から図 20 に示す。0.6 V は “×”、0.8 V は “+”、1.0 V は “\*” の点である。横軸は nMOS トランジスタと pMOS トランジスタのゲートサイズを示している。nMOS トランジスタも pMOS トランジスタも電圧

にかかわらずサイズが小さいほど  $\mu'$ 、 $\sigma$  の値が大きくなっている。次に、 $\mu'$  と  $\sigma$  のゲートサイズ  $W$  依存性を  $aW^b$  でモデル化する。ゲートサイズ  $W$  に対して  $aW^b$  の関数で抽出した  $\mu'$  と  $\sigma$  の値をフィッティングして  $a$  と  $b$  の値を求める。図 19 と図 20 にフィッティングにより求めた  $\mu'$  の関数をプロットする。同様に、図 21 と図 22 に  $\sigma$  のフィッティング関数をプロットする。表 3 と表 4 にフィッティングにより求めた  $a$  と  $b$  の値を示す。フィッティングした結果、 $\mu'$  はゲートサイズの  $-0.18 \sim -0.38$  乗に比例し、 $\sigma$  はゲートサイズの  $-0.20 \sim -0.30$  乗に比例する結果となった。

## 6. 結論

本研究では nMOS トランジスタと pMOS トランジスタのサイズが異なる RO を用いて、ゲートバイアスがスイッチングしている nMOS トランジスタと pMOS トランジスタ

表 3 nMOS トランジスタの  $\mu'$ ,  $\sigma$  のフィッティング結果

Vdd	$\mu'$		$\sigma$	
	a	b	a	b
0.6	7.69	-0.36	3.58	-0.30
0.8	7.09	-0.38	2.72	-0.25
1.0	3.99	-0.28	3.39	-0.29

表 4 pMOS トランジスタの  $\mu'$ ,  $\sigma$  のフィッティング結果

Vdd	$\mu'$		$\sigma$	
	a	b	a	b
0.6	1.61	-0.18	2.15	-0.20
0.8	2.77	-0.25	2.64	-0.25
1.0	3.26	-0.27	3.06	-0.29

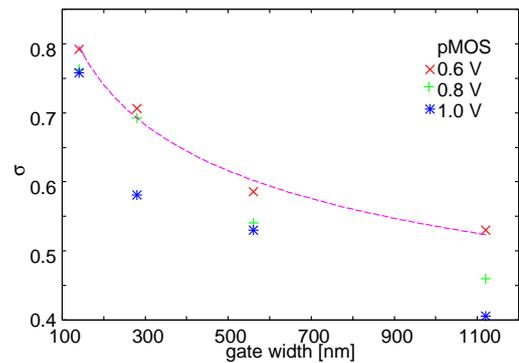


図 20 pMOS トランジスタの  $\sigma$  のサイズ依存性

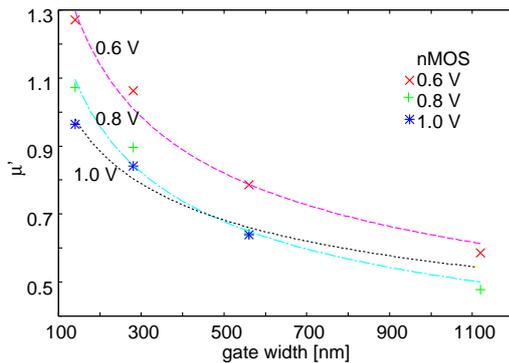


図 17 nMOS トランジスタの  $\mu'$  のサイズ依存性

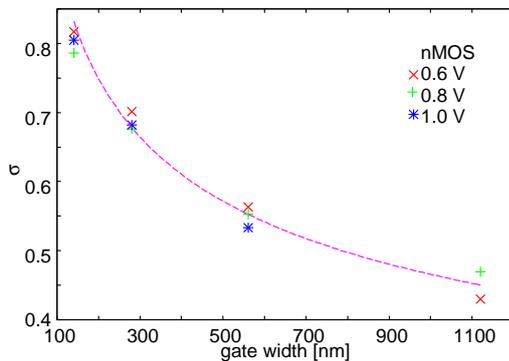


図 18 nMOS トランジスタの  $\sigma$  のサイズ依存性

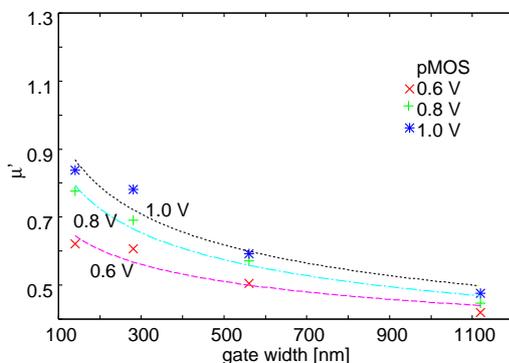


図 19 pMOS トランジスタの  $\mu'$  のサイズ依存性

大きくなることが確認できた。統計的処理によって、それらの分布からトランジスタ 1 個における RTN によるしきい値電圧変動量の分布のパラメータを求めた。さらにそれらのパラメータをフィッティングすることによって RTN によるしきい値電圧変動のサイズ依存性を調べた。その結果、 $\mu'$  はゲートサイズの-0.18~-0.38 乗に比例し、 $\sigma$  はゲートサイズの-0.20~-0.30 乗に比例する結果となった。

### 謝辞

本研究の一部は科研費 (B-25280014) の支援による。本チップ試作は東京大学大規模集積システム設計教育研究センターを通じルネサスエレクトロニクス (株) の協力で行われたものである。

### 参考文献

- [1] N. Tega, H. Miki, and F. Pagette, "Increasing Threshold Voltage Variation due to Random Telegraph Noise in FETs as Gate Lengths Scale to 20 nm," in *Symposium on VLSI Technology*, 2009, pp. 50–51.
- [2] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of  $5\sigma$ ;  $V_{th}$  fluctuation in 65nm-MOSFETs using takeuchi plot," in *Symposium on VLSI Technology 2008*, June 2008, pp. 156–157.
- [3] A. Ghetti, C. M. Compagnoni, A. S. Spinelli, and A. Visconti, "Comprehensive Analysis of Random Telegraph Noise Instability and Its Scaling in Deca-Nanometer Flash Memories," *IEEE Transactions on Electron Devices*, vol. 56, no. 8, pp. 1746–1752, Aug 2009.
- [4] T. Matsumoto, K. Kobayashi, and H. Onodera, "Impact of random telegraph noise on CMOS logic circuit reliability," in *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference*, Sept 2014, pp. 1–8.
- [5] L. Fenton, "The Sum of Log-Normal Probability Distributions in Scatter Transmission Systems," *IRE Transactions on Communications Systems*, vol. 8, no. 1, pp. 57–67, March 1960.
- [6] N. Beaulieu, A. Abu-Dayya, and P. McLane, "Comparison of Methods of Computing Lognormal Sum Distributions and Outages for Digital Wireless Applications," in *IEEE International Conference on Communications*, May 1994, pp. 1270–1275 vol.3.

タそれぞれにおける RTN の影響を遅延変動として観測した。電源電圧にかかわらず遅延変動量の分布が対数正規分布に従い、トランジスタサイズが小さいほど遅延変動量は