

論理 BIST におけるスキャンイン電力制御手法と TEG 評価

加藤隆明^{†1} 王森レイ^{†2} 佐藤康夫^{†1} 梶原誠司^{†1} 温暁青^{†1}

スキャンベースの論理 BIST では、テスト時の過大な消費電力が問題となっている。適切なテスト時消費電力は回路毎に異なり、電力を下げ過ぎてもテスト品質の低下やパターン数増加によるテストコスト増加の問題を生じさせる。本研究では、論理 BIST のテストパターンに使われる疑似ランダムパターンに対して、スキャンイン時のトグル率が指定した目標値になるようパターンを変更し、テスト時の電力を制御する手法を提案する。目標トグル率を実現するテストパターンが多く存在する中で、本手法は故障検出率が高くなるようなパターンに変更する。実験では、目標トグル率に対する故障検出率評価や TEG チップの測定結果により、提案手法の有効性を示す。

A Flexible Scan-in Power Control Method for Scan-Based Logic BIST and Its Evaluation on TEG Chips

Takaaki KATO^{†1} Senling WANG^{†2} Yasuo SATO^{†1}
Seiji KAJIHARA^{†1} Xiaoqing WEN^{†1}

High power dissipation during scan-based logic BIST is a crucial problem that can lead to over-testing or chip damage. Although low power technology is strongly required, controlling the test power of a circuit to an appropriate level in logic BIST is difficult. This paper proposes a novel power-controlling method to control the toggle rate in scan shift operation to a specified level by modifying pseudo random patterns generated by a TPG (Test Pattern Generator) in logic BIST. Different from previous methods, the proposed method is able to maintain high fault coverage without test time increase. Simulation-based experiments clearly demonstrate that the proposed method can control toggle rate during scan-in operation and evaluations on TEG chips show its impact on circuit delay.

1. はじめに

論理 BIST は、実速度テストによるテスト品質向上やオンボードテストによるテストコスト削減などに有効だが、テスト時の電力が実動作時に比べて大きいという問題点が知られている。テスト時の電力は、スキャンシフト電力とキャプチャ電力に分類できる。スキャンシフト電力は、スキャンチェーンにテストパターンをシフト入力(スキャンイン電力)あるいはシフト出力(スキャンアウト電力)するとき回路全体に発生する電力、キャプチャ電力は組合せ回路部に印加されたテストパターンにより発生する瞬間的な電力である。これらの電力が大きすぎる場合、IR ドロップ等による電源電圧変動や発熱によって回路遅延が増加し、誤テストや回路破壊を引き起こすため、論理 BIST 時の電力抑制対策が必須である[1]。また、低電力化したパターンでは故障検出率が低下したりパターン数増加によりテストコストが増加したりする問題も知られているので、故障検出率を低下させない対策も合わせて必要である。

スキャンシフト時の電力対策の既存手法として、スキャンシフト時のフリップ・フロップ (FF) から組合せ回路の信号値伝搬をブロックする *Blocking* 手法 [3,4], スキャンチェーンを分割してスキャンシフトすることにより同時に動くチェーン長を短くする *Segmentation* 手法 [5], 自動発生

するテストパターンのトグル率を制御して電力を下げる手法 [6,7,15-17], スキャンチェーン毎に値の変化を止めたり、固定値を入れたりして電力を制御する手法 [8-10]などが報告されている。また一般的な故障検出率改善の手法として、故障検出の効果の少ないテストパターンを削減する *Vector inhibition* 手法 [11-13], 複数のシード値を入れることで特定の故障を検出しやすくするリシード手法[14]などがあるが、テスト時の電力対策の故障検出率の低下防止対策としての併用は難しいと考えられる。

また多くの手法はテスト時の電力低減に注力しているが、逆に実動作時よりも低すぎると、検出すべき遅延故障が検出できない、いわゆる故障の見逃しの問題も指摘されている[18,19]。したがって、スキャンシフト電力を回路固有の適切なテスト電力値に制御する必要もある。

著者らの先行研究では、スキャンシフト電力を低減するとともに、1回のテスト中に複数回のキャプチャを行うことで実質的なテスト回数を増やすマルチサイクル手法によりキャプチャ電力の低減と故障検出率の低下抑制を同時に実現した[15-17]。スキャンの入力パターンは *PLPF(Pseudo Low-Pass Filter)*と名付けた回路でパターンの変化量、すなわちトグル数を制御することでスキャンイン電力を削減する。また、キャプチャされたパターンが発生するスキャンシフト時の電力も一部の FF 値を書き替える手法でスキャンアウト電力を低減している。[15-17]の報告では、スキャンイン電力を 17.1%、7.6%の複数のレベルへ低減可能なこ

†1 九州工業大学
Kyushu Institute of Technology

†2 愛媛大学
Ehime University

とを確認した。しかし、提案したマルチサイクル手法は一部のベンチマーク回路で故障検出率の向上効果が少ない場合もあるため、他の手法を併用してより故障検出率の向上を図ることが望ましい。そこで本報告では、*PLPF* で生成した電力低減のテストパターンを改善し、スキャンイン電力低減だけでなく故障検出率も高くなるように考えた。[6-10,15-17]の報告では、スキャンイン電力が大きいほど故障検出率が高いことに着目し、指定した電力の制約値の範囲内で故障検出率が高いパターンの生成方法を提案する。実現にあたっては、先行研究の *PLPF* と同等の機能を持ち、回路数が少なく電力低減レベルの制御も容易な回路を採用し、これを制御することでスキャンパターンの電力を制約値以下に収め、かつ故障検出率も高めた。シミュレーションによる評価実験では、スキャンイン電力は指定値に対して誤差約 0.2% 以内に制御でき、スキャンイン電力を制御した場合の故障検出率(単一縮退故障)は、単に *PLPF* でスキャンイン電力を削減した先行研究[15,17]と比べて平均故障検出率を最大で 3.65% 向上した。ただしマルチサイクルテストとの併用は今後の課題としている。スキャンイン電力制御回路面積は、先行研究の *PLPF* に比べて最大 65% 縮小することができた。そして、提案回路を組込んだ TEG による実デバイスでスキャンイン電力制御値とリングオシレータの周波数の関係性を評価した。その結果、電力低減量が大きいほど周波数が高い、即ち IR ドロップ等による電源電圧低下が少ないという関係が確認され、相関指数が-0.99 の強い関係性を示した。

以下、本論文は以下の通り構成される。2 節では、先行研究の制御回路の説明、3 節では、提案するスキャンイン電力制御手法の説明、4 節では、論理・故障シミュレーションと TEG の電力制御評価と結果を示し、5 節で本論文をまとめる。

2. 先行研究[15,17]

スキャンイン電力を低減する *PLPF* の原理と構造について図 1 を用いて説明する。*PLPF* は図のように各スキャンチェーンの入り口に直列に接続され、過去の時刻から先の時刻までの値を移動平均することで平坦化を行い、LFSR で生成された疑似ランダムパターンの反転確率を低減することができる。過去と未来の値のビット数をそれぞれ n (n は自然数)とした場合、スキャンクロック時刻 $j+n$ から $j-n$ までの $2n+1$ 個を入力し $2n+1$ ビットの *PLPF* が構成できるが、その出力パターンでは n ビット以下の幅のトグルは発生しないように設計される(初期化時を除く)。回路機能は結果的に多数決回路となる。過去の時刻 $j-n$ の値として、スキャンチェーンの入り口から n 番目のスキャン FF の値が該当するので、その出力を *PLPF* にフィードバック接続するため、スキャンチェーンからの配線が n 本必要になる。例えば、入力数が 3bit ($n=1$)の場合、クロック時刻 $j+1, j-1$

の 3 つの値を入力する(図 1(a))。ここで時刻 $j-1$ の値は最初の FF 値が用いられる。また、*PLPF* に必要な未来の値を生成する *PSF*(Phase Shifter for Filter)は、EXOR ゲート回路の組合せで構成され、LFSR の構成と配線次第では EXOR ゲートが一切要らない場合もある。またスキャンチェーン間の相関をなくし故障検出率を上げるためよく用いられるフェーズシフタ[20]を組込む場合は *PSF* がフェーズシフタの役割を兼用できる。その際は、フェーズシフタの出力値に対して、未来の値を生成するために必要な EXOR ゲートを *PSF* に追加すればよい。

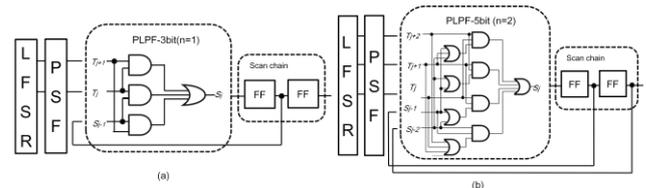


図 1 従来の *PLPF* の構造例

3. 提案するスキャンイン電力制御

3.1 *PLPF* の等価回路

先行研究の *PLPF* は、多ビット構成にするにつれて多くの論理回路が必要となり、またスキャンチェーン FF からのフィードバックの配線本数も増えるので、回路面積や配線性が問題となる。そこで、先行研究と機能が同等な回路を提案し、面積の最適化を図ることとした。*PLPF* の出力値がトグルする条件は、現在と未来の全ビット値が同じ値、かつその値が過去の全ビット値と異なる時である。この性質に着目した等価回路を図 2 に示す。

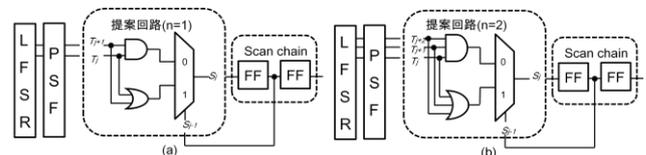


図 2 提案する *PLPF* の等価回路

追加する未来の値のビット数を n とした場合、図 2(a)の回路($n=1$)は、先行研究の *PLPF*-3bit(図 1(a))に相当し、図 2(b)の回路($n=2$)は先行研究 *PLPF*-5bit(図 1(b))に相当する。回路は、ゲート入力数 $n+1$ の AND ゲートとゲート入力数 $n+1$ の OR ゲートと、それらの出力を選択するマルチプレクサで構成され、先行研究と同じ *PSF* を使用する。論理式で表すと $S_{j-1}=0$ の場合 $S_j = \prod_{i=0}^n T_{j+i}$ 、 $S_{j-1}=1$ の場合 $S_j = \sum_{i=0}^n T_{j+i}$ である。マルチプレクサの選択信号は保存している値(FF)からフィードバックするので、FF に保存されている値と異なる値が $n+1$ 回連続して入るときに値のトグルが起きる仕組みである。つまり、 n ビット以下の幅のトグルは発生しない。ゲート入力数 n の入力を増やすほどトグル確率は減少する。*PLPF*($n=2$)の期待されるトグル率の計算例を示す。テストパターンの値 0 と 1 が出る確率が 1/2 とした場合、トグルする試行回数は、 n 回まで FF の値と異なる値が出る試行回数 $(n+E_n) \times (1/2)^n$ と n 回目にトグルする試行

回数 $n \times (1/2)^2$, よってこれらを合わせるとトグルにかかる平均テストベクトル数(トグル期待値) E_n は式(1)で表わすことができる. よって, 平均トグル率 TR_n は式(2)で示すことができる.

$$E_n = \sum_{n=1}^n (n + E_n) \cdot \frac{1^n}{2} + n \times \frac{1^n}{2} = 2^{n+1} - 2 \quad (1)$$

$$TR_n[\%] = \frac{100}{E_n} \div 100 = \frac{1}{2^{n+1}-2} \quad (2)$$

纏めると, 表 1 に示すように理論上の $PLPF(n=2)$ のトグル率 TR_2 は $1/6 \approx 16.67\%$, 理論上の $PLPF(n=3)$ のトグル率 TR_3 は $1/14 \approx 7.14\%$ になる.

表 1 $PLPF$ のトグル率と制御信号

$PLPF$ inputs	トグル期待値 E_n	トグル率 TR_n [%]	$PLPF$ 制御信号 ($T_{j+3}, T_{j+2}, T_{j+1}$)
1 bit ($n=0$)	2	50	0,0,0
3 bit ($n=1$)	6	16.67	0,0,1
5 bit ($n=2$)	14	7.14	0,1,1
7 bit ($n=3$)	30	3.34	1,1,1

提案した回路の特徴として, 追加する未来の値のビット数 n を増やす場合, 先行研究の組合せ回路は ${}_{2n+1}C_n$ 個の AND ゲートと 1 個の OR ゲート(最適化しない場合)が必要になるに対して, 提案した回路の組合せ回路はゲート入力数 $n+1$ の AND ゲートとゲート入力数 $n+1$ の OR ゲートとマルチプレクサで構成できるので, 先行研究と比べて容易な構造で回路面積が低減できることが分かる. また, スキャンチェーンからのフィードバックの配線が先行研究では n 本に対して, 1本で済むため, 配線性も向上できる.

3.2 スキャンイン電力制御回路

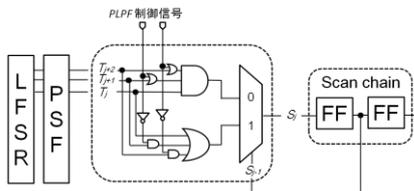


図 3 提案する任意なスキャンイン電力制御回路構造

3.1 節で提案した $PLPF$ 回路をベースに用いて, スキャンイン電力制御回路を提案する. スキャンイン電力制御回路の構造例を図 3 に示す. 図 2(b)の $n=2$ の回路で, 未来の値 T_{j+1}, T_{j+2} に AND ゲートと OR ゲートを $PLPF$ 制御信号として図 3 に示すように追加する. $PLPF$ 制御信号は追加するゲート n 本分が必要になる. $PLPF$ 制御信号が 1 の場合, 未来の値は AND ゲートと OR ゲートを通して固定値になるため, 未来の値の入力を遮断できる. $PLPF$ 制御信号が 0 の場合, 未来の値がそのまま値が通過できる. テストパターンをスキャンインしている途中に, 表 1 のように $PLPF$ 制御信号を時間的に切り替えることで, テストパターンの値を疑似ランダムパターン($n=0$)あるいは $PLPF(n=1,2,3)$ にそれぞれ切替え可能である.

3.3 スキャンイン電力制御手法

テストパターンのスキャンインの途中に $PLPF$ 制御信号によってトグル率を切り替えて, 平均スキャンイン電力を指定値になるように制御する. テストパターンのトグル率を下げるとスキャンチェーン内の隣接する FF の値が同じ

値を取り相関が強くなるため故障検出率が低下することが報告されている[6-10,15-17]. そこで故障検出率を向上するにはスキャンチェーン内にランダム性が高い値を入れた方が良い. また $PLPF$ の切り替え方法は多数存在するが, 本研究では, 電力計算・評価の簡易化のため $PLPF$ の切り替え回数を 2 回, 単純に $PLPF$ パターンの間にランダム性の高いパターンを挿入する形, $PLPF(n=2) \rightarrow LFSR(n=0) \rightarrow PLPF(n=2)$ の順番に切り替えて故障検出率を評価する. $PLPF$ の切り替えるタイミングの計算が必要になる. その手順と条件を示す. スキャンチェーン 1 本の FF 数を L , スキャンシフト中に 2 回 $PLPF$ を切り替える場合($n=2 \rightarrow 0 \rightarrow 2$), スキャンイン電力 $WTM_{in}(t)$ は式(3)で表すことができる.

$$WTM_{in}(t) = \frac{\sum_{i=1}^{\alpha} i \times TR_3}{\sum_{j=1}^L j} + \frac{\sum_{i=\alpha+1}^{\alpha+\beta} i \times TR_1}{\sum_{j=1}^L j} + \frac{\sum_{i=\alpha+\beta+1}^{\alpha+\beta+\gamma} i \times TR_3}{\sum_{j=1}^L j} \quad (3)$$

WTM (Weight Transition Metrics)[2]はスキャンシフト電力を示す指標であり, 式(3)は 2 回 $PLPF$ を切り替える時の平均スキャンイン電力を意味する. α, β, γ はそれぞれの $PLPF$ の時間割合($\alpha > E_2=14, \beta > E_0=2, \gamma > E_2=14, \alpha+\beta+\gamma=L$)を示し, $PLPF$ の電力低減効果を発揮するために, $PLPF$ の時間割合 α, β, γ は $PLPF$ のトグル期待値 E_n (式 1)より大きくする必要がある. スキャンシフト α 回目と $\alpha+\beta$ 回に $PLPF$ を切り替える. 故障検出率を上げるためには, ランダム性高いパターンを多くの FF 間に入力できるように, β の位置をずらす(α, γ の値を変える)ような工夫をするとよい.

回路規模と故障検出率を考慮し, 回路規模が最小で基礎となる制御手法($Basic$ 制御手法), ランダム性が高いパターンの位置を交換することで故障検出率を向上させた制御手法($Swap$ 制御手法), 回路面積を考えずランダム性が高いパターンの位置をずらすことで故障検出率を向上させる制御手法($Moving$ 制御手法)の 3 つを提案する.

A. $Basic$ 制御手法

図 4 のように最初の $PLPF(n=2)$ を $\alpha=(L-i)/2$, 次に $LFSR(n=0)$ を $\beta=i$, 最後の $PLPF(n=2)$ に $\gamma=(L-i)/2$ と割り当てる. $LFSR$ の時間割合 β を計算すれば, 残りの $PLPF$ の α, γ も求めることができる. 従って, 指定したスキャンイン電力 $WTM_{in}(t)$ に近い i のパラメータを計算すれば良い.

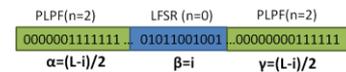


図 4 スキャン電力制御手法($Basic$)

B. $Swap$ 制御手法

次に, 小規模の回路追加で故障検出率向上のための制御手法を提案する. 図 5 のようスキャンチェーンの奇数番目は最初の $PLPF(n=2)$ を $\alpha=L/2-i$, 次に $LFSR$ を $\beta=i$, 最後の $PLPF(n=2)$ に $\gamma=L/2$, スキャンチェーンの偶数番目は $PLPF(n=2)$ を $\alpha=L/2$, 次に $LFSR$ を $\beta=i$, 最後の $PLPF(n=2)$ に $\gamma=L/2-i$ を割り当てる. そして, テストパターン毎(キャプチャ後)に α, γ の割当の値を交換($Swap$)する. そうする

ことにより、ランダム性が高いパターンの範囲が実質 2 倍になり故障検出率向上が見込める。指定したスキャンイン電力 $WTM_{in}(t)$ に近いような LFSR の時間割当 i のパラメータを計算で求めたらよい。

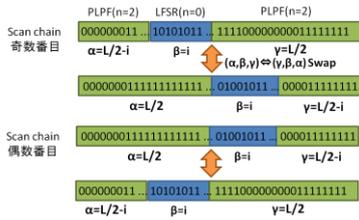


図5 スキャン電力制御手法(Swap)

C. Moving 制御手法

故障検出率向上を重視に考えた場合の切替え手法も提案する。図6のよう最初の $PLPF(n=3)$ を $\alpha=L-i$, 次に LFSR を $\beta=i$, 最後の $PLPF(n=3)$ に $\gamma=j$ を割り当てる。そして、テストパターン毎に $PLPF$ の時間割当 $\gamma=j$ の値を1ずつ増やしていく。そして α の値が期待値 ($E_3=14$) 未満になる場合、 γ の値を0にリセットする。そうすることによって、実質ランダム性が高いパターンの範囲が $L - 2E_n(L-28)$ になり故障検出率向上が見込める。指定したスキャンイン電力 $WTM_{in}(t)$ に近いような LFSR の時間割当 i のパラメータを計算で求めたらよい。また、カウンタレジスタや加算器を追加する必要があるためスキャンイン電力制御手法(Basic と Swap)と比べて回路面積は増大する。

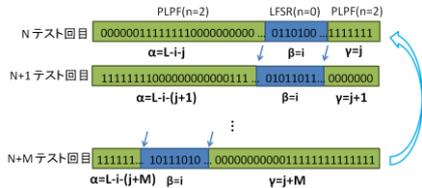


図6 スキャン電力制御手法(Moving)

4. 実験結果

4.1 シミュレーション環境

3章で提案したスキャンイン電力制御回路で生成されるテストパターンを用いてシミュレーションを行った。使用したシミュレータはC言語で構成されたインハウスのシミュレータである。故障モデルは縮退故障(Stuck-At)と遷移故障(Transition Delay), LOC方式, ベンチマーク回路として, ISCAS'89 と ITC'99 のベンチマーク回路をそれぞれ5個ずつ使用した。テストパターンは16ビットのLFSR(多項式: $x^{16} + x^{15} + x^{13} + x^4 + 1$)で1個のシード(1010...を交互)から生成されたテストパターンを30K個(スキャンチェーンにテストベクトル全て入力)で1テストパターン)を使用している。スキャンチェーン内のFF数は100 or 200以下で行う。また、実験の簡易化・鮮明化をするため、フェーズシフトやマルチサイクル, スキャンアウト制御手法は使用せず, 電力制御部分だけ評価を行う。シミュレーションの電力評価で WTM (Weight Transition Metrics)[2]を用いた。 WTM_{in} は

平均スキャンイン電力, WTM_{out} は平均スキャンアウト電力, WTM は平均スキャンシフト電力を示し, $(WTM_{in} + WTM_{out})/2$ で求めることができる。

4.2 提案する PLPF 回路評価

表2にシミュレーション結果を示す。3.1節に提案した回路($n=1$)は先行研究の $PLPF$ -3bit と同じスキャンイン電力 WTM_{in} になった。これは提案した回路が先行研究の $PLPF$ と同等回路であることを示している。一方, 3.1節に提案した回路($n=2$)と先行研究の $PLPF$ -5bit を比べると, 平均 WTM_{in} が0.11%低下した。これは, スキャンチェーンのフィードバックが2個から1個に変わったため, キャプチャ値とテストパターンのトグルに影響が変わったと考える。また, キャプチャの影響が少なくなったため, 表1の理論上のトグル率に近づいたと考える。

表2 PLPF のスキャンイン電力

対象回路	スキャンイン電力 WTM_{in} (%)				
	LFSR	PLPF			
		先行研究 ($n=1$)	提案回路 ($n=1$)	先行研究 ($n=2$)	提案回路 ($n=2$)
s9234	50.00	16.72	16.72	7.41	7.34
s13207	50.00	16.93	16.93	7.47	7.46
s15850	50.00	17.01	17.01	7.60	7.56
s38584	50.00	16.86	16.86	7.45	7.42
s38417	50.00	16.78	16.78	7.35	7.32
b14	50.01	16.99	16.99	7.66	7.57
b15	49.99	16.83	16.83	7.35	7.35
b20	50.00	16.70	16.70	7.22	7.20
b21	50.00	16.70	16.70	7.22	7.20
b22	49.99	16.78	16.78	7.37	7.35
平均	50.00	16.83	16.83	7.41	7.38

4.3 スキャンイン電力制御評価

本研究では, スキャンイン電力制御の目標値として LFSR のランダムパターンで入力した際, キャプチャ時の FF のトグル率を通常動作の電力と仮定した。各ベンチマークのキャプチャ時のトグル率は表4に示す。ISCAS'89ベンチマーク回路はキャプチャ時のトグル率が高いため, 目標とする WTM_{in} の値をキャプチャ時のトグル率10%に設定し, ITC'99 のベンチマーク回路はキャプチャ時のトグル率と同じ値で設定した。また, b15 の回路は目標とする WTM_{in} が7.14%以下になったため, $PLPF(n=3)$ で構成した。スキャンイン電力制御のための切替えタイミングを表3に示す。LはスキャンチェーンのFF数を示し, $PLPF$ の切替えタイミング α, β, γ を示す。

表3 回路毎の切替えタイミング

対象回路	L	Basic 制御手法			Swap 制御手法			Moving 制御手法		
		α	β	γ	α	β	γ	α	β	γ
s9234	76	28	19	29	38	19	19	38	19	19
s13207	96	26	43	27	14	43	39	14	43	39
s15850	100	36	28	36	50	28	22	50	28	22
s38584	97	25	46	26	14	46	37	14	46	37
s38417	182	69	44	69	91	44	47	91	44	47
b14	82	35	11	36	41	11	30	41	11	30
b15	90	42	5	43	45	5	40	45	5	40
b20	98	42	14	42	49	14	35	49	14	35
b21	98	42	14	42	49	14	35	49	14	35
b22	92	39	13	40	46	13	33	46	13	33

スキャンイン電力 WTM_{in} のシミュレーション結果を表4に示す。各テスト電力結果は指定したスキャンイン電力との差を示す。どのスキャンイン制御手法においても指定した

表4 スキャンイン電力結果

対象回路	キャプチャ電力 (%)	WTM _{in} 指定値 (%)	Basic 制御手法			Swap 制御手法			Moving 制御手法		
			ΔWTM _{in} (%)	ΔWTM (%)	ΔPeak WTM (%)	ΔWTM _{in} (%)	ΔWTM (%)	ΔPeak WTM (%)	ΔWTM _{in} (%)	ΔWTM (%)	ΔPeak WTM (%)
s9234	27.81	17.81	-0.09	2.22	16.58	0.05	1.88	13.85	0.03	1.94	18.87
s13207	36.32	26.32	0.12	3.40	11.64	0.32	3.41	11.84	0.33	3.52	12.05
s15850	29.03	19.03	0.50	1.80	11.11	0.50	1.57	10.18	0.51	1.62	12.08
s38584	37.53	27.53	-0.11	1.78	10.07	0.11	1.74	9.08	0.12	1.80	10.42
s38417	27.63	17.63	0.18	4.00	10.23	0.24	3.94	9.49	0.24	3.91	11.30
b14	13.14	13.14	0.00	6.66	17.53	0.06	6.65	17.60	0.08	6.49	17.45
b15	5.95	5.95	0.09	0.66	8.02	0.13	0.68	8.44	0.11	0.79	8.70
b20	13.08	13.08	0.11	4.03	13.23	0.12	4.06	14.19	0.12	3.43	13.50
b21	13.08	13.08	0.11	4.02	13.22	0.12	4.05	14.19	0.12	3.42	13.24
b22	13.12	13.12	0.07	3.24	11.20	0.15	3.30	11.13	0.17	3.49	12.73
平均	-	-	0.10	3.18	12.29	0.18	3.13	12.00	0.19	3.04	13.04

表5 故障検出率結果

対象回路	LFSR		PLPF 提案回路(n=2)		Basic 制御手法		Swap 制御手法		Moving 制御手法	
	SA	TD	SA	TD	SA	TD	SA	TD	SA	TD
s9234	85.17	61.61	77.31	49.73	81.09	51.00	83.14	55.41	83.83	56.10
s13207	90.38	61.39	71.13	47.66	80.84	57.08	86.71	63.44	85.83	62.57
s15850	88.07	51.20	80.42	46.70	79.91	46.47	82.24	48.76	85.97	50.89
s38584	91.30	59.94	85.87	49.07	88.99	54.89	89.99	58.52	89.96	58.19
s38417	95.16	84.58	92.15	78.92	91.93	79.36	92.74	81.06	93.86	82.93
b14	85.22	73.50	89.43	72.58	89.37	72.80	89.44	73.00	89.47	74.10
b15	85.19	58.85	65.08	34.73	61.19	29.23	61.38	29.42	68.88	40.60
b20	84.54	73.60	90.14	74.94	88.91	72.88	89.47	74.06	90.17	76.19
b21	86.23	75.58	91.20	77.11	90.17	75.26	90.57	76.07	91.28	78.12
b22	85.66	75.18	89.82	75.26	89.16	75.07	89.73	75.74	89.89	76.36
平均	87.69	67.54	83.26	60.67	84.16	61.40	85.54	63.55	86.91	65.61

WTM_{in} と平均 0.2%の誤差範囲内で制御することができた. Moving 制御手法は, テスト電力を考慮していないため, ピークスキャンシフト電力は Basic 制御手法と比べて 0.75% 増加した. また, 平均スキャンシフト電力 WTM が目標のスキャンイン電力 WTM_{in} と比べて平均 3.12%増えたが, スキャンアウト電力の影響で有り, キャプチャの影響を考慮してスキャンインで制御するのは難しい. スキャンアウト電力制御[16,17]で抑えるか, スキャンアウト電力が上昇することを見越して, 事前に指定する WTM_{in} を 2~3%下げると良い.

表5に故障検出率のシミュレーション結果を示す. 単純なスキャンイン電力低減の PLPF(n=2)と比べて Basic 制御手法は, 平均故障検出率 0.9%(SA), 0.73%(TD)増加した. ランダム性が高い LFSR の値を入れたためであり, ランダム性が高いパターンしか検出できない故障を発見できたと考えられる. また, 単純なスキャンイン電力低減の PLPF(n=2)と比べて Swap 制御手法は, 平均故障検出率 2.28%(SA), 2.88%(TD)増加, Moving 制御手法は, 平均故障検出率 3.65%(SA), 4.94%(TD)増加した. どの制御手法において, 縮退故障と遷移故障の故障検出改善の効果が得られた. これは, FF 間に多くの範囲にランダム性の高いパターンが入力され, 故障検出率向上した物だと考える.

4.4 面積評価

b22 ベンチマーク回路に対して提案した回路の追加面積を図7に示す. b22のスキャンチェーンは9本とし, Synthesis社の Design Compiler の論理合成後のエリアログを用いて面積評価をした. [17]のスキャンイン電力制御回路を実現しようすると b22 回路規模に対して 0.85%の面積追加になる. 一方, 今回提案した Basic 制御手法でスキャンイン

電力制御回路を実現すると 0.32%の面積追加で実装可能, Swap 制御手法では 0.37%, Moving 制御手法では 0.67%となった. 提案したスキャンイン電力制御手法は, 先行研究の回路でスキャンイン電力制御回路を構成した場合と比べて約 65%の面積を削減できた. 既存手法と比べて LT-RTPG[6]と 0.05%差と同等ぐらいの面積追加で実現可能であり, PRESTO[10]と比べて最小で 30%程度の面積でスキャンイン電力制御が可能である.

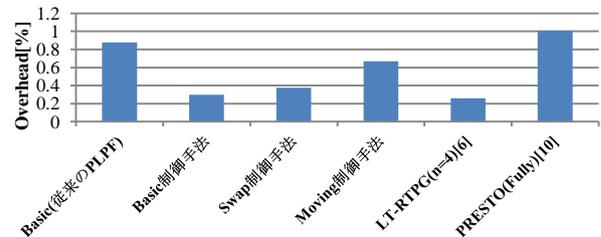


図7 b22に対する追加回路

4.5 TEG 評価

先行研究の PLPF を用いたスキャンイン制御回路を搭載した TEG チップを設計した. シミュレーション結果より提案したスキャンイン電力回路と同等な効果が期待できる. プロセスは ROHM の CMOS 180nm テクノロジー, テスト対象回路として ITC'99 の b22 ベンチマーク回路を 4 つ, スキャンイン制御回路を用いた BIST を搭載した. また, スキャンイン電力制御効果を遅延値で評価するため, BIST の側 4 箇所にリングオシレータ(RO : Ring- oscillator)[21,22]を配置した. 1 箇所毎に 3 種類の RO を搭載し, RO1 は 51 段 2NAND の 1 ファンアウト, RO2 は 21 段 4NAND の 4 ファンアウト, RO3 は 21 段 4ORNAND の 1 ファンアウトである. TEG チップは 8 個測定行った.

表6の切り替えタイミングで3章において提案したスキヤンイン制御(Basic制御手法)を行った。表6と図8に測定した周波数の結果を示す。LFSRの疑似ランダムパターン(WTM_{in} 50%)と比べて、RO1周波数はそれぞれ0.15% (WTM_{in} 30%), 0.25% (WTM_{in} 20%), 0.33% (WTM_{in} 10%)改善できた。またスキヤンイン電力と周波数の相関は、-0.99で非常に強い相関が得られた。これは、スキヤンイン電力制御によって、消費電力が低減し、IRドロップや発熱による遅延値が改善したためであると考えられる。RO2やRO3, 他のTEGチップにおいて、同様の結果を得ることができた。またチップ間におけるスキヤンイン電力制御の効果差は最大0.5%程度であり、チップの製造バラツキはスキヤンイン制御の影響に大きく与えるものではない。

表6 各切り替えタイミングとRO周波数

スキヤンイン電力 WTM_{in}	切り替えタイミング			周波数 Chip1 (MHz)		
	α	β	γ	RO1	RO2	RO3
50%	0	82	0	163.98	164.40	200.04
30%	38	5	39	164.23	164.65	200.34
20%	28	25	29	164.39	164.81	200.54
10%	19	44	19	164.53	164.95	200.71
相関指数	-	-0.998	-	-0.998	-0.992	-0.999

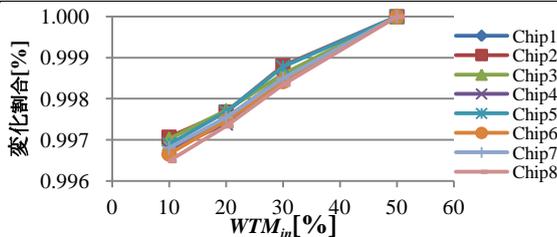


図8 RO1周波数グラフ

5. まとめ

本研究では、スキヤンイン電力を制御するための制御回路と制御手法を提案した。また、回路最適化するためにPLPFと同等な機能を持つ等価回路を採用し、先行研究[15,17]のPLPFと同等な電力低減効果が得られた。スキヤンイン電力 WTM_{in} は誤差0.2%範囲以内で制御可能であり、スキヤンイン電力制御手法を3つ提案した。それぞれ単純にPLPFでスキヤンイン電力を削減した場合と比べて、Basic制御手法は0.9%向上、Swap制御手法は2.28%向上、Moving制御手法は平均故障検出率3.65%向上効果(縮退故障)があった。先行研究のPLPFで構成する場合と比べて、回路面積を最大65%の削減可能である。また、TEG評価では、RO周波数とスキヤンイン電力に強い相関が得られ、実デバイスでスキヤンイン電力制御の効果が確認できた。

面積やスキヤンシフト電力の制約の余裕がある場合、Moving制御手法を用いることで故障検出率改善に大きく期待できる。Moving制御手法を使用しない場合、BasicとSwap制御手法を比べて、回路面積がほぼ同等なので故障検出率が高いSwap制御手法を用いるとよい。また、これらのスキヤンイン制御手法とマルチサイクル手法と組み合わせることでより高い故障検出率が期待できる。

今後の課題として、小規模回路かつより故障検出率が上

がるようなスキヤンイン制御手法の提案やスキヤンアウト電力、ピーク電力を考慮した制御手法の確立、マルチサイクル手法[15,17]との組合せ評価がある。

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し、ローム株式会社、シノプシス株式会社の協力で行われたものである

参考文献

- [1] M. Bushnell, V. Agrawal, *Essential of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits*, New York: Kluwer Academic Publisher, Nov.2000.
- [2] P.Girard, N.Bicolici, and X.Wen, *Power-Aware Testing and Test Strategies for Low Power Devices*, Springer, ISBN 978-1-4419-0927-5, New York, 2010.
- [3] S. Gerstendorfer and H.-J. Wunderlich, "Minimized Power Consumption for Scan-Based BIST," *Proc. ITC.*, pp. 77-84, 1999.
- [4] A. Hertwig and H.-J. Wunderlich, "Low Power Serial Built-In Self-Test," *Proc. European Test Workshop*, pp. 49-53, 1998.
- [5] L. Whetsel, "Adapting Scan Architecture for Low Power Operation," *Proc. ITC.*, pp. 863-872, 2000.
- [6] S. Wang and S. K. Gupta, "LT-RTPG: A New Test-Per-Scan BISTTPG for Low Heat Dissipation," *Proc. ITC.*, pp. 85-94, Oct. 1999.
- [7] X.Lin and J. Rajski, "Adaptive Low Shift Power Test Pattern Generator for Logic BIST," *Proc. ATS.*, pp. 355-360, Dec.2010
- [8] M. Filipek, Y. Fukui, H. Iwata, G. Mrugalski, J. Rajski, M. Takakura and J. Tyszer, "Low Power Decompressor and PRPG with Constant Value Broadcast," *Proc. ATS.*, pp. 84-89, 2011.
- [9] J. Rajski, J. Tyszer, G. Mrugalski and B. N.-Dostie, "Test Generator with Preselected Toggling for Low Power Built-In Self-Test," *Proc. VLSI Test Symp.*, pp.1-6, April. 2012
- [10] M. Filipek, G. Mrugalski, N. Mukherjee, B.-Dostie, J. Rajski, J. Soleccki and J. Tyszer, "Low-Power Programmable PRPG With Test Compression Capabilities," *Proc. IEEE transactions on VLSI systems*, pp. 1063-1076, 2014.
- [11] F. Corno, M. Rebaudengo, M. S. Reorda and M. Violante, "A new BIST architecture for low power circuits," *Proc. European Test Workshop*, pp. 160-164, 1999.
- [12] P. Girard, L. Guillier, C. Landrault and S. Pravossoudovitch, "A Test Vector Inhibiting Technique for Low Energy BIST Design," *Proc. VLSI Test Symp.*, pp. 407-412, 1999.
- [13] C. Zoellin, H.-J. Wunderlich, N. Maeding and J. Leenstra, "BIST Power Reduction Using Scan-Chain Disable in the Cell Processor," *Proc. ITC.*, paper 32.3, 2006.
- [14] C. V. Krishna and N. A. Toubia, "Reducing test data volume using LFSR reseeding with seed compression," *Proc. ITC.*, pp. 321-330, 2002.
- [15] Y. Sato, S. Wang, T. Kato, K. Miyase, S. Kajihara, "Low Power BIST for Scan-Shift and Capture Power," *Proc. ATS.*, pp.173-178, 2012.
- [16] S. Wang, Y. Sato, K. Miyase and S. Kajihara, "A Scan-Out Power Reduction Method for Multi-cycle BIST," *Proc. ATS.*, pp.272-277, Nov. 2012.
- [17] S. Wang, Y. Sato, S. Kajihara and H. Takahashi, "Physical Power Evaluation of Low Power Logic-BIST Scheme Using Test Element Group Chip," *Journal of Low Power Electronics. Vol.11, NO.4*, pp.528-540, 2015.
- [18] X. Wen, Y. Nishida, K. Miyase, S. Kajihara, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Pinpoint Capture Power Management in At-Speed Scan Test Generation", *Proc. ITC.*, pp.1-10, Nov. 2012.
- [19] X. Wen, "Power-Aware Testing: The Next Stage", *Proc. European Test Symposium, Annecy*, May 29, 2012.
- [20] J. Rajski, N. Tamarapalli, and J. Tyszer, "Automated synthesis of phase shifters for built-in self-test applications," *Proc. IEEE transactions CAD*, vol. 19, No.10, pp. 1175-1188, 2000.
- [21] Y. Miyake, Y. Sato, S. Kajihara, and Y. Miura, "Temperature and Voltage Estimation Using Ring-Oscillator-Based Monitor for Field Test," *Proc. ATS.*, pp.156-161, 2014.
- [22] Y. Miyake, Y. Sato, S. Kajihara, and Y. Miura, "Temperature and Voltage Measurement for Field Test Using an Aging-Tolerant Monitor," *Proc. IEEE transactions on VLSI systems*, 2016