

NBTIによる経年劣化の基板バイアス依存性測定と評価

岸田 亮¹ 小林 和淑¹

概要: 集積回路素子の微細化により, NBTI (Negative Bias Temperature Instability) による経年劣化が深刻な問題になっている. 逆方向基板バイアス (RBB) はスタンバイ時の低消費電力化に有効だが, NBTI による劣化が RBB により変化するため, 集積回路の劣化予測が複雑になっている. RBB による NBTI への影響を評価するために, 65 nm プロセスの薄膜埋め込み酸化膜を持つ SOI (Silicon on Insulator) で発振回路を試作して測定する. 動作速度一定の条件では, RBB でゲート酸化膜にかかる実効電界が増加するため, NBTI が加速され, 実測では RBB が 0 V から 1 V で劣化率が約 4 倍に増加した. 電源電圧一定の条件では, RBB でしきい値電圧増加により, 酸化膜へ捕獲されるキャリアが少なくなるため NBTI は抑制され, 実測により RBB が 0 V から 1 V で劣化率が 77 %減少することを確認した.

Measurements and Evaluations of Substrate Bias Dependence with Aging Degradation by NBTI

RYO KISHIDA¹ KAZUTOSHI KOBAYASHI¹

Abstract: Aging degradation caused by NBTI (Negative Bias Temperature Instability) has become a significant concern with the miniaturization of electronic devices. Although RBB (Reverse Body Bias) mitigates power consumption on the stand-by mode, it has been difficult to predict degradation of integrated circuits to change NBTI-induced degradation by RBB. We measure frequencies of ring oscillators fabricated in 65 nm thin buried oxide SOI (Silicon on Insulator) process to evaluate NBTI by RBB. At constant operation speed, NBTI is accelerated because electric field in a gate oxide increases. Degradation rate is four times larger from 0 to 1 V of RBB from measurement results. At constant supply voltage, NBTI is suppressed by RBB because threshold voltage increases and trapped carriers to the gate oxide decrease. Degradation rate decreases by 77% from 0 to 1 V of RBB from measurement results.

1. 序論

集積回路が 1971 年に発明されてから, 現在に至るまでその素子の大きさは年々微細化している. 微細化による利点は高集積化, 低消費電力化, 動作速度向上など数多く存在する. 高集積化を例にとると, 単位面積あたりの集積回路に搭載されている素子の数は 1.5 年から 2 年で 2 倍という驚異的なスピードで進んできた [1]. しかし, 微細化により NBTI (Negative Bias Temperature Instability) による経年劣化が顕在化してきた [2]. NBTI は経年劣化の主要因の 1 つであり, 電圧や温度のストレスを加えると, 時間経過に伴ってしきい値電圧が増加する [3]. このしきい値電

圧増加によって回路動作中に誤動作がおこるため, 対策が必須となっている.

NBTI 対策を行うのは設計時と動作時の 2 種類存在する. 設計時に行うものとしては, NBTI による劣化量を回路設計段階で見積もり, 劣化しても動作するように動作周波数や回路構造を変える. NBTI を考慮しない場合と考慮する場合で, 最長遅延経路であるクリティカルパスが異なる可能性がある [4]. しかし, 設計時に NBTI 対策を行う場合は動作状況を想定して設計するため, 想定していたものと異なる環境で動作した場合に思わぬ故障が発生する可能性がある. 一方で, 動作時に NBTI 対策を行うものは, 回路の動作状況に応じて電圧などを変化させるため, そのときの劣化度合いに応じて NBTI の対策が可能である [5]. 動作時に行う対策として基板バイアス制御がある. 基板バイア

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

ス制御は、MOSFETの基板バイアス(基板電圧)を変えることでしきい値電圧を変化させる方法である。基板バイアスを変える主な目的は動作速度の向上または低消費電力化であるが、NBTIによってしきい値電圧が増加した素子の基板バイアスを変えることで、しきい値電圧を元に戻すことが可能である。詳細な基板バイアスの制御方法やNBTIとの関係は2節で述べる。基板バイアス制御でNBTI対策が可能であるが、基板バイアスによってNBTIによる劣化量が変化するため、回路の劣化予測が複雑になる。しかし、基板バイアスを変えることでどれくらいNBTIによる劣化量がかわるか評価している先行研究が少なく[6]、薄膜の埋め込み酸化膜を持つデバイスでの評価はされていない。本稿では薄膜埋め込み酸化膜を持つデバイスを用いて、リングオシレータの基板バイアスによるNBTIへの影響を実測により評価する。

本稿の構成を述べる。2節で基板バイアス制御と、そのNBTIへの影響について述べる。3節ではその影響を調べるために試作した回路とその測定方法を述べる。4節で測定結果を示し、最後に5節で結論を述べる。

2. 基板バイアス制御とNBTI

本節では基板バイアス制御と、そのNBTIへの影響について述べる。

2.1 基板バイアス制御

図1に基板バイアス制御の概略図を示す。通常は図1(a)のように、N-wellを電源電圧VDDに、P-wellをグラウンドGNDに固定する。各端子の電圧を固定していないと、ドレイン・ソースとボディ間に寄生するPN接合ダイオードがONになって大電流が流れる可能性がある。大電流により、素子が動作しなくなるだけでなく壊れる可能性があるため、基板とウェルの電圧は固定しなければならない。この固定する電圧を変化させて、しきい値電圧を変える方法を基板バイアス制御と呼ぶ。基板バイアス制御には逆バイアス(RBB)と順バイアス(FBB)の2種類が存在する。図1(b)はRBBを印加したときを表している。ここではRBBの値を正とする。N-wellに印加しているVDDに加えてRBBを印加し、P-wellには負バイアスのRBBを印加する。このRBBによって空乏層が広がり、しきい値電圧の絶対値が増加する。しきい値電圧増加により、動作速度が減少し、漏れ電流も減少するため消費電力が少なくなる。一方でFBBはその逆で、N-wellのVDDと逆方向にFBBを印加し、P-wellに正バイアスのFBBを印加する。しきい値電圧の絶対値は減少し、動作速度と消費電力が増加する。基板バイアスとしきい値電圧には式(1)で表される関係が成り立つ[7]。

$$V_{th} = V_{th0} + \gamma(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}) \quad (1)$$

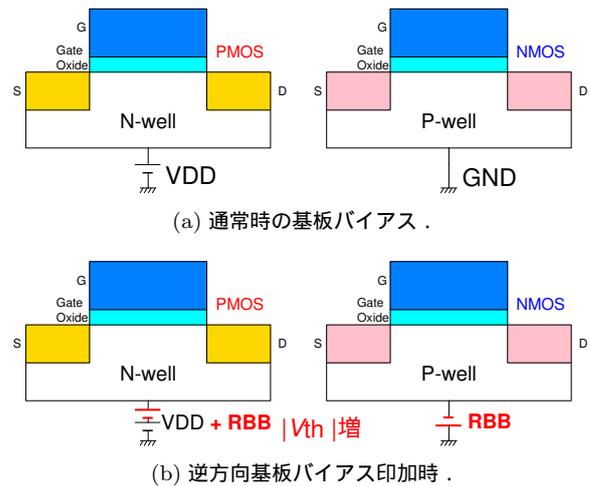


図1 基板バイアス制御。(a)通常、N-wellを電源電圧VDD、P-wellをグラウンドGNDに固定する。(b)逆方向基板バイアス(RBB)を印加するとき、N-wellにはVDDにさらに電圧を印加し、P-wellには負バイアスを印加してしきい値電圧を増加させる。

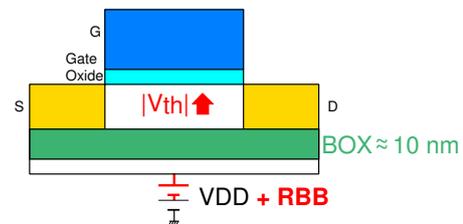


図2 薄膜埋め込み酸化膜デバイス(SOTB)による基板バイアス制御。埋め込み酸化膜(BOX)層が10nmと薄いため、基板バイアスの制御が可能である。

V_{th} はしきい値電圧、 V_{th0} はソースとボディが同電位であるときのしきい値電圧、 γ は基板効果係数、 ϕ_s は表面ポテンシャル、 V_{sb} はソース・ボディ間電圧で基板バイアスである。

基板バイアス制御はBOX(Buried Oxide:埋め込み酸化膜)層が厚いSOI(Silicon on Insulator)では不可能だが、図2に示すように、SOTB(Silicon on Thin BOX)ではBOX層が10nmと薄いため、制御可能である[8]。本稿ではこのSOTBを用いて、基板バイアスによるNBTIへの影響を評価する。

2.2 NBTI

NBTIは経年劣化の主要因の1つである[3]。MOSFETに電圧や温度によるストレスを加えると、時間経過に伴ってしきい値電圧が劣化する。このしきい値電圧劣化が遅延時間の増加や、発振周波数減少などといった悪影響をもたらす、回路の誤動作につながる。NBTIには劣化現象だけではなく回復現象が存在する。ストレスを取り除くと、劣化していたしきい値電圧が元にもどる。しかし、劣化したしきい値電圧が完全に回復するわけではなく、回復不可能な成分も存在する。

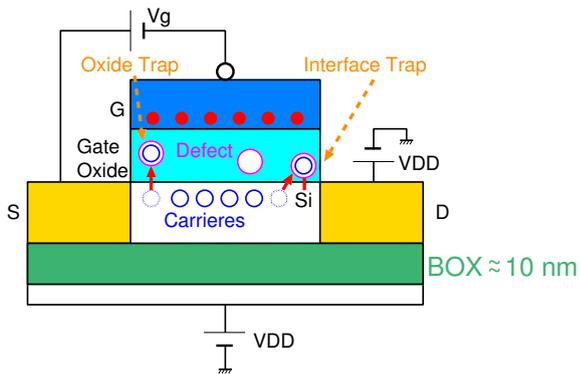


図 3 Atomistic Trap-based BTI (ATB) モデル．酸化膜中の欠陥がチャンネルのキャリアを捕獲することで、しきい値電圧が劣化する．

NBTI の発生原理として Atomistic Trap-based BTI (ATB) モデルによるキャリアの捕獲および放出が考えられている [9], [10]．図 3 に ATB モデルによるしきい値電圧変動を表した MOSFET 断面の模式図を示す．ゲート酸化膜の欠陥がチャンネルのキャリアを捕獲することでしきい値電圧が劣化する．欠陥には捕獲および放出するまでの時定数 (τ) が存在する．時定数は $10^{-9} \sim 10^9$ s に幅広く分布するとされている．放出するまでの時定数が 10^9 s のように長い欠陥が一度キャリアを捕獲すると、半永久的にキャリアを捕獲し続けることになる．こういった欠陥では一度捕獲されたキャリアは放出されないため、ストレスを取り除いても回復しない．時定数の分布によって劣化傾向は異なるが、一般的に時定数は対数一様分布であるとされている．この分布により、しきい値電圧が時間 t に対して $\log(t)$ で劣化する．

NBTI は PMOS でゲート・ソース間電圧が負であるとき ($V_{gs} < 0$ V) に発生する．NBTI は 65 nm 以下のゲート長で顕在化している．一方で PBTI (Positive BTI) も存在し、こちらは NMOS で $V_{gs} > 0$ V となるときに発生する経年劣化現象である．65 nm プロセスでは PBTI は顕在化していなかった．65 nm プロセスで用いられている SiON のゲート酸化膜では、NMOS では欠陥が発生しにくいためである．しかし、45 nm 以下のプロセスで PBTI が顕在化してきた．これは 45 nm 以下のプロセスから high-k と呼ばれる高誘電率のゲート酸化膜を用いているためである [11]．high-k とは Hf (ハフニウム) を用いた SiON より約 3 倍高い誘電率をもつ材料である．high-k を用いる理由はゲート酸化膜の薄膜化に限界がきたためである．65 nm プロセスでの酸化膜厚は約 1 nm であるが、これ以上薄くするとゲートリーク電流が多く流れて消費電力が増大し、ゲート電界による制御が難しくなる．酸化膜の材料に SiON より高い誘電率の high-k を用いることで、酸化膜を厚くしても SiON と同等の酸化膜容量を維持できる．しかし、high-k では NMOS でも欠陥が多くなり、PBTI が顕在化した．今

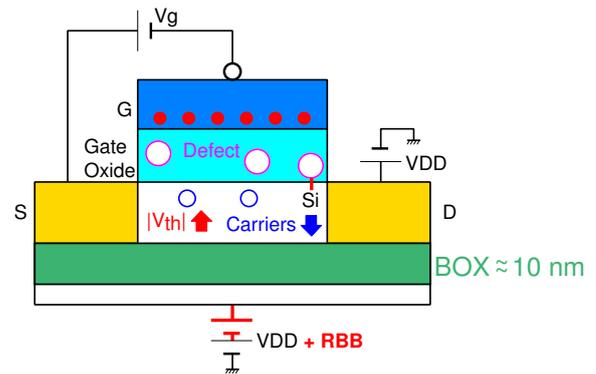


図 4 RBB による NBTI の抑制．電源電圧一定では、RBB によってしきい値電圧が増加し、キャリア数が減少するため、捕獲されるキャリアが少なくなり NBTI が抑制される．

回試作したプロセスは 65 nm であり、high-k を用いていないため PBTI は発生しないと考えてよい．

2.3 基板バイアスによる NBTI への影響

基板バイアスが変動すると、NBTI による劣化量が変動する．図 4 に逆方向基板バイアス (RBB) を印加したときの MOSFET を示す．RBB によりしきい値電圧が増加する．しきい値電圧が増加すると、チャンネルに誘起されるキャリア数が少なくなる．キャリア数が少なくなると酸化膜へ捕獲される数も少なくなるため、NBTI が抑制される．

3. 測定

本節で基板バイアスによる NBTI への影響を調べるために試作した回路について述べた後に、測定方法について述べる．

3.1 測定回路

図 5 のように NOR を鎖状につないだ 11 段リングオシレータを用いる．インバータではなく NOR を用いた理由は、発振停止時に NBTI のみを発生させるためである．NOR の 2 つある入力端子のうち、1 つは発振制御用端子 (ENB) につなぐ．もう一方の端子は前段 NOR の出力端子につなぐ．ENB が 1 のとき、NOR の出力は全て 0 となるため、NBTI が発生する．ENB が 0 のときは、全ての NOR はインバータと同じ動作をするため、リングオシレータとして動作する．このとき、出力は 0 と 1 を交互に繰り返して発振する．NBTI によってしきい値電圧が増加する

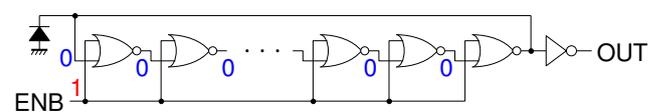


図 5 試作した 11 段リングオシレータ測定回路．ENB が 1 のときは全 NOR の出力は 0 となり、発振停止かつ NBTI によるストレスを受ける．ENB が 0 のときはインバータと同じ動作をするため、リングオシレータとして発振する．

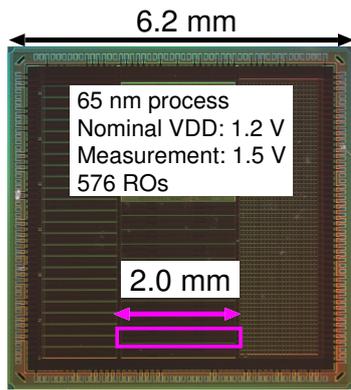


図 6 試作チップ写真．リングオシレータが 576 個搭載されており，その平均値を評価する．

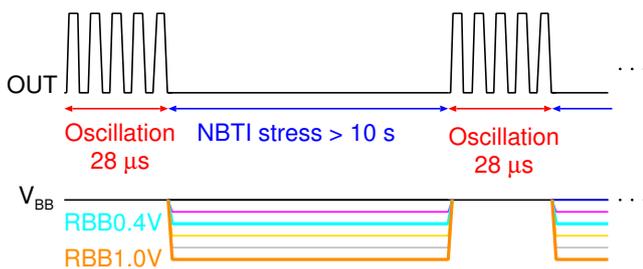


図 7 電源電圧一定での測定の流れ．発振させるときは基板バイアスを 0 V にし，発振を停止して NBTI ストレスがかかっているときに，基板バイアスを印加する．

と，発振周波数が減少するため，リングオシレータの発振周波数を時間経過毎に測定することで，NBTI の影響を評価する．

試作チップの写真を図 6 に示す．65 nm の SOTB プロセスであり，チップ中央下部に評価回路を配置している．1 チップに同じ構造のリングオシレータを 576 個搭載しており，その平均値で評価する．

3.2 測定方法

測定は以下の 2 通りの方法で行う．

- (1) 動作速度 ($V_{ov} = V_{gs} - V_{th}$) が一定
- (2) 電源電圧が一定

(1) の動作速度一定は，RBB を増加させて V_{th} が増加した分，電源電圧を増加させて測定を行う．初めに，電源電圧 1.5 V で基板バイアスを印加しないときの初期発振周波数を測定する．今回の測定では，この初期発振周波数は 1.57 GHz であった．RBB を変えたときに，この発振周波数と同じになる電源電圧で測定する．例えば RBB を 0.6 V 印加するとき，動作速度を同じにするために電源電圧を 1.75 V にして，初期発振周波数を 1.57 GHz にそろえる．初期周波数と同じとなる電源電圧とそのときの基板バイアスを一定にしながら，28 μs の発振と 10 s 以上の NBTI ストレスを交互に繰り返しながら測定する．温度は NBTI を加速させるために 80 °C とする．

(2) の電源電圧一定は SRAM など実際のアプリケーションで用いられる制御方法である [5]．逆方向基板バイアスは待機状態で低消費電力にするために印加されるが，動作速度が遅くなるため，動作させるときは基板バイアスを元に戻すことが一般のアプリケーションで行われる．これにそった測定の流れを図 7 に示す．発振させるときは動作状態であるため，基板バイアスを 0 V にする．発振を停止するときには待機状態であるため，基板バイアスを印加する．この待機状態にリングオシレータの全出力が 0 となるため，NBTI ストレスがかかる．発振時間は 28 μs，NBTI ストレスは 10 s 以上印加し，できるだけ NBTI ストレスが支配的になるように測定する．電源電圧は 1.5 V で温度は 80 °C で測定を行う．

同じチップ，同じリングオシレータで基板バイアスを変えて測定を行うため，NBTI による劣化が蓄積している可能性がある．自動車や医療機器などのデバイスは電源を切らず常に稼働しているため，NBTI による劣化が蓄積するが，今回の目的は基板バイアスによる NBTI の変動評価であるため，NBTI による劣化は回復させて基板バイアス以外は同条件で測定する．電源を切ることで NBTI による劣化を回復させることができるため，各基板バイアスでの測定には 1 時間以上電源を切って，測定に間隔を空ける．

4. 測定結果

3 節で説明した回路を用いて発振周波数を測定した結果を示す．

4.1 動作速度一定での測定結果

各基板バイアスでの測定前に NBTI による劣化が回復しているかどうか初期周波数を確認する．図 8 に動作速度一定での初期周波数のみの結果を示す．各基板バイアスでの初期周波数は 1.57 GHz である．最も差があるところでも変動量は 0.05% であり，NBTI による劣化量より十分小さいことから，測定前に NBTI による劣化は蓄積していないことが確認できる．

図 9 に動作速度一定での NBTI 測定結果を示す．横軸は時間，縦軸は初期周波数を基準とした発振周波数の劣化率であり，上にいくほど劣化している．点が測定値の平均であり，曲線は ATB モデルに基づいた式 (2) で表される近似線 $f(t)$ である．

$$f(t) = S_{NBTI} \log(t + 1) \quad (2)$$

t は時間であり， S_{NBTI} は劣化度合いを示すフィッティングパラメータである．この S_{NBTI} が大きいほど，NBTI によって劣化している．図 9 の結果から，逆方向基板バイアス (RBB) を印加するほど，劣化率が増加していることがわかる．RBB を印加しないときと比べて，RBB が 1 V のときは劣化率が約 4 倍となった．

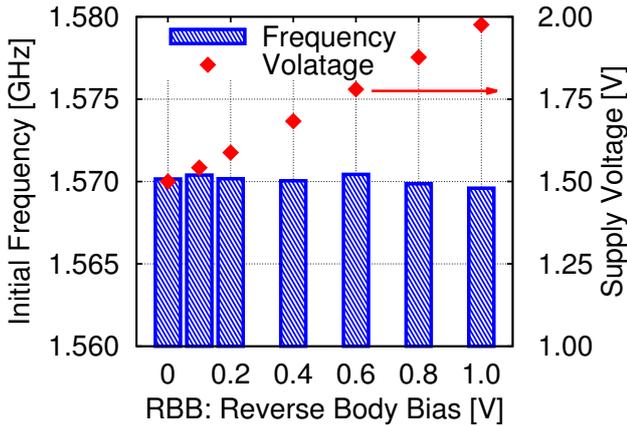


図 8 動作速度一定での初期周波数測定結果．どの基板バイアスでも初期周波数は一定であることから，各基板バイアスでの測定時に NBTI による劣化は蓄積しておらず，回復している．

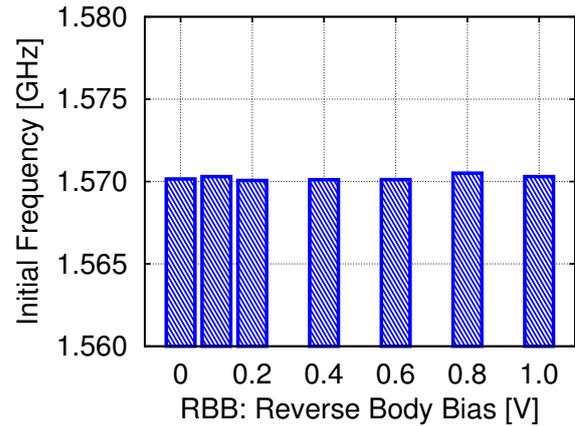


図 11 電源電圧一定 (1.5 V) での初期周波数測定結果．図 7 にある初めの 28 μ s での各基板バイアス印加前の初期周波数であるため全て一定であり，各基板バイアスでの測定時に NBTI による劣化は蓄積しておらず回復している．

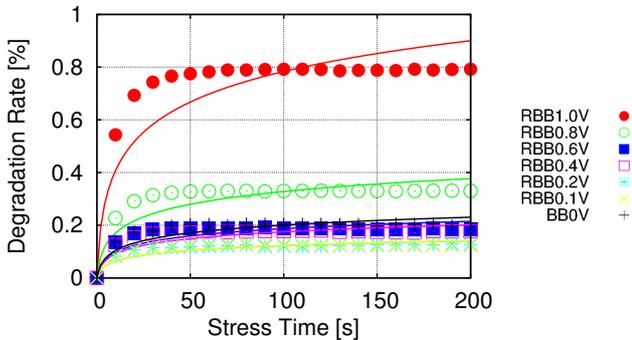


図 9 動作速度一定での NBTI 測定結果．点は測定した周波数の平均値，曲線は対数関数に比例する近似線である．

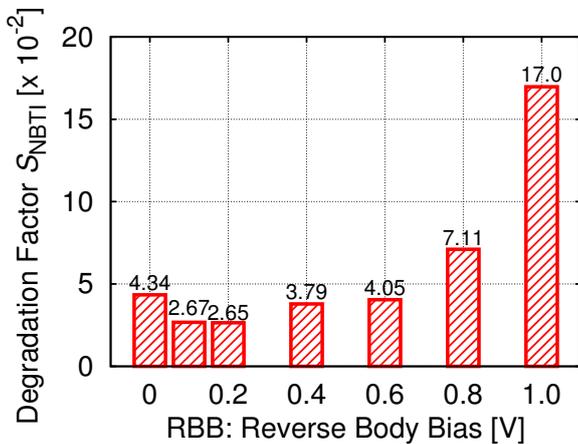


図 10 動作速度一定での劣化係数 S_{NBTI} ．逆方向基板バイアスを印加すると，酸化膜の実効電界が増加するため，劣化係数が増加する．

劣化率だけでなく，近似線として引いた式 (2) 中の劣化係数 S_{NBTI} も確認する．図 10 に動作速度一定での劣化係数 S_{NBTI} を示す．RBB が増加するほど， S_{NBTI} が増加している．この傾向は先行研究と同じであり，薄膜埋め込み酸化膜デバイスでも，動作速度一定であれば RBB により NBTI 劣化が加速される．これは RBB によって酸化膜の実効電界が増加するためである．

4.2 電源電圧一定での測定結果

図 11 に電源電圧一定での初期周波数のみの結果を示す．先の動作速度一定での結果と同様に，初期周波数はどの基板バイアスでも 1.57 GHz であり，最も差があるところでも変動量は 0.03% である．この変動量は NBTI による劣化量より十分小さいことから，測定前に NBTI による劣化は蓄積していないことが確認できる．

図 12 に電源電圧一定での NBTI 測定結果を示す．動作速度一定のときとは逆に，RBB が増加するほど，劣化率は減少している．RBB を印加しないと比べて，RBB が 1 V のときは劣化率は 77% 減少した．

図 13 に電源電圧一定での劣化係数 S_{NBTI} を示す．RBB が増加するほど， S_{NBTI} は減少している．図 13 に引いた曲線は式 (3) で近似した曲線である．

$$S_{NBTI}(RBB) = a\sqrt{RBB} + b + c \quad (3)$$

a, b, c はフィッティングパラメータであり，この式 (3) はしきい値電圧と基板バイアスの関係を表した式 (1) によるものである．しきい値電圧が増加した分，キャリア数が少なくなり，NBTI による劣化係数も小さくなる．この仮説通りに，劣化係数 S_{NBTI} は式 (3) に沿って減少している．式 (3) の近似結果は $-2.47\sqrt{RBB} + 4.09$ となった．このことから，しきい値電圧増加によるキャリア数減少によって，NBTI 劣化が抑制されることがわかる．実測により，RBB を 0 V から 1 V にしたときにスタンバイ電流が約 15% 減少することも確認した．RBB により，スタンバイ電流が減り，NBTI も抑制される．

5. 結論

基板バイアスによる NBTI への影響を調べるために，65 nm の SOTB プロセスでリングオシレータを試作し，発振周波数を測定した．動作速度一定のときでは，逆方

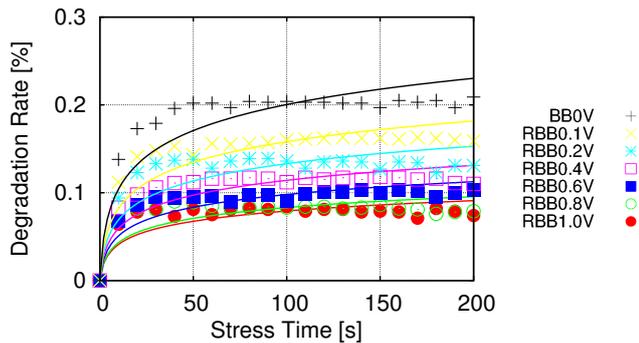


図 12 電源電圧一定での NBTI 測定結果．点は測定した周波数の平均値，曲線は対数関数に比例する近似線である．

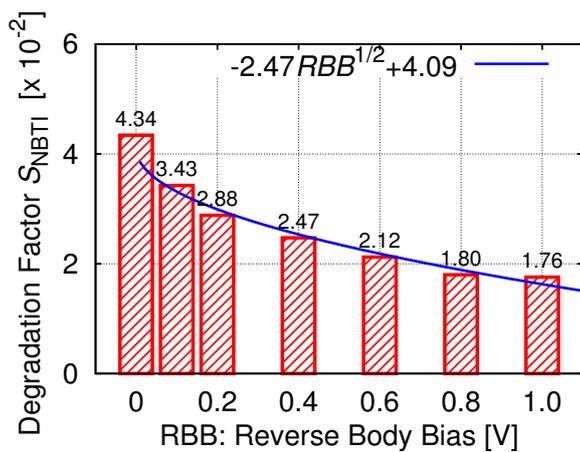


図 13 電源電圧一定での劣化係数 S_{NBTI} . 劣化係数は逆方向基板バイアスを印加すると，逆方向基板バイアスの $1/2$ 乗で減少する．

向基板バイアス (RBB) によって，ゲート酸化膜にかかる実効電界が増加するため，NBTI が加速された．劣化率は RBB が 1 V のときでは，0 V のときと比べて約 4 倍となり，NBTI 劣化係数も同様に RBB によって増加した．一方で，実際のアプリケーションで使われる場面を想定して，発振停止時のみに基板バイアスを印加して，電源電圧を一定とした場合では，RBB による NBTI への影響は動作速度一定のときと逆の傾向となった．これは RBB が増加すると，しきい値電圧増加によるキャリア数減少により，酸化膜へ捕獲されるキャリア数が少なくなるためである．測定した結果では，RBB が 1 V での劣化率は 0 V のときと比べて約 77% 減少した．RBB により，スタンバイ電流も減少し，NBTI を抑制できる．基板バイアスによる NBTI への影響は動作条件によって傾向が変わるため，劣化予測では動作条件を考慮する必要がある．

謝辞 本研究は JSPS 科研費 15H02677 の助成を受けて実施したものである．本研究に用いたチップはルネサスエレクトロニクスにより試作されたものであり，東京大学大規模集積システム設計教育研究センターを通し，シノプシス株式会社，日本ケイデンス株式会社，メンター株式会社の協力で行われたものである．

参考文献

- [1] M. Bohr, “The Evolution of Scaling from the Homogeneous Era to the Heterogeneous Era”, *IEDM*, (2011), pp. 1.1.1–1.1.6.
- [2] T. Grasser, B. Kaczer, W. Goes, H. Reisinger, T. Aichinger, P. Hehenberger, P.-J. Wagner, F. Schanovsky, J. Franco, M. T. Luque, and M. Nelhiebel, “The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction-Diffusion to Switching Oxide Traps”, *IEEE Trans. on Electron Devices*, Vol. 58, (2011), pp. 3652–3666.
- [3] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammasse, N. Planes, and L. Camus, “NBTI Degradation: From Transistor to SRAM Arrays”, *IRPS*, (2008), pp. 289–300.
- [4] H. Amrouch, B. Khaleghi, A. Gerstlauerz, and J. Henkel, “Reliability-aware Design to Suppress Aging”, *DAC*, (2016), pp. 12:1–12:6.
- [5] R. Faraji and H. R. Najji, “Adaptive Technique for Overcoming Performance Degradation Due to Aging on 6T SRAM Cells”, *IEEE Trans. on Dev. and Mat. Rel.*, Vol. 14, No. 4, (2014), pp. 1031–1040.
- [6] J. Franco, B. Kaczer, G. Eneman, P. J. Roussel, T. Grasser, J. Mitard, L. Å. Ragnarsson, M. Cho, L. Witters, T. Chiarella, M. Togo, W. E. Wang, A. Hikavy, R. Loo, N. Horiguchi, and G. Groeseneken, “Superior NBTI Reliability of SiGe Channel pMOSFETs: Replacement Gate, FinFETs, and Impact of Body Bias”, *IEDM*, (2011), pp. 18.5.1–18.5.4.
- [7] N. Weste and D. M. Harris, “*CMOS VLSI DESIGN*”, Pearson, Addison-Wesley, (2011).
- [8] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, “Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power High-Performance Application Featuring Wide-Range Back-Bias Control”, *IEDM*, (2004), pp. 631–634.
- [9] H. Kukner, S. Khan, P. Weckx, P. Raghavan, S. Hamdioui, B. Kaczer, F. Catthoor, L. Van der Perre, R. Lauwereins, and G. Groeseneken, “Comparison of Reaction-Diffusion and Atomistic Trap-Based BTI Models for Logic Gates”, *IEEE Trans. on Dev. and Mat. Rel.*, Vol. 14, No. 1, (2014), pp. 182–193.
- [10] B. Kaczer, S. Mahato, V. V. de Almeida Camargo, M. Toledano-Luque, P. J. Roussel, T. Grasser, F. Catthoor, P. Dobrovolny, P. Zuber, G. Wirth, and G. Groeseneken, “Atomistic Approach to Variability of Bias-Temperature Instability in Circuit Simulations”, *IRPS*, (2011), pp. XT.3.1–XT.3.5.
- [11] S. Zafar, Y. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, “A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO₂/HfO₂ Stacks with FUSI, TiN, Re Gates”, *VLSI Tech. Symp.*, (2006), pp. 23–25.