

機械学習による経年劣化タイミング解析手法

辺 松¹ 新谷 道広¹ 廣本 正之¹ 佐藤 高史¹

概要: 半導体デバイスの微細化により, 負バイアス温度不安定性 (NBTI) に代表される経年劣化現象が大規模集積回路の信頼性を脅かす主要因として顕在化している. 回路の信頼性を保証するためには, 設計段階での正確な経年劣化見積りが重要である. 本研究では, NBTI に起因する回路の劣化後遅延を, 機械学習を用いることで高精度に推定可能なタイミング解析手法を提案する. 数値実験では, 提案手法により ISCAS'89 ベンチマーク回路を用いて学習を行ったライブラリを使用し, プロセッサ回路のタイミング解析を行った. その結果, SPICE によるタイミング解析と比べて誤差 3.42%以内で経年劣化後の遅延を推定できることを示した.

Aging-Aware Timing Analysis Based on Machine Learning

SONG BIAN¹ MICHIHIRO SHINTANI¹ MASAYUKI HIROMOTO¹ TAKASHI SATO¹

Abstract: As the transistor process technology continues to scale, correlated dynamic on-chip variations (OCV) posits new challenges to the already complex static timing analysis (STA) process. In this paper, we first address the problems introduced by dynamic OCV. In particular, we focus on the negative bias temperature instability (NBTI) as the dynamic variation mechanism. We then propose a learning-based static timing analysis (LSTA) library to “predict” the timing of gates by efficiently capturing the correlation between our designed correlated predictors. In the experiment, we used a ISCAS'89 benchmark circuit as a training sample to create the learning-based STA library, and then conducted STA on two processor-scale designs using the library, achieving an absolute maximum error of 3.42%.

1. はじめに

近年では 5 nm プロセスノードの研究開発も進められているなど [1], 集積回路の微細化は物理的な限界に近づいてもなお継続され続けている. 極めて微細なプロセス世代では, デバイスレベルの様々なばらつきを考慮した設計が求められる. ばらつきは, 静的ばらつきと, 動的ばらつきに大別される. 静的ばらつきはチップの製造により決定される時不変の成分であり, 動的ばらつきはチップの動作に伴って変動する成分をさす. 回路中の動的ばらつきにおいては, ばらつき変数間に相関があることが知られている. 静的タイミング解析 (STA) による解析では, 相関を適切に考慮しないと予測精度が著しく劣化する.

STA では, 様々なオンチップばらつき (OCV) を考慮するための工夫がなされてきているが, 考慮可能なばらつきは主に静的ばらつきに限定されている. また, 微細化の進展とともに, その精度が不十分となりつつある. OCV を

考慮できるライブラリとして, Liberty Variation Format (LVF) [2] がある. このライブラリでは, 遅延変動を互いに独立なガウス分布に従うばらつきによるものと仮定する. 16 nm 以下のテクノロジーノードでは, 非ガウス分布のばらつきを扱う必要があるとの報告があるように [3], 分布形状に関する強い仮定は徐々に成立しなくなりつつある.

LVF フォーマットで仮定されている変数間の独立性も成立しない場合が多い. 高次元の変数を扱う問題では一般に変数間の相関を適切に考慮する必要があり, 近年になって学習ベースのタイミング解析が研究され始めている. 例えば, クロストーク等のシグナルインテグリティ (SI) を考慮しないツールを用いて, SI を考慮したタイミング解析結果を人工ニューラルネットワーク (ANN) やサポートベクターマシン (SVM) により得る試みがある [4]. また, SRAM 回路のタイミング故障を予測する [5], 複数ベンダのツールによる解析結果を用いてタイミング予測精度を向上する [6] 等の使い方も検討されている. これらの手法では, 通常の STA 実行後の追加のステップとして, 学習に基づく補正を行い解析精度を向上させる.

いま, 動的ばらつきを考えると, 状況はより複雑となる.

¹ 京都大学 大学院情報学研究所 通信情報システム専攻
606-8501 京都府京都市左京区吉田本町
paper@easter.kuee.kyoto-u.ac.jp

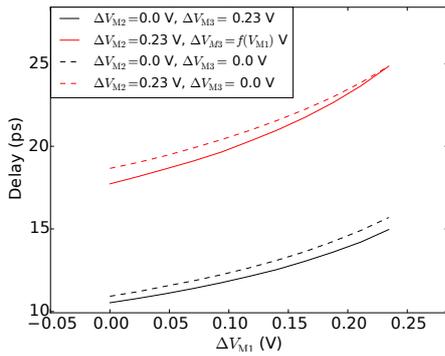


図 1 論理和ゲートの立下り入力信号におけるトランジスタのしきい値電圧変動と遅延時間変動 (ΔV_{th} - $\Delta Delay$) の関係

特に、負バイアス温度不安定性 (NBTI) やホットキャリア注入 (HCI) は、デバイス特性が時間とともに劣化する代表的な経年劣化現象である [7-9]。タイミング解析フローにおいて、経年劣化を考慮することは新たな課題となっている。タイミングライブラリにしきい値電圧 V_{th} を変数として取り込むことが容易な解決策だが、これにより変数の次元が高くなるとともに変数間の相関を扱う必要が生じる。図 1 に複数トランジスタのしきい値間の典型的な相関の例を示している。非反転論理ゲート (本例では OR ゲート: 図 2 参照) 中のトランジスタ M1 のしきい値電圧変動 ΔV_{th} による遅延変動は、前後のゲートの論理相関のため M2 と M3 のしきい値変動の関数となっている。すなわち、これら 3 つのトランジスタのしきい値電圧変動の組合せにより遅延変動量が決まるが、例えば M1 による遅延変動は図中の線上の値に限定される。広く用いられている表参照 (LUT) ベースのライブラリは、電流ソースモデル (CSM) [10] 等の最近のものを含め、基本的に内挿により遅延値を計算する。このようなライブラリでは、相関を考慮しなければテーブル作成時間とデータ量はトランジスタ数に対し指数的に増大する。

効率よく正確な遅延計算を実現するために、機械学習による回帰に基づく STA を提案する。機械学習により高次元の変数間の相関をモデル化し、従来よりもずっとコンパクトなライブラリを実現できる。加えて、提案する機械学習による STA (LSTA と略す) は、経年劣化以外にも適用できる。本論文の貢献は、以下のようにまとめられる。

- **高変数次元 STA 実現における課題の明確化:** NBTI 考慮解析に代表される動的ばらつき解析では、ロジックセル内のトランジスタのしきい値を変数とする高次元のライブラリを扱う必要があることを示す。
- **学習ベースの STA の提案:** LUT による内挿ではなく、学習による回帰で遅延計算を行う STA 手法を提案する。機械学習を用いることで高次元変数間の相関を効率よく見出すことが出来るため、提案手法は上記高変数次元 STA に特に適する。
- **機械学習方式の比較評価:** 複数の機械学習アルゴリズムを LSTA に適用し、複数の回路でタイミング予測精度を評価する。大規模回路での最大絶対値誤差は 3.42%、全テスト回路での誤差は 4%であった。

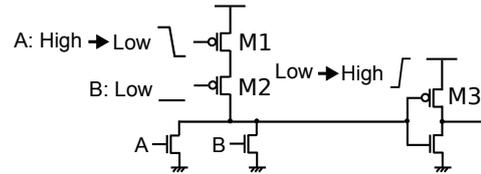


図 2 A 入力立下り遷移、B 入力 Low 固定の場合の OR ゲート

2. 既存研究

HCI や NBTI に起因するタイミング劣化を高精度に予測することは、経年劣化の緩和手法にとって非常に重要であり、近年複数の研究が行われている [11,12]。STA で NBTI のような動的ばらつきを計算する基本的な手法として、劣化による変動を STA ライブラリの次元を増やすことが考えられる。文献 [12] では一般的な二次元 STA ライブラリを n 次元に拡張する手法を提案している。ここで、 n はキャラクタライズの対象となるゲートに含まれるトランジスタ数である。この手法には、複合ゲートをキャラクタライズする際にライブラリ規模が指数関数的に大きくなる課題がある。さらに、内挿によるタイミング予測は高次元の計算において精度が低い課題も存在する。文献 [11] では、STA ライブラリに劣化を表す一次元の変数だけを追加することで NBTI 起因のタイミング劣化を考慮する手法を提案している。本手法ではライブラリ・キャラクタライズ時のオーバーヘッドを抑制し計算時間も短くなる利点があるが、トランジスタのステージ間に相関がある場合は精度が低下する課題がある。

上述のように、既存手法としては、STA ライブラリに n 次元の変数を追加することが主流であるが、その場合は変数間の相関が複雑化し、不必要な変数空間でのキャラクタライズが行われる。これは、i) 縦積み効果、ii) トランジスタ間の相関、等に起因している。これらの課題について、図 2 に示す論理和 (OR) ゲートを用いて具体的に説明する。i) に関して、OR ゲートの初段の M1 のゲート端子が立下り遷移した場合を考える。M2 は Low に固定されているが、M1 と M2 に流れるドレイン電流は M2 の V_{th} にも影響を与える [13]。従って、M2 の V_{th} が劣化することで、遷移時間は M2 の ΔV_{th} に応じて増大する。同様に、ii) で M1 と M2 を通る信号遷移の遅延は次段の M3 の信号遷移にも影響する。NBTI と HCI を考えた場合、M3 の劣化は M1 と M2 の結合確率と完全に相関する。

1 章で示した図 1 は、図 2 に示す OR ゲートのシミュレーション結果であり、実線は相関を考慮した場合、点線はそれぞれの pMOS トランジスタの ΔV_{th} が無相関に劣化した場合である。 ΔV_{M2} を 0.0V に固定した場合、遅延劣化は ΔV_{M3} に左右されない (黒い実線)。また前述のとおり、 ΔV_{M2} が劣化する場合 (赤い実線)、 ΔV_{M3} は ΔV_{M1} に応じて劣化し、この場合の遅延劣化は ΔV_{M3} の関数となる。各 pMOS の ΔV_{th} の劣化が独立に生じると仮定した場合、黒と赤の点線もキャラクタライズされるが、実際には起こり得ない事象であるため不要な計算である。また、これらの相関は非線形であることから実装は容易ではない。

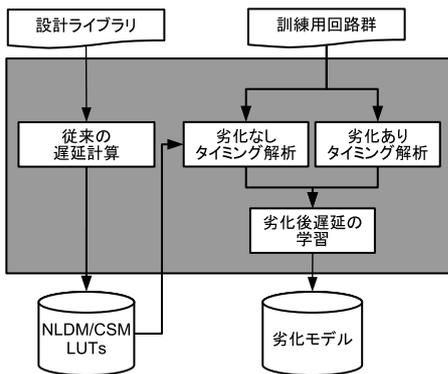


図 3 LSTA のためのタイミング・ライブラリ構築の流れ

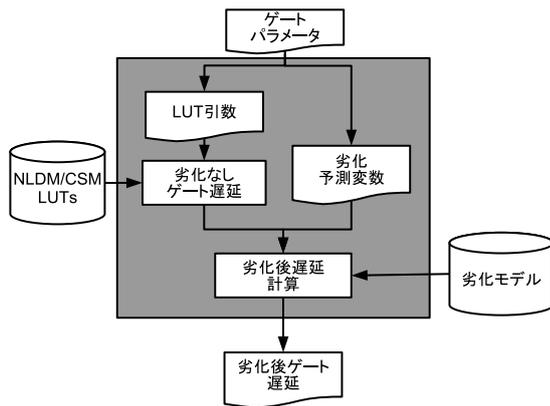


図 4 LSTA によるタイミング解析の流れ

また、実装できたとしても、内挿に基づいた STA ライブラリでこのような複雑な相関を考慮する場合、すべての pMOS の V_{th} ばらつきを組み合わせた高密度なグリッドでキャラクター化する必要がある。この多次元グリッドによるライブラリ空間の複雑さは $O(k^n)$ となり、実設計への適用は容易ではない。ここで k は一つの入力次元に必要な点の数で、 n は pMOS の数（即ち次元の数）を表す。

3. 機械学習による静的タイミング解析

前章で述べた NBTI 起因の問題を解決するため、本論文では機械学習を用いることにより、高次元変数に対応可能なタイミング・ライブラリの構築手法を提案する。

本章ではまず STA に機械学習を適用する理由および適用箇所について述べ、その後提案手法である LSTA の詳細について述べる。

3.1 機械学習の必要性および適用箇所

従来、高い精度が求められるタイミング解析において機械学習が用いられることは少なかった。現在広く用いられている NLDM ライブラリや CSM [10] では、あらかじめ計算しておいた遅延値のルックアップ・テーブル (LUT) を保持し、その値を補間することにより高精度な STA を実現している。これら一般的な STA では扱う変数の次元は高々 2 次元程度であることが多く、現実的な規模の LUT を作成することが可能であった。

しかし、NBTI や HCI に起因する遅延劣化を考慮した STA を行うには、相関を持つ高次元の変数を扱う必要が

ある。高次元変数を入力とする LUT はその次元数の指数オーダーで規模が増大するため、単純な LUT によりライブラリを構築することが困難となる。従って、このような問題に対しては単純な LUT ではなく、機械学習によるコンパクトな回帰モデルを用いることにより、効率良く劣化後遅延を予測できると考えられる。

そこで本研究では、従来の LUT 補間による STA と、機械学習による回帰モデルに基づく STA とを適材適所に組み合わせ、新たな高効率 STA を提案する。具体的には、劣化前の STA については従来と同じくテーブル補間による高精度な計算を行い、高次元の解析が必要となる劣化後 STA については機械学習による高効率な予測モデルを使用する。以下、提案手法の詳細について説明する。

3.2 LSTA によるタイミング解析手法の流れ

3.2.1 ライブラリの構築

提案手法によるタイミング・ライブラリ構築の流れを図 3 に示す。まず、通常の STA により劣化前遅延の 2 次元 LUT を作成する (図 3 左側)。その後、学習対象の回路群 (訓練データ) に対し、劣化前と劣化後の遅延解析をそれぞれ行い、それらを用いて劣化後遅延のモデルを学習する (図 3 右側)。劣化前後の遅延解析は、数学モデルや実測に基づく高精度な解析手法を使用する。劣化モデルの学習においては、劣化前遅延およびその他のパラメータを予測変数、劣化後遅延を目的変数とする回帰モデルを用いる。学習された劣化モデルは STA ライブラリとして統合され、タイミング解析の際に使用される。

3.2.2 回帰による遅延劣化モデル

一般的な回帰モデルは、予測変数から目的変数への対応付けを行う連続関数として表現される。本研究では各ゲートの劣化モデルとして、劣化後遅延を目的変数、3.3 節で議論するパラメータ群を予測変数とする、回帰モデルを使用する。つまり、劣化モデルは以下のように定式化される。

$$t_{\text{aged gate}} = \text{目的変数} \approx f(\text{予測変数}) \quad (1)$$

ここで $t_{\text{aged gate}}$ はある特定のゲートの劣化後遅延である。高精度な劣化予測を実現するためには、i) 予測された劣化後遅延 $t_{\text{aged gate}}$ と実際の劣化後遅延 $t_{\text{aged gate}}^{\text{true}}$ との誤差を最小化する最良の回帰関数 f の決定、および ii) 劣化後遅延 $t_{\text{aged gate}}$ を最も良く表現する予測変数のパラメータ群の選択、の 2 点が重要となる。i), ii) についてはそれぞれ 3.3 節、3.4 節にて詳しく議論する。

3.2.3 タイミング解析

提案ライブラリを用いたタイミング解析フローの概要を図 4 に示す。基本的な流れは一般的な STA と同様であるが、劣化後遅延予測の際に機械学習アルゴリズムを使用する点が大きな相違点である。そのため、次節で議論するパラメータ群を予測変数として用いている。

なお提案手法によるタイミング解析の精度は、機械学習の性質上、ライブラリ構築時に使用する訓練データに依存する。そのため、訓練データとして使用する回路群の選定は重要な検討項目となる。

3.3 予測変数として用いるパラメータの選択

回帰モデルの生成において、予測変数として使用するパラメータの選択は重要な問題である。本研究では機械学習により遅延予測を行うことを目的とするが、正確な遅延値は回路シミュレーションにより求めることができる。つまり、回路シミュレーションで使用されるものと同じパラメータを用いることで、より正確な回帰モデルが学習できると考えられる。しかしそれは同時に学習に要する演算コストの増大にもつながるため、適切なパラメータ数に絞る必要がある。具体的には、CSMのように波形そのものをパラメータとすることが考えられるが、演算コストの観点から機械学習には不適切である。

そこで本研究ではNLDMにならい、各ゲートに対する入力スルーと負荷容量を予測変数として用いることにする。これは遅延予測に必要なパラメータとしては最小限のものであり、提案手法の下界性能を示すことにもなる。劣化予測は以下のように定式化される。

$$\Delta t_{\text{gate}} = f(t_{\text{fresh}}, \Delta V_{\text{th}1}, \dots, \Delta V_{\text{th}n}, t_{\text{slew}}, C_{\text{load}}) \quad (2)$$

$$t_{\text{aged gate}} = t_{\text{fresh}} + \Delta t_{\text{gate}}, \quad (3)$$

ここで、 t_{fresh} は通常のNLDMライブラリから求められる劣化前遅延、 $\Delta V_{\text{th}i}$ は i 番目の pMOS のしきい値電圧変動である。 t_{slew} と C_{load} はそれぞれ、通常のNLDMライブラリ参照時に用いられる入力スルーと負荷容量である。劣化を表わす要素として $\Delta V_{\text{th}i}$ を用いる理由は以下の通りである。1つは、しきい値電圧と遅延時間との間には密接な関係があること、もう1つは、しきい値電圧変動を引き起こすHCI等の他の様々な劣化現象にも拡張可能であることである。なお、劣化後遅延 $t_{\text{aged gate}}$ は式(3)を経由せずに回帰関数 f の出力として直接求めることも可能であるが、ここでは劣化による遅延の増分を学習していることを直観的に表すため、式(2)、(3)の2式で表現している。

3.4 学習アルゴリズム

機械学習には様々な手法が存在する。本研究では代表的なアルゴリズムとして、線形回帰と決定木の2種類に焦点を当てる。線形回帰モデルは広く用いられる手法であるが、その性能はデータの分布に大きく依存する。本研究では線形回帰モデルとして、放射基底関数(RBF)を用いたサポートベクタ回帰(SVR)を採用する。一方、決定木(DT)は非線形なデータに対して性能を発揮することが知られている[14]。しかし、単一の決定木を用いた場合、データに内在する全ての非線形性を学習しようとしてしまい、過学習に陥る可能性が高くなる。そのため本研究では、過学習を回避する代表的な手法であるバギング[15]とブースティング[16]を採用する。バギングは、複数の回帰モデル(ここでは決定木に相当する)を使用し、その個々の出力の平均を最終的な出力とする手法である。これにより過学習を防ぎ性能を向上させることが可能となる。本研究ではバギングの一種として、ランダム・フォレスト(RF)[17]を採用する。一方、ブースティングもバギングと同様に回帰モデルの集合により出力を決定するが、個々の出力の重みを

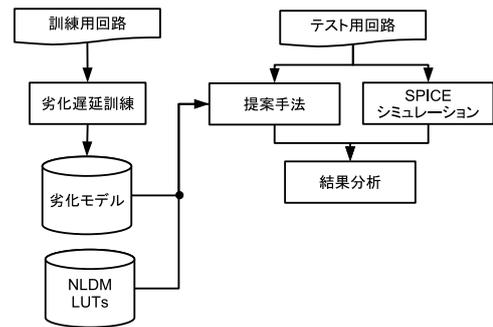


図5 LSTA フレームワークを用いたパス遅延評価の流れ

訓練データから学習する点異なる。ブースティングの代表としてはAdaBoost[18]を採用する。

なお、学習アルゴリズムによってはデータの正規化により精度が向上することが知られている[19]。しかし正規化の導入は演算コストの増加にもつながりタイミング解析時間の増大を招く。本研究では正規化の効果および解析時間への影響を検討するため、各学習アルゴリズムに対して、正規化 $\hat{x} = \frac{x}{\|x\|_2}$ の適用有無それぞれについて実験を行った。

4. 数値実験

4.1 実験条件

ISCAS'89ベンチマーク回路[20]および2種のプロセッサ回路に対して経年劣化考慮タイミング解析を行った。プロセッサは、商用プロセッサコンパイラから生成された5段パイプラインプロセッサ[21](以下、“Shino”と呼ぶ)と、MIPS32命令セットを備えた5段パイプラインプロセッサ[22](以下“Kotori”と呼ぶ)を用いた。論理合成は、Nangate 45nm Open Cell Library[23]と商用論理合成ツール[24]を用いて行った。ゲートレベル回路であるISCAS'89ベンチマーク回路は、6種のセル(NAND, NOR, AND, OR, INV, DFF)を用いて再マッピングを行った。市販STAツール[25]を用いて最大遅延パスを抽出し、ShinoとKotoriの評価対象パス数はそれぞれ25,446, 24,978であった。NBTI劣化後のパス遅延値の計算は、温度400Kの環境で10年動作する条件下で行った。また、経年劣化ライブラリの生成における学習でも同様の条件下で行われた。提案手法の計算時間評価は、Intel Xeon E5-2630 v2 2.60 GHz CPUを搭載したLinux PC上で行った。ライブラリ・キャラクタライゼーションにおけるLUT生成は、SPICEシミュレータ[26]により得た。提案手法はPythonで実装しており、Intel Xeon E5-2630プロセッサ上で1スレッドで実行した。

本実験の評価フローを図5に示す。まず、ISCAS'89ベンチマーク回路のs38584を用いて劣化遅延の学習により劣化モデルを生成する。その後、劣化モデルを用いて、他回路へのタイミング解析に適用する。ここでは、予測変数に関するゲート遅延をサンプルとしており、訓練対象のs38584は18,119サンプルを含む。訓練回路はテスト回路よりも多くのサンプルを含むが、s38584の最長パス遅延値は2.32nsで全パス数は11,052にすぎない。20kパスを有するプロセッサ回路と比べて、訓練回路の回路規模は十分に小さいと言

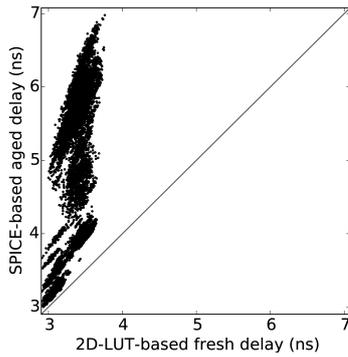


図 6 Shino における LUT による劣化前パス遅延値と SPICE による劣化後パス遅延値の比較

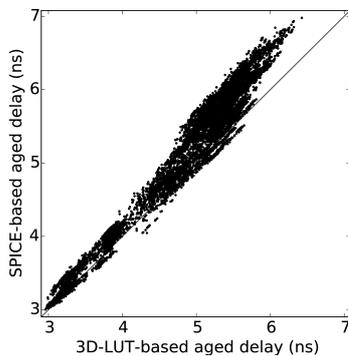


図 7 Shino における LUT による劣化後パス遅延値 [11] と SPICE による劣化後パス遅延値の比較

える。学習アルゴリズムにおける訓練と予測の過程は回路の各ゲートを対象としているが、本実験における予測精度の評価はパス単位で行うとし、提案手法によるパス遅延予測と SPICE によるパス遅延計算結果を比較する。予測精度は、絶対最大誤差 (Absolute Maximum Error: AME) と正規化最小二乗誤差 (Normalized Root Mean Square Error: NRMSE) により評価する。NRMSE は、次式により与えられる。

$$NRMSE = \frac{\sqrt{\sum_{i=1}^n (D_p - D_t)^2}}{\sqrt{n}(D_{t_{\max}} - D_{t_{\min}})} \quad (4)$$

ここで、 D_p は予測パス遅延値で、 D_t は SPICE により計算された正解値である。 n はパス数を表し、 $D_{t_{\max}}$ と $D_{t_{\min}}$ は SPICE により得られた最大パス遅延値と最小パス遅延値である。

4.2 実験結果：劣化後パス遅延値の予測

まず、図 6, 7, 8 に、Shino について SPICE で計算した劣化後パス遅延値との比較を示す。図 6 は、劣化を考慮していない 2 次元 LUT を用いた場合との比較である。図 6 に示すように、NBTI によりパス遅延値が大きく劣化していることが分かる。続いて、図 7 に、NBTI によるしきい値電圧の劣化を追加した 3 次元 LUT [11] を用いた劣化後パス遅延値との比較を示す。この図から、劣化後パス遅延値の予測に過小見積りが生じており、手調整等により精度

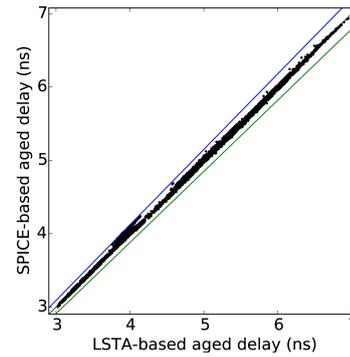


図 8 Shino における提案手法による劣化後パス遅延値と SPICE による劣化後パス遅延値の比較 (青線と緑線はそれぞれ ±3% の誤差)

表 1 SPICE シミュレーションと提案タイミング解析によるパス遅延予測の比較

回路	サンプル数	AME (%)	NRMSE (%)	実行時間 (s)
Shino	5281	3.34	0.93	0.22
Kotori	5813	2.86	0.24	0.23
s27	25	2.23	1.3	0.11
s1494	378	1.58	2.1	0.12
s5378	1383	4.06	1.3	0.11
s13207	2262	3.53	1.3	0.24

表 2 RF と SVR による AME の比較

	正規化あり	正規化なし
	AME (%)	AME (%)
RF	3.42	3.42
SVR	4.23	9.94

を改善する必要があることが分かる。最後に、図 8 に、提案手法により機械学習を用いて予測した劣化後パス遅延値との比較を示す。AME は 3.4% で、これらのパス遅延値の相関係数は 0.9991 となっており、提案する LSTA フレームワークが精度良く劣化後パス遅延値を予測できている。

表 1 に、サンプル数、AME、NRMSE、提案手法の実行時間の比較を示す。全ての結果は、s38584 を訓練データとして得られた劣化モデルを用いて劣化後パス遅延値を計算している。用いた機械学習アルゴリズムは RF で、決定木の数と木の高さはそれぞれ 200 と 20 とした。これらのハイパーパラメータは訓練データを用いた試行により実験的に求めた数値であるが、良好な結果を得ている。RF は決定木を用いており、決定木ベースの回帰モデルは実行時間は $O(\log(n))$ で制限されるため、プロセッサのような大規模回路に対しても非常に小さい実行時間で求めることができる。ここで、 n は訓練サンプル数である。

4.3 実験結果：機械学習アルゴリズム間の比較

続いて、機械学習アルゴリズム間の予測性能比較を行う。表 2 に、Shino に対する RF による回帰モデルと SVR ベースの線形回帰モデルによる比較を示す。SVR は正規化を行わない場合は予測精度に劣化が見られるが、RF は正規化の有無によるパス遅延の推定精度に変化はない。また、SVR よりも RF によるタイミング予測精度が優れている。図 9 に正方向 (過大見積り) と負方向 (過小見積り)

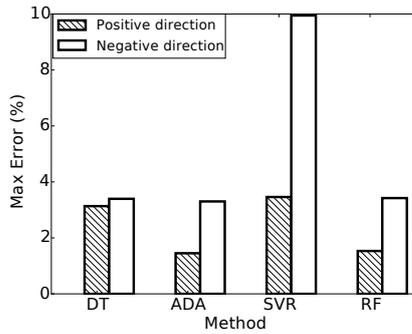


図 9 Shino におけるアルゴリズム毎の劣化後パス遅延予測性能における正方向および負方向の最大誤差の比較

の最大誤差について示す。単一決定木と比較して、RF と AdaBoost は設計間の学習により適していると言える。また、RF (バギング) と AdaBoost (ブースティング) は同等に良く作用していることが分かる。

5. まとめ

本稿では、NBTI 起因の遅延劣化を高精度に推定可能な機械学習に基づくタイミング解析手法を提案した。提案手法では、比較的小規模の回路を用いてゲート毎の NBTI 劣化の遅延を“学習”し、より大規模な評価対象回路の経年劣化後パス遅延を予測する。5 段パイプラインプロセッサを評価対象とした数値実験では、複数の学習アルゴリズムによるタイミング劣化の予測性能を評価した。その結果、SPICE によるタイミング計算結果と比べて、最大誤差 3.42% の精度で経年劣化後のパス遅延を予測できることを示した。

謝辞

本研究の一部は JSPS 科研費基盤研究 (B) 26280014, 若手研究 (B) 15K15960 の助成を受けた。また本研究の一部は、東京大学大規模集積システム設計教育研究センターを通し、日本シノプシス合同会社の協力で行われた。

参考文献

- [1] Muralidhar, R., Lauer, I., Cai, J., Frank, D. J. and Oldiges, P.: Toward Ultimate Scaling of MOSFET, Vol. 63, No. 1, pp. 524–526 (2016).
- [2] Kahng, A. B.: New Game, New Goal Posts: A Recent History of Timing Closure, *Proceedings of IEEE/ACM Design Automation Conference*, pp. 1–6 (2015).
- [3] Ghanta, P. and Keller, I.: Importance of Modeling Non-Gaussianities in Static Timing Analysis in sub-16nm Technologies, *Proceedings of International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU)*, pp. 62–66 (2016).
- [4] Kahng, A. B., Luo, M. and Nath, S.: SI for free: machine learning of interconnect coupling delay and transition effects, *Proceedings of IEEE International Workshop on System Level Interconnect Prediction*, pp. 1–8 (2015).
- [5] Chan, W. T. J., Chung, K. Y., Kahng, A. B. et al.: Learning-based prediction of embedded memory timing failures during initial floorplan design, *Proceedings of IEEE/ACM Asia and South Pacific Design Automation Conference*, pp. 178–185 (2016).

- [6] Han, S.-S., Kahng, A. B., Nath, S. and Vydyanathan, A. S.: A Deep Learning Methodology to Proliferate Golden Signoff Timing, *Proceedings of IEEE Design Automation and Test in Europe*, pp. 1–6 (2014).
- [7] Alam, M. A. and Mahapatra, S.: A comprehensive model of PMOS NBTI degradation, *Microelectron. Reliab.*, Vol. 45, No. 1, pp. 71–81 (2005).
- [8] Mahapatra, S., Bharath Kumar, P. and Alam, M.: A new observation of enhanced bias temperature instability in thin gate oxide p-MOSFETs, *IEEE International Electron Devices Meeting Technical Digest*, pp. 337–340 (2003).
- [9] Chaparala, P., Shibley, J. and Lim, P.: Threshold voltage drift in PMOSFETs due to NBTI and HCI, pp. 95–97 (2000).
- [10] Croix, J. F. and Wong, D.: Blade and razor: cell and interconnect delay analysis using current-based models, *Proceedings of IEEE/ACM Design Automation Conference*, pp. 386–389 (2003).
- [11] Bian, S., Shintani, M., Morita, S., Hiromoto, M. and Sato, T.: Nonlinear Delay-Table Approach for Full-Chip NBTI Degradation Prediction, *Proceedings of IEEE International Symposium on Quality Electronic Design*, pp. 307–312 (2016).
- [12] Firouzi, F., Kiamehr, S., Tahoori, M. and Nassif, S.: Incorporating the Impacts of Workload-dependent Runtime Variations into Timing Analysis, *Proceedings of IEEE Design Automation and Test in Europe*, pp. 1022–1025 (2013).
- [13] University of California, Berkeley: BSIM4v4.7, University of California, <http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM470> (2011).
- [14] Pal, M. and Mather, P. M.: An assessment of the effectiveness of decision tree methods for land cover classification, *Remote sensing of environment*, Vol. 86, No. 4, pp. 554–565 (2003).
- [15] Breiman, L.: Bagging predictors, *Machine learning*, Vol. 24, No. 2, pp. 123–140 (1996).
- [16] Schapire, R. E., Freund, Y., Bartlett, P. and Lee, W. S.: Boosting the margin: A new explanation for the effectiveness of voting methods, *Annals of statistics*, pp. 1651–1686 (1998).
- [17] Breiman, L.: Random forests, *Machine learning*, Vol. 45, No. 1, pp. 5–32 (2001).
- [18] Freund, Y. and Schapire, R. E.: A decision-theoretic generalization of on-line learning and an application to boosting, *Proc. EuroCOLT*, Springer, pp. 23–37 (1995).
- [19] Ben-Hur, A. and Weston, J.: A user’s guide to support vector machines, *Data mining techniques for the life sciences*, pp. 223–239 (2010).
- [20] Brglez, F., Bryan, D. and Koyminski, K.: Combinational profiles of sequential benchmark circuits, *Proceedings of IEEE International Symposium on Circuits and Systems*, pp. 1929–1934 (1989).
- [21] Synopsys, Inc.: *Processor Designer G-2012.09*.
- [22] OpenCores.org: OpenCores, <http://www.opencores.org>.
- [23] Si2.org: Nangate 45nm Open Cell Library, <http://www.si2.org>.
- [24] Synopsys, Inc.: *Design Compiler I-2013.06*.
- [25] Synopsys, Inc.: *PrimeTime Fundamental H-2013.06*.
- [26] Synopsys, Inc.: *HSPICE I-2013.12*.