1L-4

組込みシステムにおける画像処理のHW/ＳW協調設計

中村　徳雄[†]　松本　祐輔[‡]　遠藤　聡[‡]　小泉　寿男[†]

東京電機大学理工学部情報システム工学科[†] 東京電機大学大学院理工学研究科情報システム工学専攻[‡]

１．はじめに

近年，私たちの身の回りのさまざまなところで，組込み型のソフトウェアを利用した製品が利用されている.

現在の組込みソフトウェア開発では，「より複雑で規模の大きいソフトウェアをより短い期間で，より高い品質をキープしながら開発する」ことが必須条件となってきている．こうした問題を解決する一つの方法として，研究分野においてハードウェア・ソフトウェア協調設計方式（以後，HW/SW Co-Design 方式）が提案されている.[2]関連研究には，JPEG エンコードの処理を行うアプリケーションを実装対象として，FPGA とソフト・マクロ CPU を用いてハード/ソフト分割の最適化の検証を行った「ハード/ソフト最適分割を考慮した JPEG エンコーダの協調設計」[2]がある．HW/SW Co-Design 方式の導入によって期待される効果を図 1 に示す．図の横軸は開発期間を表す.

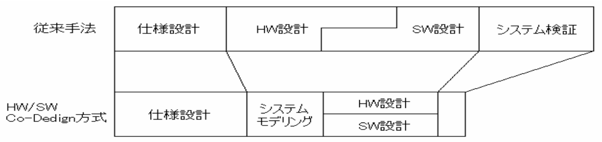

図１　HW/SW Co-Design 方式の導入により期待される効果

2. HW/SW 協調設計について

2．1　HW/SW Co-Design 方式

HW/SW Co-Design 方式とは，大規模かつ複雑なシステムを，ハードウェア設計とソフトウェア設計のトレードオフを考慮し，共に設計を行うものである．設計対象となるアプリケーションに応じて求められる性能やコスト，消費電力といった様々な制約の下でハードウェア・ソフトウェアの分割によりシステム全体を効率よく設計する．同時にハードウェアの実装後にソフトウェアの開発や検証を行うといった従来の方法に対し，設計の各段階においてハードウェアとソフトウェアの協調設計を行うことで同時開発を可能とし，設計を効率化することを目的としている．具体的な手法としては，ISS（Instruction Set Simulator）や ICE（In-Circuit Emulator）を用いた各段階での協調検証の高速化や，ハードウェアの IP（Intellectual Property）化による再利用の促進，システムレベルでの記述が可能な言語（SystemC，SpecC など）を用いた設計抽象度の引き上げなどが行われている.

しかし，まだ定義が明確になっていない部分や，CAD ツールなどによって自動化されていない部分も多く，現在も活発な研究対象になっている．[2]

従来，協調設計では一般的にソフトウェア部は C 言語，ハードウェア部は VHDL などそれぞれ別々の言語で記述されているが，本研究ではハードウェアとソフトウェア区別なく同じ文法で記述の行えるプログラミング言語である SystemC を用いて HW/SW Co-Design 方式を設計する．これには，統一された開発言語によって HW/SW を記述するため，開発途中でのシミュレーションが容易であるといったメリットがある.

2．2　HW/SW 協調設計のフロー

HW/SW 協調設計では大きく分けて 4 つの段階がある.

（1）システム仕様を記述する段階
（2）システムをハードウェア部とソフトウェア部それぞれのモジュールに分割する段階
（3）ハードウェア部とソフトウェア部それぞれを並行して設計する段階
（4）システムを検証する段階

(1)，(2)の段階であるモジュールの HW/SW 分割までの流れを図 2 に示す.

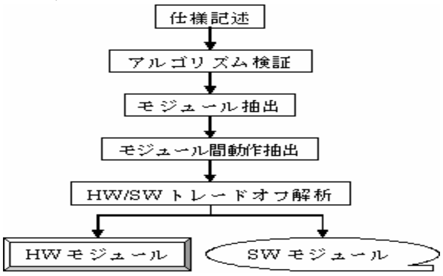

図２　モジュールの HW/SW 分割までの流れ

(1)の段階では SystemC(C/C++)を用いてシステムの仕様を記述し，システム・アルゴリズムを設計する．また，性能やコスト等の制約を明確にする.

(2)の段階では，UTF モデルによってシステムを機能面からモジュール分割する．さらに，UTF モデルに時間を割り当て，TF モデルに抽象度を下げる．また，SystemC で記述を行い，モジュールの動作順序，階層関係を抽出する．抽出された各モジュールにおいて HW/SW トレードオフを行い，各モジュールをハードウェア部とソフトウェア部に割り振る.

(3)，(4)段階の実機検証までの設計の流れを図 3 に示す.

「A HW/SW Co-Design method in a embedded system to image processing」
[†]「Norio Nakamura：Tokyo Denki University」
[‡]「Yusuke Matsumoto：Tokyo Denki Graduate School」
[‡]「Satoshi Endo：Tokyo Denki Graduate School」
[†]「Hisao Koizumi：Tokyo Denki University」

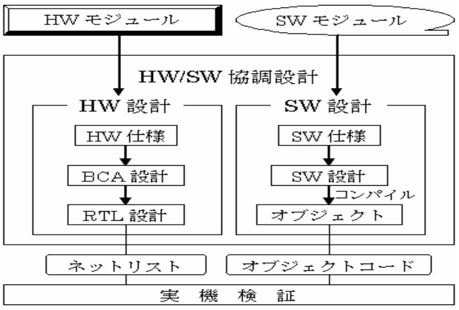

図3　実機検証までの設計の流れ

(3)段階では，ハードウェア設計において BCA 設計で BCA モデルを，RTL 設計で CA モデルを記述し，CA モデルを論理合成してネットリストを生成する．ソフトウェア設計においては前段階でアルゴリズムが記述済みであるので，インターフェース部分に変更を加える作業を行い，ソースコードをコンパイルしてオブジェクトコードを生成する．この間，SystemC によって HW/SW を記述することにより，HW/SW 一体となったシミュレーションを繰り返しながら設計を進める．

最後に(4)の段階で，実機検証により実機上での動作を確認する．

3. HW/SW 協調設計の JPEG エンコーダ設計への適用

(1)　HW/SW Co-Design 方式の適用環境

本研究ではアプリケーションを実装する対象として，CPLD と PC の CPU，メモリを用いた HW/SW Co-Design 方式を構築する．設計対象のアプリケーションとして JPEG コーデックを用いる． JPEG のエンコード処理は，静止画像を圧縮符号化する標準的な方式である．しかし，この処理は多量のデータに対して乗除算を繰り返し行うため，比較的演算量が大きくなってしまい，組込みシステムで用いられる一般的な CPU で処理を行おうとすると，必要とされる性能を満たすことが難しくなる．そこで，一部もしくはすべての処理をハードウェアで実現することで性能の向上が図られることが多い．[2]つまり，HW/SW Co-Design 方式の適用対象に適していると考えられる．これを HW/SW Co-Design 方式へと実装することでハードウェア・ソフトウェア分割パターンを検討する．

3．2　JPEG エンコードのアルゴリズム

3．2．1　JPEG エンコードの流れ

JPEG エンコードのフローを図4に示す．

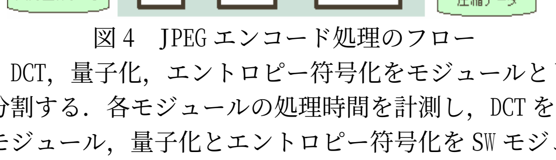

図4　JPEG エンコード処理のフロー

DCT，量子化，エントロピー符号化をモジュールとして分割する．各モジュールの処理時間を計測し，DCT を HW モジュール，量子化とエントロピー符号化を SW モジュールとする．DCT の HW 実装は Loeffler の高速 DCT アルゴリズムを用いる．

(2)　DCT（離散コサイン変換）

8×8 画素ブロックごとに分割し，ブロックごとに変換を行う．以下に示す式で各 DC 係数 F(u,v)を計算する．

$$F(u,v)=\frac{1}{4}\cdot C(u)\cdot C(v)\cdot\sum_{x=0}^{7}\sum_{y=0}^{7}f(x,y)\cdot\cos\frac{(2x+1)u\pi}{16}\cdot\cos\frac{(2y+1)v\pi}{16}$$

量子化により，DCT で得られた DC 係数を量子化テーブルの対応する係数での除算を行う．また，エントロピー符号化で DC 係数の差分値を算出し，DC 係数差分値の出現頻度によって異なる符号長の符号語の割り当てを行う．

4. HW/SW Co-Design 方式の構築と評価

4.1　HW/SW Co-Design 方式の設計

ハードウェア部は ALTERA 社の MAXⅡDevelopment Kit を使用し，ソフトウェア部は PC 上のメモリが担当する．PC と評価ボードを USB 接続して相互動作を行うことで HW/SE Co-Design 方式を設計する。

分担したハードウェア部・ソフトウェア部をそれぞれ設計する．ハードウェア部の設計には論理合成・配置配線ツールとして ALTERA 社の QuartusⅡ5.0 を用いる．

本研究では，ハードウェア部・ソフトウェア部それぞれ SystemC を用いて設計するが，SystemC からネットリストを生成するソフトは非常に高価であり入手不可能なため，ネットリストを生成するために SystemC を VHDL に手動で変換し，論理合成を行う．

4.2　HW/SW Co-Design 方式の評価方法

研究室で作製する携帯電話での評価を予定している．

5. まとめ

HW/SW Co-Design 方式に関する説明を行い，具体的な流れを示した．また，HW/SW Co-Design 方式の適用環境として構築する画像処理システムとして JPEG エンコーダを挙げ，そのアルゴリズムを説明した．

今後の課題は以下の通りである．

(1) トレードオフ解析を行うことにより，各処理を HW 部・SW 部どちらで行うか決定する．

(2) 実機検証によって処理速度と HW 量を測定し，制約条件を満たしているかを調べる．

(3) SystemC による HW/SW で協調したシミュレーションと実機検証との処理速度と HW 量（ネットリストの大きさ）の比較を行う．

参考文献

[1] 鶴保　征城：「産官学連携による組込みシステム開発技術の革新への期待」，独立行政法人情報処理推進機構ソフトウェア・エンジニアリング・センター

[2] 的場　督永：「ハード／ソフト最適分割を考慮した JPEG エンコーダの協調設計」，立命館大学　理工学部情報学科

[3] 鈴木　義之：「ソフトウェア・ハードウェア協調設計方式と画像処理への適用」，情報処理学会　第 68 回全国大会，2006 年