

マルチコアプロセッサにおけるデータ転送能力から見た適切なコア数の検討

若林 直樹[†] 大津 金光[†] 横田 隆史[†] 馬場 敬信[†]
[†]宇都宮大学工学部情報工学科

1 はじめに

近年、シングルコアプロセッサでは性能の向上が難しくなっている。そこで、1チップに複数のプロセッサコアをまとめたマルチコアプロセッサが主流になりつつある。マルチコアプロセッサのピーク演算性能は極めて高いものとなるが、演算性能の向上により時間あたりのデータ転送量も極めて大きいものとなる。そのため、総合的な処理性能がデータ転送能力の限界によって制限される可能性は十分に考えられる。ここで、データ転送能力に応じた演算能力以上分の演算能力は無駄になってしまう事が考えられる。

そこで、本研究ではデータ転送能力と演算能力のバランスポイントを探る。また、データ転送能力と演算能力のバランスポイントを探るために、データ転送能力から見た適切なコア数の検討を行う。

本稿ではデータ転送能力と演算能力のバランスポイントを探るための評価を行う。マルチコアプロセッサの対象として、IBM, Sony, 東芝により次世代プロセッサとして開発された Cell Broadband Engine(以下, Cell)を適切なコア数を検討する対象として用いる。Cellは内部にメインプロセッサコアとなるコアを1個、サブプロセッサコアとなるコアを8個搭載している。ピーク演算性能は動作周波数を3.2GHzとしたとき単精度で204.8GFlops, 倍精度で14.6GFlopsである。また、Cellを科学技術計算に用いても、非常に高いパフォーマンスを得られている[1]。このように、Cellは非常に高いパフォーマンスを持っているプロセッサであるといえる。

本研究ではIBMが提供しているCellのシミュレータであるIBM Full System Simulator[2]を用いてデータ転送能力と演算能力のバランスポイントの検討, 基本性能についての評価を行っている。

2 Cell ハードウェア構成

Cellのハードウェア構成を図1に示す。Cellはメインコアの役割を持つPower PC Processor Element(PPE)が1個とサブコアの役割を持つ Synergistic Processor Element(SPE)が8個(あるいは7個)と Memory Interface Controller(MIC), I/Oとこれらをつなぐ内部バス Element Interconnect Bus(EIB)によって構成されている[3]。

2.1 PPE

PPEはCellのメインプロセッサの役割を果たすPowerPC互換の64bitのプロセッサコアであり, OSなどの制御系やSPEコアの制御等の処理を行う。また, パイプラインが最短で23段に分割されているなど, 高クロックに対応するのに適した構造となっている。

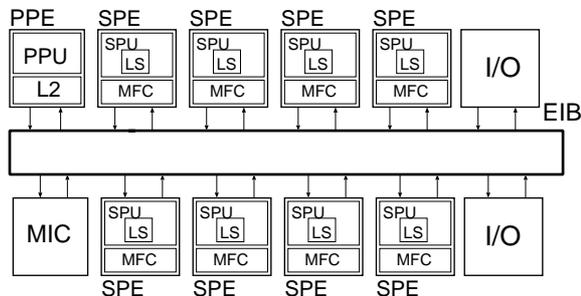


図 1: Cell ハードウェア構成

2.2 SPE

SPEはいわゆるサブプロセッサの役割を果たすプロセッサで, 128bitのレジスタを128本持ち, 128bit単位での呼び出しを基本としている。また, SPEはLocal Storage(LS)と呼ばれる256KBのメモリ空間を持つ。SPEはこのLSにプログラムもプログラムが処理するデータも格納する。SPEはDMA転送を介してのみメインメモリにアクセス可能であるので, メインメモリからLSにプログラムとデータをDMA転送することによって処理に必要なデータを取得する。DMAは128bit・16KBまでのデータを一度にアクセスすることが可能である。

2.3 EIB

EIBはCellの内部を結ぶリングバスであり, 順方向と逆方向のチャンネルを2本ずつ備えている。データ転送は最大6つ先までしかデータを送らないようになっているので, 近い方向へ自動的にデータ転送が行われる。また, 送り手と受け手の間が重ならないければ, 複数のパケットを同一リング上に流すことが可能であり, 200GB/Sec以上の帯域を備えている。SPEとメモリ間のDMA転送はEIBを介して行われる。一度のDMA転送のサイズは, 1,2,4,8,16Byteか16Byteの倍数でなければならない。そして, 最大サイズは16KBとなっている。

また, メモリにXDR DRAMを使用することで, メモリインターフェースの帯域についても25.6GB/Secのバンド幅を備えている。

3 DMA 転送性能

上記のようにCellは演算能力, データ転送能力とも優れた性能を備えている。そこで, その優れたデータ転送能力と演算能力のバランスポイントを探るべくための評価を行う。演算能力は, 動作周波数を3.2GHzのピーク演算性能が単精度で204.8GFlops, 倍精度で14.6GFlopsであると分かっている。故に, データ転送能力と演算能力のバランスポイントを探るためには, データ転送能力を明らかにする必要がある。そのため, まずはDMA転送1回にかかるサイクル数を調査する。

3.1 評価方法

評価は, DMA転送の転送サイズを変えながらDMA転送1回にかかるサイクル数をSPEにて計測する事

A Consideration of Appropriate Number of Processor Cores based on Data Transfer Capacity of Multi-Core Processor

[†]Naoki Wakabayashi, Kanemitsu Ootsu, Takashi Yokota and Takanobu Baba

Department of Information Science, Faculty of Engineering, Utsunomiya University (†)

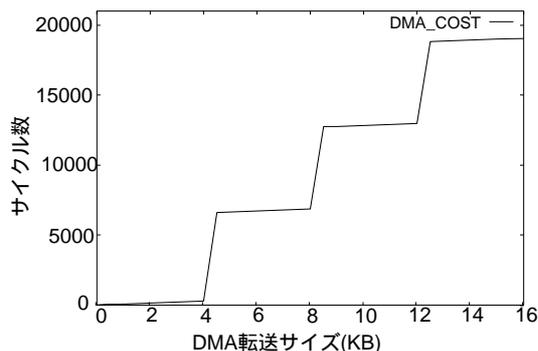


図 2: DMA 転送 1 回にかかるサイクル数

によって行う。

3.2 評価結果

図 2 にその結果を示す。DMA 転送サイズが 4KB 以下のときのコストは非常に低く、転送サイズが 4KB より大きくなると急激にコストが増大することが分かる。これは、ページサイズが 4KB であることに起因していると考えられる。ページサイズが 4KB であるから、DMA 転送サイズ 4KB までは TLB (Translation Lookaside Buffer) ミスを起こすことがほとんどない。そのため、DMA 転送サイズ 4KB 以下では DMA 転送のコストのみがかかると考えられる。しかし、4KB をこえると TLB ミスが起るため、DMA 転送コストに TLB ミスによるコストが加わり、図 2 のようにコストが増大する結果となる。また、ページサイズが 4KB であるので、DMA 転送サイズ 4KB 毎に TLB ミスが増大し、DMA 転送のコストが増大していると考えられる。

4 演算処理性能

DMA 転送サイズが 4KB のときと、16KB のときではコストが大きく異なることから、4KB の転送を 4 回行う方が、16KB の転送を 1 回行うよりもコストが小さいのではないかと考えられる。しかし、当然ながら DMA 転送を行う回数は 1 回の転送サイズが小さい方が増える。そのため、DMA 転送を行う回数を増やすことが実効性能に及ぼす影響について調べる必要がある。また、DMA 転送サイズの違いによるコストの差が実行性能に及ぼす影響を調べるために評価を行う。

4.1 評価方法

評価は、以下のようにして行った。

1. メモリに int 型データ (32bit) の行列を確保
 2. 1 で確保した行列を、使用する SPE 台数で分割
 3. メモリから各 SPE に 1 行毎に DMA 転送を行う。DMA 転送のサイズは 4,8,16KB の 3 通りで行う
 4. DMA 転送で読み込んだ 1 行のデータの総和を求める
- 1~4 の手順を SPE 台数を 1~8 台まで変化させながら行う。

4.2 評価結果

DMA 転送サイズが 4,8,16KB のいずれの場合も総演算時間がほぼ同じとなった。総和演算部を除いた DMA 転送のみの時間についても、4,8,16KB のいずれも転送に要した時間はほとんど変わらないことはなかった。その原因は、配列を確保した後、整数値を代入していることであった。整数値を代入することにより、DMA 転送を行う領域の全てが TLB ミスを起こさなくなる。

つまり、TLB ミスがなくなることにより、DMA 転送サイズが 8KB,16KB においても DMA 転送のコストのみがかかる。そのため、図 2 のように DMA 転送サイズ 4KB,8KB,16KB の転送コストが極端に変わることが無くなり、総演算時間がほとんど変わらなかったと考えられる。

更に、実験プログラムの整数値を代入処理を除外して同じ実験を行ったところ、DMA 転送サイズが 4KB のときが最も速度向上が得られるという結果を得た。TLB ミスを起こさない場合の演算時間の結果をまとめたものを図 3 の Non_TLB_Miss に示す。また、TLB ミスを起こす場合で DMA 転送サイズが 4KB,8KB,16KB のそれぞれの場合の結果を同じく図 3 の 4KB,8KB,16KB として示す。なお、図 3 で示している速度向上率は、PPE でシングルプログラムを実行した際のサイクル数に対する比率である。

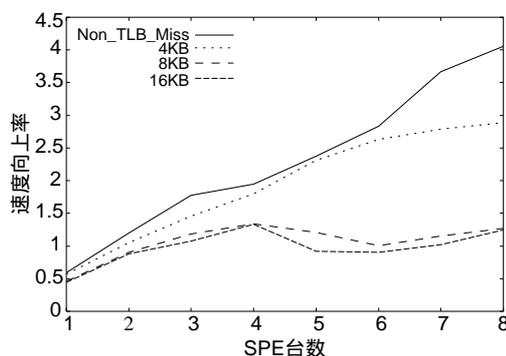


図 3: DMA 転送サイズの違いによる速度向上率の差

5 おわりに

本稿では、Cell のデータ転送能力と演算能力のバランスポイントを探るための評価を行った。その結果、データ転送の要である DMA 転送は、転送領域が TLB ミスを起こす領域であるならば、DMA 転送サイズ 4KB を境に、DMA 転送コストが増大することが判明した。従って、DMA 転送を行う領域がそのような領域であるならば、DMA 転送サイズを 4KB 以下にすることで、DMA 転送によるコストが大きく削減できる。つまり、データ転送能力を十分に発揮させた上での性能を得るためには、そのような工夫 (例えば、16KB の DMA 転送 1 回を 4KB の DMA 転送 4 回にする) を行うことが必要となる。

今後の課題としては、今回の結果を踏まえた上で、データ転送量に対する仕事量の比率を変化させ、そのバランスポイントを探ることがあげられる。

謝辞 本研究は、一部日本学術振興会科学研究費補助金 (基盤研究 (B)18300014, 同 (C)16500023, 若手研究 (B)17700047) および宇都宮大学重点推進研究プロジェクトの援助による。

参考文献

- [1] S.Williams, et al., "The Potential of the Cell Processor for Scientific Computing," the ACM International Conference on Computing Frontiers, May, 2006.
- [2] IBM, "Cell Broadband Engine resource center," <http://www-128.ibm.com/developerworks/power/cell/>.
- [3] Sony, "Cell Broadband Engine Architecture, Ver 1.0," August, 2005.