

PCIデバイスのリアルタイム性評価

茂田井寛隆[†] 大谷治之[†] 落合真一[†]

[†]三菱電機株式会社 情報技術総合研究所

1 はじめに

近年のパソコンは高性能となっており、リアルタイム制御専用のハードウェアに並ぶ性能がある可能性があると考えられる。現状のリアルタイム制御システムにおいて、1回のI/Oを安定して行うことが出来る性能と、1ミリ秒に1200回のI/Oを行うことが出来る性能が必要と考えている。

本論文では、パソコンに接続されたPCIデバイスへのPIO時間を計測し、パソコンのリアルタイム性能を評価する。PCIデバイスを実験対象とした理由として、PCIは1992年に策定され[2]近年のパソコンに必ず搭載されている標準的なデバイスであることと、パソコンでは周辺機器の制御にPCIデバイスを経由することが挙げられる。また、PIO時間を評価対象とした理由として、リアルタイム制御システムでは出力が入力に依存する場合があります、DMA方式よりもPIO方式のほうが数バイトの転送であれば転送時間のほうが早いので、よくPIO方式が用いられていることが挙げられる。

1.1 PCIデバイスアクセス時間変動要因

パソコンの特徴とPCIデバイスの特徴から、PIO時間が変動する大きな要因は次の4点だと考えられる。

1. PCIデバイスの応答性能の違い

PCIデバイスによっては、処理性能の低い安価なチップを利用したものや、PCIデバイス上に独自のローカルバスを搭載するような複雑な仕組みのものが存在する。

2. PCI割り込み共有による影響

パソコンではPCIデバイスの割り込み番号を共有する。そのため、PCIデバイスの割り込み処理は他のデバイスの割り込み処理を実行した後に実行される場合がある。

3. 他のPCIデバイスからの影響

PCIバスを共有しているため、他のデバイスが利用している間はデータの転送を待機させている。

4. チップセットの影響

PCIデバイスは図1のようなバス構造となっており、CPUとPCIデバイスの中に必ずチップセットが存在する。チップセット内部にはローカルバスが

あり、このバスに全てのデバイスからのデータが集中するため、データ転送に待機時間が発生する。

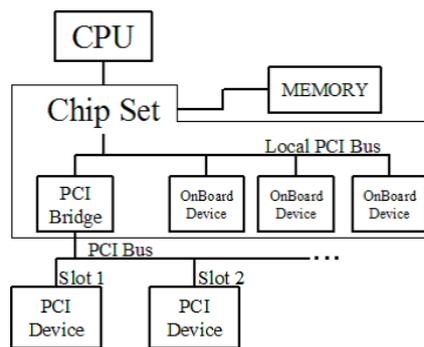


図 1: システムアーキテクチャの構成

要因1に関しては、複数のPCIデバイスを用意し、計測調査する必要があると考えられる。

要因2に関しては、出来るだけ割り込み番号を共有しない方法があり、影響を回避することが出来ると考えられる。PCIデバイスのインタラプト信号線はINTA_#からINTD_#の4本が定義されており、PCIスロットによって接続されるパソコンの割り込み番号が異なる¹(図2)。多くのPCIデバイスはINTA_#のみを利用するため、PCIデバイスを挿すスロット位置を調節することにより、独立した割り込み番号を与えることが出来る[1]。

要因3に関しては、DMAを頻繁に行いPCIバス帯域を多く占有するようなデバイス(GbE, SCSIなど)を用意し、そのデバイスに一定の負荷をかけた状況で計測調査する必要があると考えられる。

要因4に関しては、複数のチップセットを用意し、チップセットの中で最もデータ転送量が多いと考えられるグラフィックに対し一定の負荷をかけた状況で、計測調査する必要があると考えられる。

本論文では、要因調査に必要な基準となる性能測定結果を示す。

2 測定

2.1 測定環境

測定を行った環境を表1に示す。PCIデバイスに関しては、専用のハードウェアを用意できなかったため表1のデバイスを用いている。

REAL-TIME Performance Evaluation of PCI Device
Hiroataka MOTAI[†], Haruyuki OTANI[†] and Shinichi OCHIAI[†]

[†]Mitsubishi Electric Corporation

Information Technology R&D Center

¹マザーボードによって物理的な配線が異なる

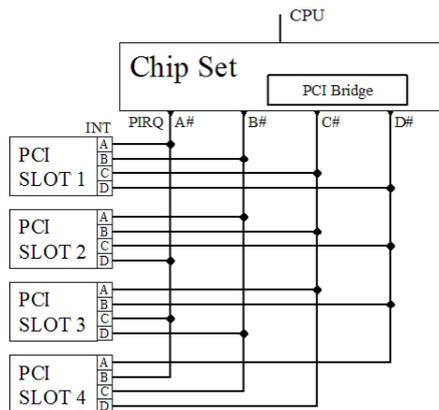


図 2: PCI スロットと割込みコントローラ間の配線例

CPU	Intel Pentium M 1.7GHz
チップセット	Intel 915GM
PCI デバイス	Intel PRO/1000 GT Desktop Adapter

表 1: 測定環境

2.2 測定対象

PCI デバイスへのライトアクセスはデバイスのデータを取得するリードアクセスと異なり、出力データを中継するデバイスでバッファリング²を行っている。そのため、CPU がライトサイクルを終了するタイミングと実際にデバイスへデータが出力されるタイミングが異なる。本論文では、デバイスへのアクセス時間を計測するため、リードアクセス時間を測定対象とする。

2.3 測定方法

対象デバイスのハードウェア構成が不明であり、構成によってはアクセス時間が異なる可能性があるため、搭載されている複数のレジスタ (使用頻度の高いと考えられる RX レジスタ, TX レジスタと、拡張のために設置されたと考えられる LED レジスタ, VLAN レジスタ) に対し 1 回のアクセス時間を測定した。各レジスタを 1 万回リードを行い、その 1 万回のアクセスが開始し終了するまでの時間を計測し、その時間を 1 万で割ることにより 1 回のアクセス時間を算出した。計測は 10 万回行い、計測結果を表およびグラフ (表 2, 図 3) に示す。

時間計測は ICH³ に搭載されている HPET⁴ を動作させ、レジスタ値を読み取り、1 ミリ秒単位に変換することで実現した。

3 考察

測定結果 (表 2, 図 3) より、1 回のアクセス時間に最大 790 ナノ秒 (RX レジスタ) を必要とすること、アクセス時間の変動が少ないことがわかった。

²ポステットライト [1]

³I/O Controller Hub. チップセットの一部

⁴High Precious Event Timer: ICH5 以降 Intel チップセットに搭載され、高精度に時間を計測することが可能である。

レジスタ	RX	TX	LED	VLAN
最大時間	0.790	0.786	0.782	0.786
最小時間	0.782	0.782	0.782	0.782
平均時間	0.782	0.782	0.782	0.782

単位はマイクロ秒

表 2: PCI デバイスへの 1 リードアクセス時間

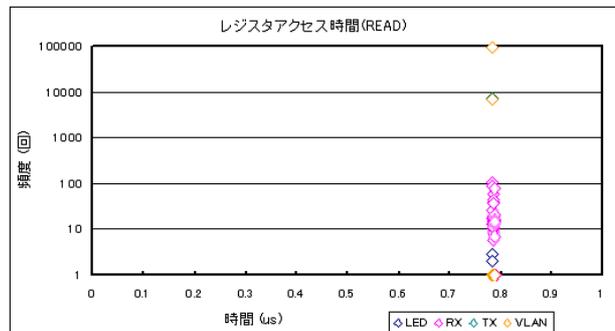


図 3: PCI デバイスへの 1 リードアクセス時間

1 回の最大アクセス時間から 1 ミリ秒に行うことが出来る I/O 回数を計算すると約 1265 回であり、パソコンの PCI デバイスへの単体アクセス時間は専用のハードウェアに並ぶ性能があると言える。

また、PCI デバイスの最大アクセス時間と最小アクセス時間の差から最大変動時間が 8 ナノ秒 (RX レジスタ) であり、PCI バスの 1 クロック時間約 30.3 ナノ秒⁵ と比べて小さいことと、どのレジスタも同じ性能を示していることから、PCI デバイスの応答性能が高いことがわかる。更に、最小アクセス時間 782 ナノ秒と比べ、その変動時間は約 1.0% と非常に小さいことがわかる。

これらのことから、測定で用いた PCI デバイスとパソコンのリアルタイム性能は高いと考えられる。

4 おわりに

PCI デバイスの割込み番号を出来るだけ独立させる方法と、測定で用いたハードウェアの無負荷時のアクセス性能およびリアルタイム性能が専用のハードウェアと同等であることを述べた。

今後は、他のデバイス (PCI デバイス, オンボードデバイス, グラフィックなど) へ負荷をかけた時の測定、本測定で用いたデバイス以外の様々な PCI デバイスを用いた測定、異なるチップセットのパソコンを用いた測定、と数多くの測定を行い、パソコンの PCI デバイスのリアルタイム性能をさらに調査する必要があると考えている。また、次世代 PCI である PCI Express[2] に対しても測定する必要があると考えている。

参考文献

[1] 金子俊夫, Open Design No.7 - PCI バスの詳細と応用へのステップ, CQ 出版株式会社, 1995

[2] PCI SIG, <http://www.pcisig.com/specifications/>

⁵PCI バス速度は 33MHz であり、1 クロックあたり $1/33 \approx 30.3$ ナノ秒である。