

3次元型トランジスタ FinFET を用いた バッファ回路の新設計法とそのDRAMへの適用検討

渡辺重佳 岡本恵介

湘南工科大学 情報工学科

1. はじめに

近年の高集積化されたLSIでは、2点の大きな問題が指摘されている。1点目はLSIを構成する平面型CMOSトランジスタの微細化の限界である。ショートチャネル効果の増加、サブスレッショルド特性の劣化が解決困難となってきた。2点目はユーザーからの高機能化の要請に答えるために必然的に生じるチップの大型化に伴う製造コストの増大である。大型化に伴いグロス率は低下し、歩留りも大幅に低下してしまう。これらの問題を解決する新技術としてFinFETに代表される3次元型トランジスタが現在注目されている[1], [2]。本研究ではFinFET導入によるテーパ型バッファ回路のパターン面積の縮小効果及びそのDRAMへの適用を検討[3], [4]したので報告する。

2. テーパ型バッファ回路での面積縮小効果

図1にFinFETの平面図及び断面図を示す。

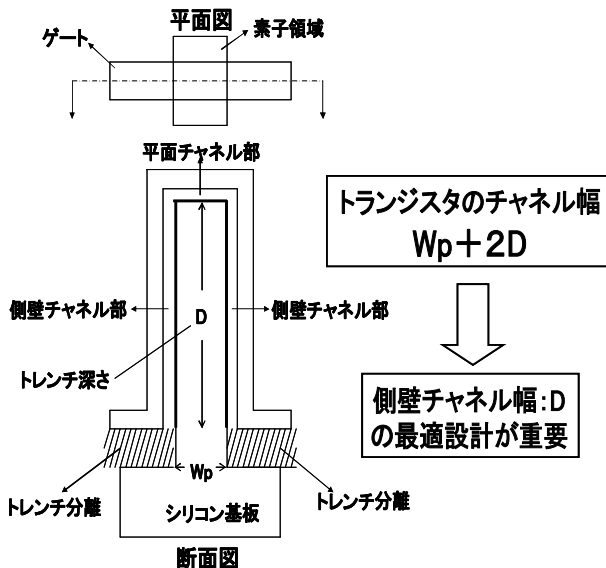
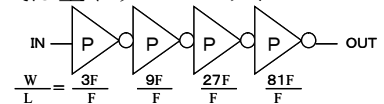


図1. FinFETの平面図及び断面図

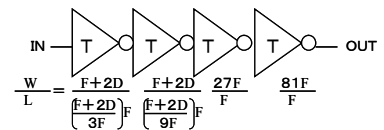
New design method of tapered buffer circuit with FinFET and its application to high density DRAMs.
Shigeyoshi Watanabe, Keisuke Okamoto
Department of information science, Shonan Institute of Technology

平面部だけでなく側壁部もトランジスタのチャンネルになるため高密度化に適しているのが特徴である。FinFET導入の際側壁チャンネル幅Dの値の設定とどのトランジスタをFinFET型にするかという選択がポイントとなる。その選択法としてチャンネル幅の小さいトランジスタを平面型とし、チャンネル幅の大きいトランジスタをFinFET型とする“平面型+FinFET型”(図2)を今回採用した。この方式は全トランジスタにFinFET

(a) 平面型



(b) 全FinFET型



(c) 平面 + FinFET型

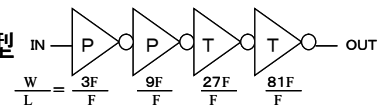


図2. “平面型+FinFET型”方式

型を用いた全FinFET型と異なり平面型と比較して消費電力が増加しない特徴がある。

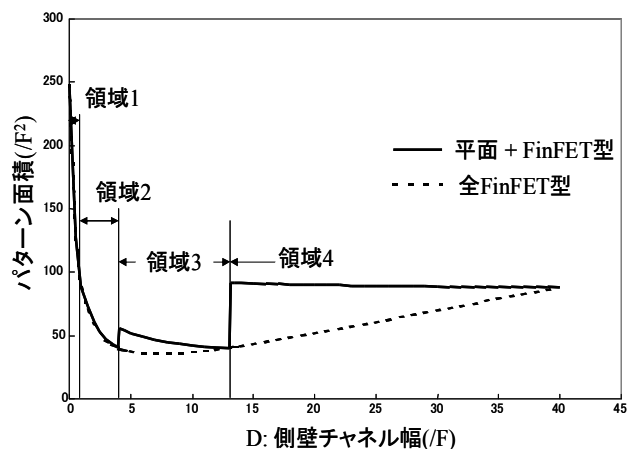


図3. 4段のバッファ回路のパターン面積

平面型+FinFET 型を4段のテーパ型バッファ回路に導入した場合、そのパターン面積は側壁チャンネル幅Dの値によって異なる。その様子を図3に示す。図3で領域1～4の説明は図4のようになる。

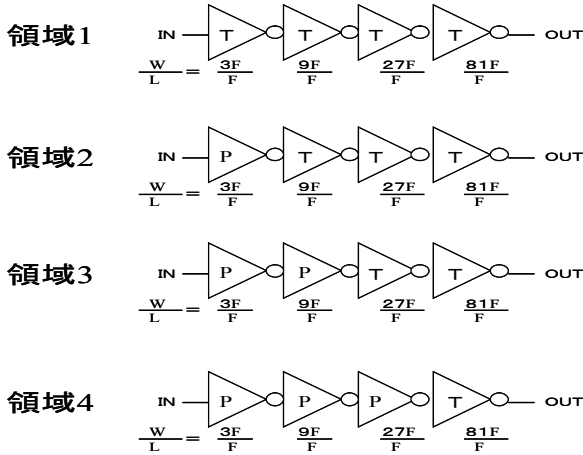


図4. 図3での領域の説明

図3から4段のバッファ回路では“平面型+FinFET 型”を導入することにより $D = 10F$ (F はデザインルール) を用いると平面型と比較して消費電力を増加させることなくパターン面積を約17%に縮小できる。以上の結果を、全FinFET型と比較する形で図5にまとめた。

	パターン面積	消費電力
平面型	1	1
全FinFET型	0.16	2.5
平面型+FinFET型	0.17	1

図5. 各方式の比較

3. DRAMでの面積縮小効果の見積もり

次に前章で述べた“平面型+FinFET 型”を大容量DRAMに適用した場合のパターン面積縮小効果を見積もった。DRAMはメモリセル以外にセンスアンプ、デコーダ等のコア回路とRAS系・CAS系のクロック系、入出力を駆動する入出力バッファ等の周辺回路に大別される。この中で“平面型+FinFET 型”導入することによりパターン面積の縮小を図れるのは、パターン面積が配線等で律則されていない入出力バッファ等の周辺回路部分である。周辺回路部分で

は大きな負荷容量を駆動するために多段のテーパ型バッファ回路を多用する。そのため周辺回路部分のパターン面積の縮小効果を見積もるために多段のバッファ回路のパターン面積の縮小効果をあらかじめ調べる必要がある。図6にその結果を示す。図6を用いて周辺回路部分のパ

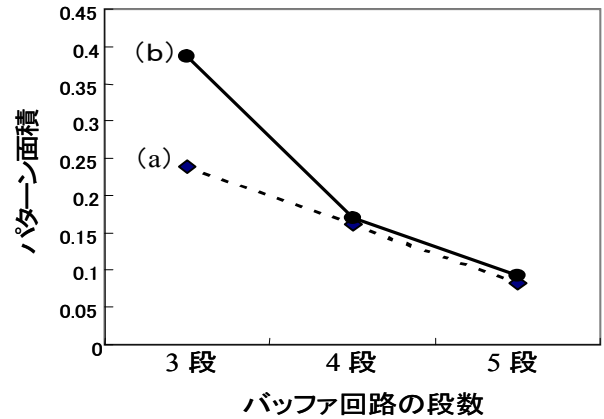


図6. バッファ回路のパターン面積の縮小効果

ターン面積を最小にするように側壁チャンネル幅 $D = 10F$ を決めた。その時周辺回路部分のパターン面積は約20%に縮小できる。DRAMチップでは通常周辺回路部で全体のパターン面積の約10%を占めている。ゆえに“平面型+FinFET 型”の導入によりDRAM全体のパターン面積を $10 \times (1 - 0.2) = 8\%$ 縮小できる。

4. おわりに

“平面型+FinFET 型”導入によりテーパ型バッファ回路のパターン面積を消費電力を犠牲にする事無く従来の平面型の約20%に削減できる事を示した。またこの手法によりDRAMのパターン面積を約8%縮小出来る。

参考文献

- [1] S. Watanabe, "Impact of three-dimensional transistor on the pattern area reduction for ULSI," IEEE Trans. ED, vol.50, no.10, pp.2073-2080, Oct. 2003.
- [2] 渡辺: TISを用いたシステムLSIの設計法, “電子情報通信学会和文誌 C, VolJ88-C, no.12, pp.1-11, 2005年12月.
- [3] 渡辺: “TISを用いたバッファ回路とそのDRAMへの適用検討”2003年電通学会大会.
- [4] 渡辺: TISを用いたバッファ回路の新設計法とその大容量DRAMへの適用検討, “電子情報通信学会和文誌 C, VolJ86-C, no.3, pp.301-306, 2003年3月.