

微細MOSFETのゲートリーク電流を考慮した 2電源型システムLSIの低消費電力設計法

渡辺重佳 花見智

湘南工科大学 情報工学科

1. はじめに

近年、低消費電力な高性能システム LSI を実現する方式として2電源方式が提案されている[1][2] (図1)。高性能システム LSI の処理速度を更に向上するためには MOSFET の微細化が不可欠であり、そのゲートリーク電流が無視出来なくなる[3]。今回代表的な低消費電力手法である2電源方式に対する MOSFET のゲートリーク電流の影響を解析したので報告する[4] [5]。

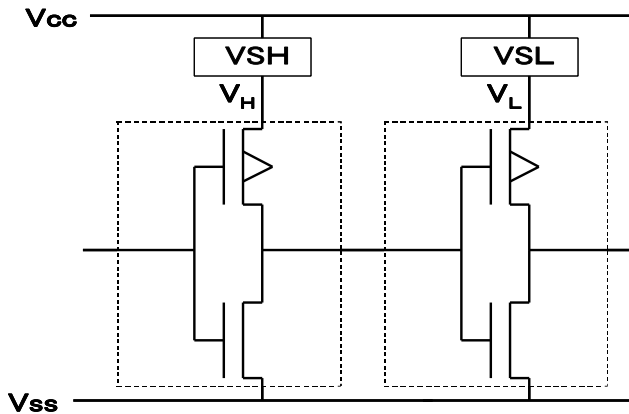


図1. 2電源方式の構成図

2. MOSFETのゲートリーク電流の2電源方式に及ぼす影響

ゲートリーク電流による消費電力は電源電圧の4乗に比例すると仮定して、高性能システム LSI の一例としてゲート長35nm、ゲート絶縁膜厚1.1nmの微細MOSFETを用いた動作周波数4GHzの組み込み用プロセッサの消費電力を見積もった。見積もりに用いたMOSFETの特性と組み込み用プロセッサの仕様を図2に示す。

システムLSIの消費電力としては負荷容量の充放電電流、MOSFETのサブスレッショルドリーク電流、ゲートリーク電流およびスイッチング時の貫通電流がある。本検討ではサブスレッショルドリーク電流とスイッチング時の貫通電流はしきい値電圧等を最適化設計すれば低減できると考え消費電力の要因としてゲートリーク電流と充放電電流のみ考慮した。まず費

Impact of gate current of MOSFET on dual-supply voltage scheme for low-power system LSI.

Shigeyoshi Watanabe, Satoshi Hanami

Department of information science, Shonan Institute of Technology

Estimated microprocessor

Feature size : F 50nm
 Chip size : 50mm²
 Transistor number : 24M
 Clock frequency : 4GHz
 Supply voltage : Vcc 0.4V
 Tox eff : 1.1nm
 Gate length : L 35nm

図2. 見積もりに用いたプロセッサの特性

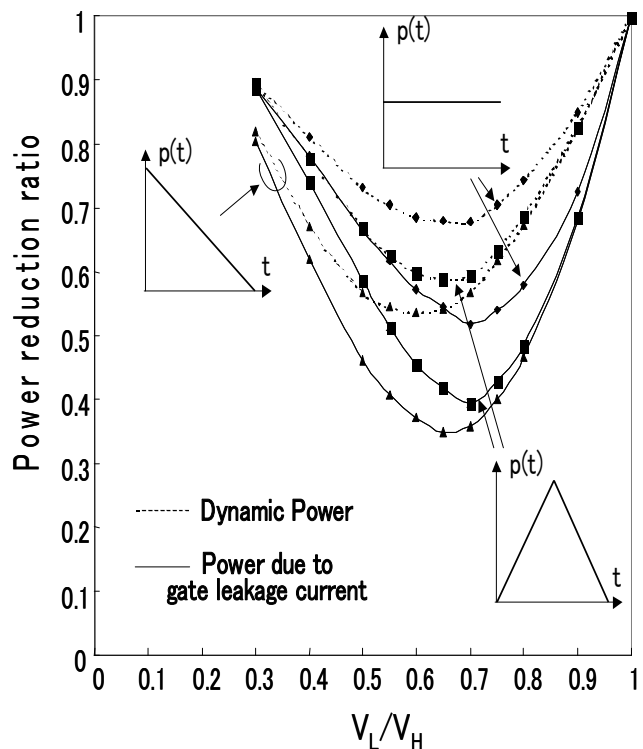


図3. 消費電力の削減率比の V_L/V_H 依存性

費電力としてゲートリーク電流のみを考慮した場合の2電源方式導入による消費電力の削減率

比の V_L/V_H 依存性を図 3 に示す。いずれの分布 $p(t)$ (ロジックを構成する各ノードの遅延時間の分布) の場合にも最大の削減が得られる V_L/V_H の値は充放電の場合と比較して僅か 0.05 程度高く、削減率比は約 $30 \sim 50\%$ と大きくなっている (同一分布 $p(t)$ で比較すると約 15% 低減している)。以上の結果からゲートリーク電流が流れる場合にも、2電源方式はシステムLSIの低消費電力化のために有効である事がわかる。その時の V_L/V_H の値の設定は充放電の時とほぼ同じにすれば良い。

3. 充放電とゲートリーク電流を考慮した場合の消費電力の削減効果

以上ゲートリーク電流のみ考慮した場合を検討したが、第2章でも述べたように、実際のシステムLSIではこれ以外に充放電による消費電力を考慮しなければならない。両者の総和の消費電力である P も $V_L/V_H = 0.6 \sim 0.7$ で最小になる。消費電力の削減効果は充放電分とゲートリーク電流分の消費電力の大きさの比によって異なる。充放電による消費電力を PD 、ゲートリーク電流による消費電力を PT とすると

$$P = PD + PT = (1+k) PD \quad (1)$$

ここで k は両者の比を表す。分布 $p(t)$ としてシステムLSIで最も一般的な“山型”の場合の消費電力の総和の V_L/V_H 依存性を図 4 に示す。ゲートリーク電流による消費電力の方が、充放電による場合よりも電源電圧依存性が大きいので、図 4 で k が小さく充放電が支配的

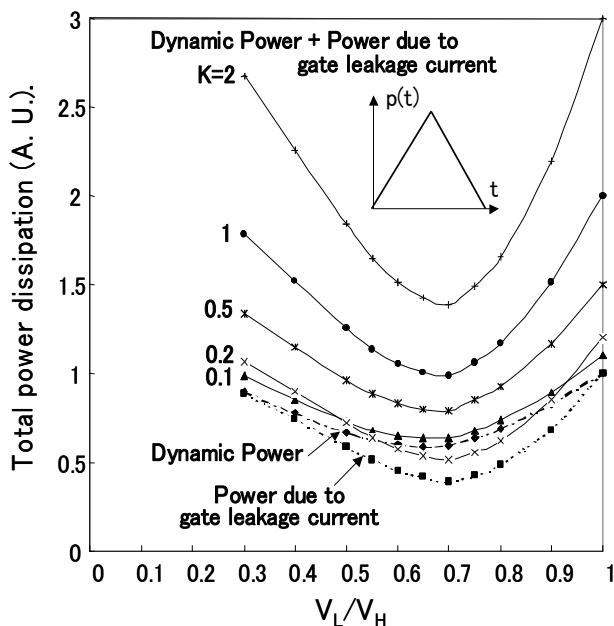


図 4. 消費電力の総和の V_L/V_H 依存性

になるにつれ、消費電力の総和の V_L/V_H 依存性小さくなる。

4. おわりに及び今後の展望

動作時の微細MOSFETのゲートリーク電流が低消費電力用2電源 (V_H, V_L) 方式に及ぼす影響について解析した。ゲートリーク電流によるシステムLSIの動作時の消費電力は従来の充放電による消費電力同様に $V_L/V_H = 0.6 \sim 0.7$ で最小になり、消費電力の削減効果は充放電の時よりも更に 15% 程度大きくなる。ゆえに2電源方式は、MOSFETのゲートリーク電流が増加する将来のシステムLSIでも、低消費電力化のために極めて有効であると考えられる。

今回の検討は極めて荒い仮定の元になされた。ゲートリーク電流による消費電力は本論文では電源電圧の4乗に比例するとしたが、より正確には指数関数的で表わされる。またMOSFETのリーク電流としてはゲートリーク電流以外に正確にはサブスレッショルドリーク電流を考慮する必要がある[6]。更に2電源方式と多しきい値方式 (MOSFETのしきい値電圧を2種類以上使用する方式) を組み合わせることにより、更なる低消費電力化を実現出来る可能性もある。今後これらを考慮した更に精密な検討を進めていく。

参考文献

- [1] H. Hamada, et. al, Proc. CICC, pp. 495-498, 1998.
- [2] K. Usami, et. al, Proc. CICC, pp. 123-126, 2000.
- [3] S. Lo, et. al, IEEE Trans. EDL Vol. 18, no. 5, pp. 209-211, 1997.
- [4] 渡辺: 微細MOSFETのゲートリーク電流の低消費電力用2電源方式に及ぼす影響に関する検討、“電子情報通信学会和文誌 C, Vol. J86-C, no. 6, pp. 658-660, 2003年6月.
- [5] 渡辺, “微細MOSFETのゲートリーク電流が2電源方式に及ぼす影響に関する検討 “ 電子情報通信学会総合大会、論文番号 C-11-2, 2006.
- [6] 渡辺、金井、永澤、花見、小林、高嶋” MOSFETのリーク電流を考慮した2電源型システムLSIの低消費電力設計法” 信学技法 ICD-132, pp. 31-36, 2006.
- [7] 渡辺: 微細MOSFETのリーク電流を考慮したシステムLSIの高速低消費電力設計法の検討、“電子情報通信学会和文誌 C, Vol. J86-C, no. 9, pp. 1024-1027, 2003年9月.