3ZB-6

# バタフライ演算器を搭載したプロセッサによる IDCT 処理の高速化

岸田 慎也†，浜辺 直輝†，玉那覇 雅治†2，小島 正典†，山田 圀裕†3，柴田 浩†
†大阪工業大学 情報科学部　†2 三菱電機株式会社　†3 株式会社 ルネサスソリューションズ

## 1. まえがき

DVD や液晶テレビなどの画像処理においてソフトウェアによる MPEG－2 デコードの高速化が進展しており，組込マイコンによる処理が期待されている．本稿では 8 画素の IDCT において 2 画素のバタフライ演算器を使って高速化した場合の，演算・転送・並び換えに関する並列処理を検討する．

## 2. MPEG－2 デコーダ

1 サイクル 4ns の 4 並列 VLIW で MPEG－2 のデコードをソフト主体で行うと，IDCT 部で全体の 1／2 の処理時間（1 秒で 498 Mサイクル相当）を必要とする．

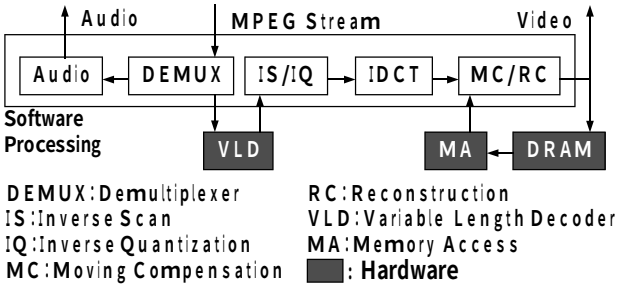


Fig.1 MPEG－2 decoder

IDCT 処理において Chen の方法を用いると，8 画素単位の処理を 13 回のバタフライ演算で行うことができるこのバタフライ演算が可能な ALU を併設して，IDCT を高速処理する RISC プロセッサが提案されている．

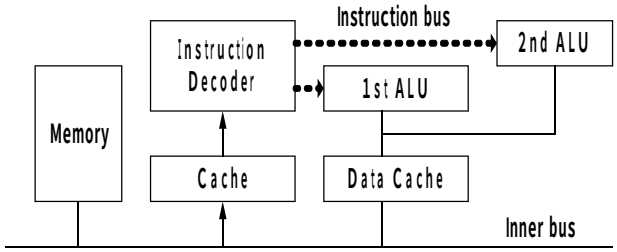


Fig.2 The proposed RISC processor

１サイクル 4ns では 8 画素のデータ転送に 32nsec かかり，8 画素の IDCT に 52nsec（13 サイクル）かかる．よって，1 秒間の MPEG－2 映像では，約 202ms（50.5 Mサイクル）で処理でき、デコードをソフト主体で行えると考えられる[1]．

実際には非並列部のサイクルが加わるので，その短縮を検討する．

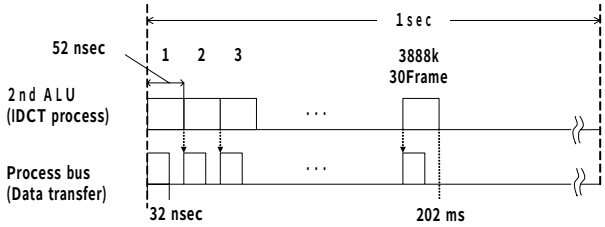


Fig.3 Data transfer of DCT

## 3. バタフライ演算の並列処理

バタフライ演算を 1 クロックで行うために 2 つの積和演算器で構成している．また，演算中にデータの読み書きを行うため，積和演算器が繋がる計算用のバスと，DATA Cache と繋がるデータ転送用のバスとの大きく 2 つに分ける．

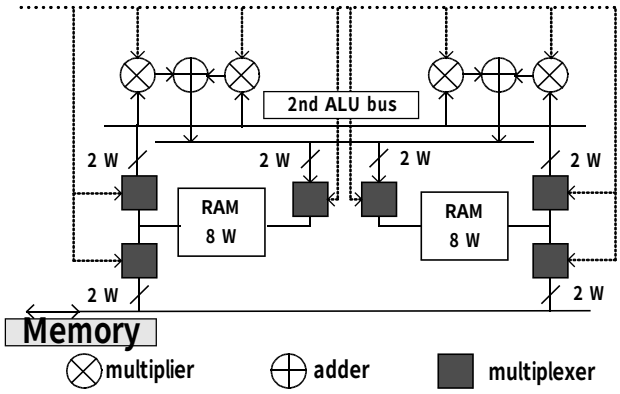


Fig.4 2nd ALU

Butterfly ALU に用いられる乗算器は，あらかじめ全種類ビットの右シフトで行っておき，Instruction Code に従い選択して加算したものを出力する．

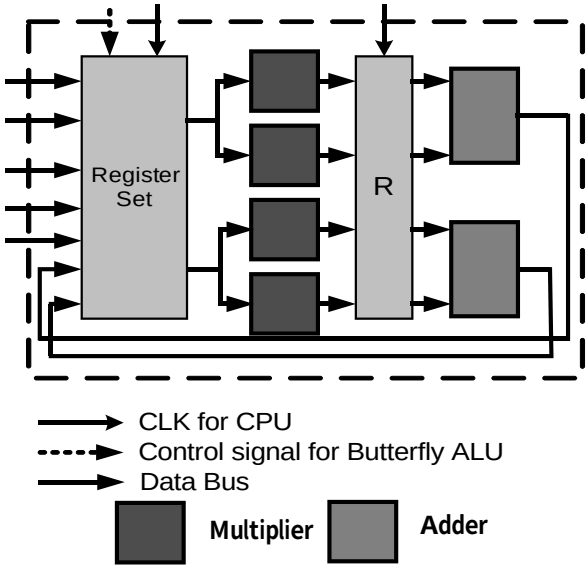


Fig.5 Butterfly ALU

---

An acceleration of an IDCT processing by the processor embedded the butterfly operation machine

† Faculty of Information Science，Osaka Institute of Technology
†2 Mitsubishi Electric Corporation
†3 Renesas Solutions Corp.

Butterfly ALU を設計するに当たって，問題となるのは乗算にかかる時間である．そこで乗算と加算を分け，ALU を 2 段パイライン構造とする．
その結果，13 回のバタフライ演算は 15 サイクルで処理できると考えられる．

## 4. 演算と転送の並列処理

今回，設計したプロセッサは，データバス 32bits の 5 段パイプラインで動作する RISC プロセッサである．

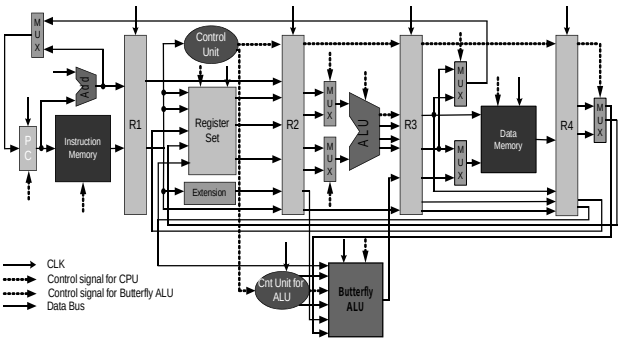


Fig.6 RISC processor carried Butterfly ALU

Fig.6 のように 2nd ALU の演算処理とメモリからのデータ転送を並列に処理するために，プロセッサの 1 命令で 8 画素分の IDCT 処理を行えるコントローラを 2nd ALU に組み込んだ．その結果，8 画素分の演算は 18 サイクルで処理することができた．

## 5. データ転送と並び換え

IDCT 処理において基本ブロックとなる 8×8 画像を処理するとき，Fig.7 のように横方向と縦方向にデータを読み書きする必要がある．

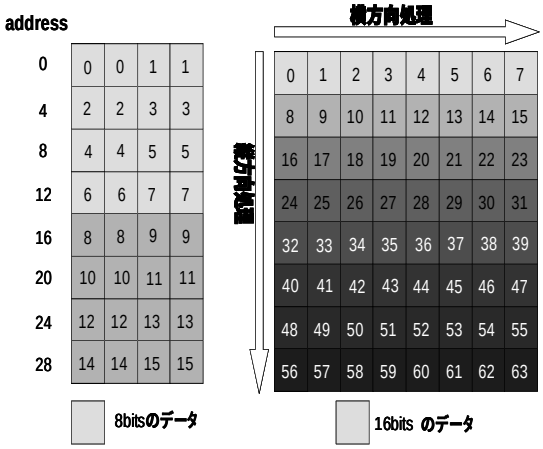


Fig.7 Row of memory & 8×8 block image

メモリからデータ転送を行う場合、最大 32bits まで同時に読み書きすることができ，横方向に読み書きするときは 1 サイクルで 2 要素を転送できる．しかし，縦方向に読み書きするときは 1 サイクルで 1 要素しか転送できない．そのため，8 画素のデータ転送を縦方向に行うときには 19 サイクル必要となる．
このプロセッサでは，8 要素のデータを演算するのに 18 サイクルで行える．しかし，データ転送に 19 サイクルかかると，1 サイクル分多く時間がかかってしまい，ＡＬＵが止まる時間でできてしまう．
そこで１方向ごとの IDCT 実行後のデータ格納方法を変更する解決方法を考えた．

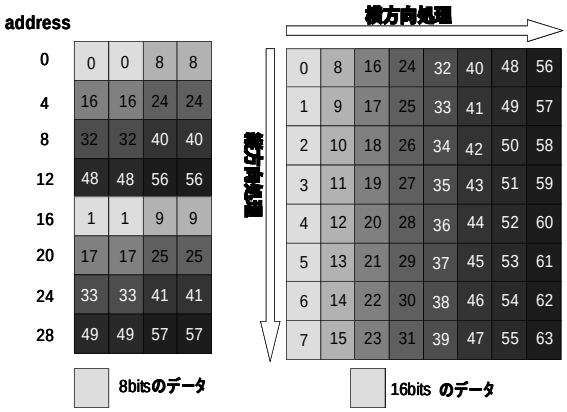


Fig.8 After one direction IDCT

Fig.8 は Fig.7 に横方向に IDCT をかけた後のメモリのデータを示している．8 画素分の IDCT 実行ごとに結果を縦方向に格納する方法を使っているので，1 方向の IDCT 実行後のデータは縦に格納されている．
この方法を使うことにより，横方向，縦方向どちらにおいても 15 サイクルでデータ転送処理を行うことができる．
この結果，8 画素分の IDCT 処理をすべて 18 サイクルで行え，より高速に処理できるようになった．

現画像　　Quality : 50

Fig.9 Image quantization

FPGA でプロセッサを構築し，8×8 でブロック化した画像を DCT・量子化の後 IDCT を行った．その際，量子化スケールを変更して，64×64 画像を表示した．
検証結果より，このプロセッサでは１秒間の IDCT を約 70.5M サイクルで処理できると考えられる．1 サイクル 4ns の RISC プロセッサでリアルタイム処理を行える結果が得られた．

## 6. むすび

DCT の 2 画素バタフライ演算を 2 サイクルで実行する ALU を搭載したプロセッサを FPGA で構築し，画像データを処理することができた．より高速なプロセスで LSI 化すれば，組込マイコンでも MPEG－2 のデコードが可能になり，映像機器の SOC 化が進展すると考えられる．

## 参考文献

[1] K.Yamada，M.Kojima，T.Shimizu，F.Sato，T.Mizuno，“A NEW RISC PROCESSOR ARCHITECTURE FOR MPEG－2 DECODING”，IEEE Transactions on Consumer Electronics，Vol.48, No.1, pp.143-150, Feb ,2002