

3ZA-5

## 非同期式设计におけるレイアウト制約の緩和

小山 俊之<sup>†</sup>

中野 秀洋<sup>†</sup>

桑子 雅史<sup>†</sup>

宮内 新<sup>†</sup>

武蔵工業大学<sup>‡</sup>

### 1. はじめに

近年の半導体技術の進歩により、現在のデジタルシステムの主流である同期式回路は、消費電力やクロックスキューなどの問題を抱えている。その解決方法の一つとして非同期式回路が注目されている。非同期式回路は、期待するタイミングで動作するために素子や配線の遅延に設ける仮定(遅延仮定)が重要になる。遅延仮定の一つに、DI(Delay-Insensitive)モデルがある。このモデルでは、期待する回路の動作が遅延に依存しない。ただし、回路はバッファやインバータと配線及びC素子のみで構築しなければならず、DIモデルは厳しく制限される[1]。AND、OR素子を用いると、後継を持たない遷移が回路へハザードを持ち込む可能性があるためである。

QDI(Quasi-DI)モデル[1]は、その心配を打ち消す。QDIモデルでは、DIモデルに、分岐配線が分岐先への遅延時間が全て均一という等時分岐仮定を加えたものである。このモデルでは任意の機能を持つ回路を実現できる。等時分岐を実装するためには、分岐配線が均一の遅延を持ち、素子が均一のスレッショルドの切り替えをする必要がある。これは容易ではない。ただし、対象の分岐が回路にハザードを引き起こさなければ、その分岐は等時分岐の仮定を満足する必要はない。そこでQDI回路の実装が容易になるように、本研究ではそのような分岐を検出することを目的とする。

### 2. 従来研究

従来研究として、Natthaらの手法[2]がある。ハザードは後継を持たない遷移が原因で引き起こされるため、従来の手法では、後継を持たない遷移によって引き起こされる全てのレースについて、ハザードを引き起こす可能性があるかどうかを調べる。その遷移がハザードを引き起こす可能性があるならば、その遷移の分岐配線を持つ分岐は等時分岐仮定を満たさなければならない。

後継を持たない遷移は、信号遷移の因果関係を記し

た有効グラフであるSTG(Signal Transition Graph)を拡張したE-STG(Extended-STG)を定義し、それを用いることで検出している。E-STGは、入出力の遷移だけでなく、分岐配線と内部配線における遷移を含んでいる。図1で示すアルゴリズムによってE-STGは求められる。E-STGは遷移間の依存関係のみに着目し、遷移の発生順序は考慮に入れていない。

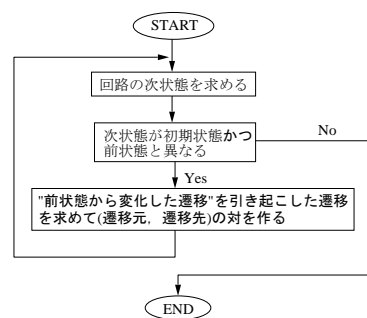


図 1: E-STG を求めるためのアルゴリズム

(遷移元, 遷移先)の組で遷移先がない遷移は、後継を持たない遷移であるとみなされる。

#### 2.1 従来の手法で得られる後継を持たない遷移

[2]では、上記の手法を図2の回路を対象に実験し、図3に示すE-STGを得ている。図2の点線は、環境経路を表す。また、図3において、点線で囲まれている遷移は後継を持たない遷移を表す。

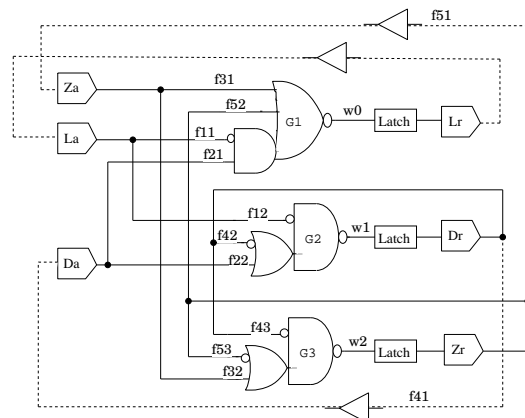


図 2: 対象回路

Moderation of layout constraint on asynchronous circuit design

<sup>†</sup>Toshiyuki Koyama, Hidehiro Nakano, Masashi Kuwako, Arata Miyaruchi

<sup>‡</sup>Musashi Institute of Technology

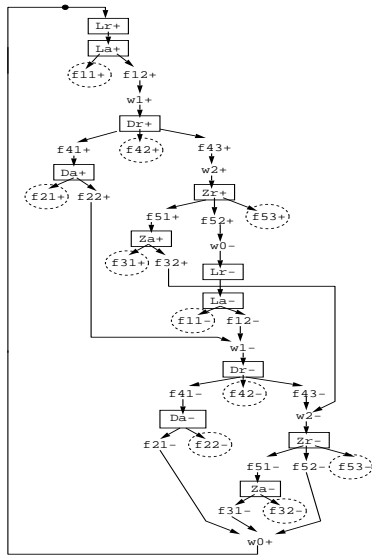


図 3: 図 2 の E-STG

### 3. 問題点

前述したが、E-STG は遷移間の依存関係のみに着目し、遷移の発生順序は考慮に入れていない。つまり、E-STG で得られる後継を持たない遷移は、分岐が等時分岐仮定を満たしている分岐配線において生じる遷移が、後継を持つかどうかで判断されていると考えられる。しかし、後継を持つとみなされた遷移間で順序関係が生じたならば、その遷移先においては、後継を持つかどうかの判断は遷移の発生順序を考慮しなければならないはずである。考慮しなければ、後継を持たないとされた遷移が、それ以前の遷移の発生順序により、他の遷移を引き起こす可能性も考えられる。さらに、後継を持つとみなされた遷移間のレースによりハザードが生じるかもしれない。その場合のハザードについては、従来の手法では見逃されてしまう。

### 4. 問題が発生する状況

E-STG により後継を持つとみなされた遷移間で順序関係が生じた際、どのような状況が起こるのかを確認する。図 2 で示した回路の分岐  $Zr$  において、後継を持つとされる遷移  $f51+$  と  $f52+$  で順序関係 ( $delay\ of\ f51 < delay\ of\ f52$ ) が生じたと仮定する。その結果得られる信号遷移を図 4 に示す。

素子 G1 に注目したとき、遷移  $f21-$  と遷移  $f51-$  が生じた結果、遷移  $w0+$  を引き起こすことがわかる。その後遷移は進んでいくが、遅れていた遷移  $f52+$  が生じた瞬間に  $w0-$  を引き起こしてしまう。つまりハザードが生じる可能性がある。このハザードは後継を持たない遷移が原因で引き起こされるのではなく、後継を持つ遷移

$f51-$  が引き起こす。素子 G1 への入力は  $f31$ ,  $f52$ ,  $f11$ ,  $f21$  であり、後継を持たない遷移は  $f11+$ ,  $f11-$ ,  $f21+$  である。遷移  $f11+$ ,  $f11-$ ,  $f21+$  はハザードを起こすかどうかは単純に判断できないが、仮に各々が属する分岐が等時分岐を実装していると仮定しても、ハザードは生じる。このハザードは後継を持つ遷移同士のレースで引き起こされるため、従来の手法では見落とされる。

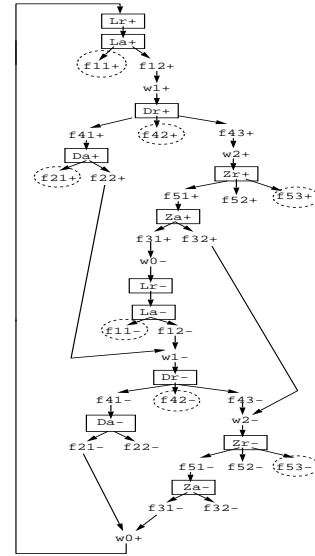


図 4:  $f51+$  と  $f52+$  で順序関係が生じた信号遷移図

### 5. おわりに

前節より、ハザードを引き起こす可能性のある後継を持たない遷移は、遷移の発生順序を考慮に入れなければならないことがわかった。遷移の発生順序を考慮に入れることで、ハザードを引き起こす可能性のある遷移を正しく判断できる。さらに、その遷移とレースを起こす遷移間でハザードを引き起こすかどうかを調べることで、その分岐が等時分岐を満たすべきかどうかを決定できる。

今後の方針は、発生順序を考慮に入れてハザードを引き起こす可能性のある遷移を特定するためのアルゴリズムの考案とそのアルゴリズムを適用するための回路モデルの作成である。

### 参考文献

- [1] Alain J. Martin, "The limitations to delay insensitivity in asynchronous circuits," 6th MIT Conference on Advanced Research in VLSI MIT Press, 1990
- [2] Nattha SRETASEREEKUL, Takashi NANYA: "Eliminating Isochronic-Fork Constraints in Quasi-Delay-Insensitive Circuits," IEICE TRANS. FUNDAMENTALS, VOL.E86-A, NO.4 APRIL 2003