

6B-3

LSC-Based DSP の試作について (Prototyping the LSC-Based DSP)

一條 健司* 吉岡 良雄†

弘前大学 理工学部 電子情報システム工学科‡

1. はじめに

現在デジタル信号処理は、制御、計測、通信、マルチメディア処理など、様々なシステムにおいて必要不可欠なものとなっている。それら処理の基本となる演算はベクトル演算であり、これは2項演算命令(加算/乗算など)を節点とし、オペランドの依存関係を辺とする2分木で表され、細粒度並列性を有するデータフローグラフと見なすことができる。

一般にデジタル信号処理を目的とした専用ハードウェアとして、DSP(Digital Signal Processor)が広く用いられているが、そのほとんどは汎用CPUをベースに信号処理演算特有の機構を備えたものであり、ベクトル演算の持つ細粒度並列性を本質的に捉える事は難しい。

これに対して、当研究室で開発しているデータフロー処理方式並列計算機 Loop Structured Computer (LSC) は細粒度並列性を本質的に捉える事ができる。我々はこれまで、LSC 上でベクトル演算を実行した場合のデータの振舞いについて調べてきた([1] など)。本稿ではそれらの結果に基づき、プログラマブルデバイスを利用した LSC-Based DSP の試作について述べる。

2. LSC の構成と LSC-Based DSP

データフロー処理方式並列計算機 Loop Structured Computer (LSC) は、図 1 に示すように、複数のデータフロー型プロセッサ (Processing Element: PE) $PE_1, \dots, PE_K$ から成るマルチプロセッサシステムである。各 PE は、主にシフトレジスタにより構成される $K+1$ 個の通信部 (Communication Unit: CU) を介してリング状にシリアル接続されており、通信はパケット交換方式で行われる。

LSC 上に実装するプログラムはパケットシーケンスで表現され、(1) 各 PE の処理内容を決定する命令パケットを伝送する、(2) 各 PE の処理を発火させるデータパケットを伝送する、という手順で実行される。

このような LSC のアーキテクチャを元に、信号処理演算の実行を前提として、CU、PE 各モジュールの再設計とパケット形式の簡略化を行い、LSC-Based DSP の開発を進めている。パケット形式は以下に示す6バイト長のものとした。CU、PE 各モジュールの内容については次節に述べる。

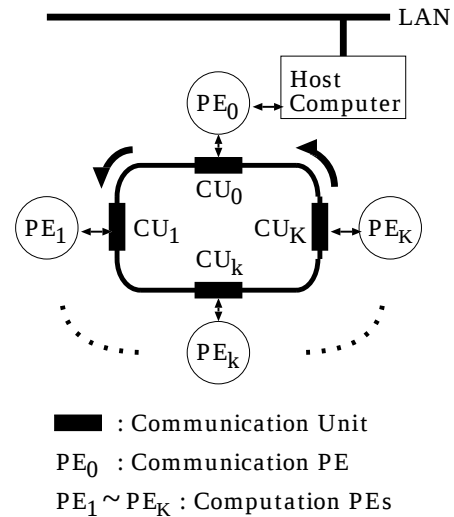


図 1: LSC の構成

● 命令パケット

PE	PN	FC	DPE	DPN	0x00
----	----	----	-----	-----	------

● データパケット

PE	PN	データ領域 (4byte)
----	----	---------------

ここで、PE : 宛先 PE 番号、PN : パケット識別番号、FC : 演算コード、DPE : 演算結果転送先 PE 指定、DPN : 演算結果転送先 PN 指定、データ領域 : 32bit 固定小数点データ、である。命令/データパケットの区別は PN 部の MSB にて判定する。

3. ハードウェアの設計

LSC-Based DSP の基本要素は、シフトレジスタを持つ CU と、データフロー処理により命令を実行する PE との1対の組である。そのブロック図を図 2 に示す。まず、CU 内部の詳細について述べる。パケット受信用シフトレジスタ (Rx Shift Reg.)、パケット送信用シフトレジスタ (Tx Shift Reg.) は共に 48bit であり、前者はシリアル-パラレル変換。後者はパラレル-シリアル変換を行う。Switch 部は、パケットの先頭 1 バイトをチェックして自 PE 宛てか他 PE 宛てを選択し、さらに Tx Shift Reg. が空き状態であり、かつ出力待ち用 FIFO (Output Queue) に待ちパケットがあれば、それを Tx Shift Reg. にロードする。自 PE 宛てのパケットは、入力待ち用 FIFO (Input Queue) にて PE 内のパケットレジスタ (Pkt.Reg.) に取り込まれるのを待つ。Input/Output Queue について、[1] などにおけるシミュレーションの結果から、深さはそれぞれ 64、32 パケット分としている。また、ワード長

*Kenji ICHJO

†Yoshio YOSHIOKA

‡Department of Electronic and Information System Engineering, Faculty of Science and Technology, Hirosaki University

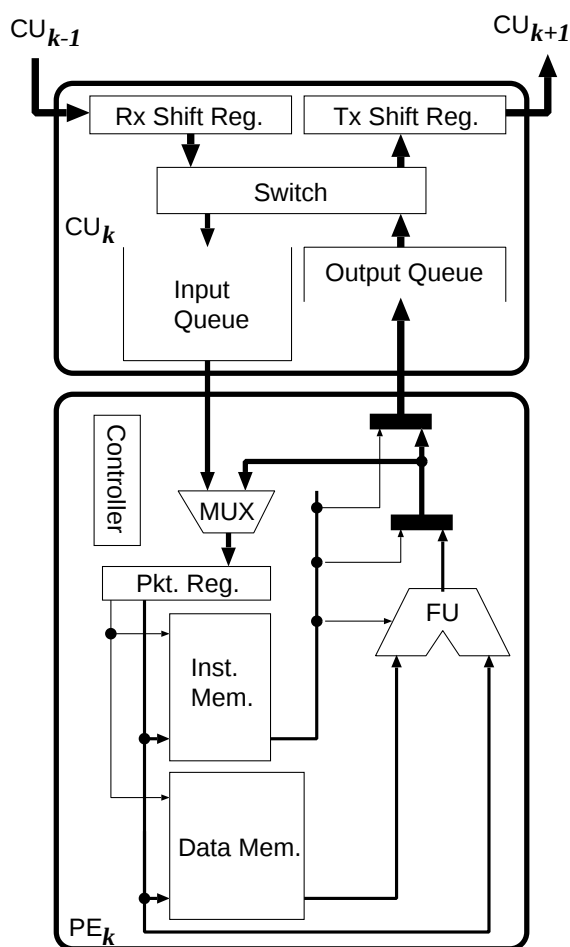


図 2: CU と PE のブロック図

はそれぞれ 40bit(パケット形式の PE 部を除いた長さ)、48bit としており、従って 2 つの Queue に要するメモリサイズは 4096bit となる。

次に、PE 内部の詳細について述べる。Input Queue から Pkt.Reg. に取り込まれたパケットは、それが命令パケットならば、命令メモリ (Inst.Mem.) に記憶される。一方、それがデータパケットであり、もし、対になるオペランドデータパケットが未だデータメモリ (Data Mem.) 内になければ、そこに記憶される。そうでないならば、Pkt.Reg. のデータと Data Mem. から読み出されたデータが、それらをオペランドとする命令の内容に従って演算ユニット (FU) にて処理される。FU の出力データは、命令パケット中の DPE 部に従って、再び自 PE に宛てるものならば Pkt.Reg. に、他 PE に宛てるものならば Output Queue に格納される。Inst./Data Mem. は、共に Pkt.Reg. 内の PN 部をアドレスとし、ワード長はそれぞれ 24bit、33bit(4byte データ + 既着フラグ 1bit) の記憶装置としているので、これらに要するメモリサイズは 14592bit となる。

これら CU、PE 共、VHDL を用いて階層的に記述し、

手元にある Altera 社製 FLEX10K30E 及び Xilinx 社製 Spartan-IIE300 の 2 つのプログラマブルデバイスとその開発ツールを利用して試作を行った。ただし、この 2 つのターゲットデバイスは性能的に等級の物ではないことに留意されたい。

4. まとめ

図 2 をプログラマブルデバイスに実装した際の、デバイス内における回路規模と動作クロック周波数についてまとめる。ここで、LSC-Based DSP の記憶装置 (CU 内の 2 つの Queue と PE 内の 2 つの Mem.) をターゲットデバイスのアーキテクチャに対し、どのように割り当てるかを考慮しなくてはならない。

FLEX10K の場合、FF への割り当てと EAB と呼ばれる内蔵 RAM への割り当ての 2 種類が考えられる。一方 Spartan-IIE の場合、FF への割り当て、LUT への割り当て、内蔵 BlockRAM への割り当ての 3 種類が考えられる。下表に示すように、これら割り当ての違いにより回路規模及び動作クロック周波数の値は異なる結果となる。

FLEX10K への実装結果

割り当て素子	消費率	クロック周波数
FF	1183(421,761)%	—
EAB	183(23,59)%	—

Spartan-IIE への実装結果

割り当て素子	消費率	クロック周波数
FF	355(118,108)%	—
LUT	38(11,19)%	51.211MHz
BlockRAM	68(37,31)%	44.105MHz

ここで消費率とは、ターゲットデバイス内の論理素子の総数に対する実装に要した論理素子数を意味する。また括弧内の左右の数値はそれぞれ、CU、PE のみを実装した場合の消費率を表している。

以上の表より、今回の試作においては Spartan-IIE を使い、LUT を使用して記憶領域を割り当てた場合が適している事が分かった。今後は、リング構造の実装、他のデバイスへの実装、より小さい回路規模の達成などを目指したい。

参考文献

- [1] K. Ichijo and Y. Yoshioka, “Efficient Implementation of the Vector Operation on the Loop Structured Computer” Proceedings of the International Conference on PDPTA, p.338-344, 2003
- [2] K. Ichijo and Y. Yoshioka, “Performance Simulation of the Vector Operation on the Loop Structured Computer” Proceedings of the 3th International Conference on PDCAT, p.469-474, 2002