

LSI 大規模論理検証環境の構築手法の提案

鈴木 清彦[†] 小貫 淳史[†] 西川 浩司[†] 後沢 忍[†]

三菱電機株式会社 情報技術総合研究所[†]

1. はじめに

LSI は大規模化の一途を辿っている。設計可能な回路規模の増大により検証期間は増大し、また検証すべき機能も複雑化している。品質を定量化してどのレベルを目標と定めるかは開発効率を左右する重要な問題である。

近年の LSI 開発では、その全作業量の 40%が計算機による論理検証に費やされる。実機上の組合せ試験、システム試験等を含めると、検証作業量は開発作業量の実に 60%に達する[1]。それにも関わらず、LSI 初回実現の成功率は 2000 年からの 2 年間だけで 50%から 39%に落ち込んでいる[2]。この原因は計算機論理検証の失敗にあり、物理実現失敗の約 7 割が計算機論理検証にて検出されるべき機能上 / 論理上の誤りである事実からも明らかである。他方、プロパティ記述によるアサーションベース検証が近年注目を集めているが、この新しい検証技術は計算機上での確かな論理検証技術の上に成り立つものであり、試験されない動作にアサーションは発生しない[3]。以上より、計算機上での論理検証手法は、LSI 設計の基礎技術として、今後より重要となるであろう。

本論文は、効率的な大規模論理検証 (Large Scaled Architectural Verification, 以下 LSAV) 手法の確立を目的とする。また検証対象である LSI の動作特性に起因し、疑似モデルはしばしば複数のプログラマブルな DMA コントローラ (Direct Memory Access controller, 以下 DMA) とその調停回路により構成される。通常の論理回路とは異なる調停動作が要求され、これが検証漏れの原因となる。論理検証環境下における調停器への要求を明らかにし、これを解決する調停器を提案する。

2. LSAV 環境構築と検証手順の提案

計算機シミュレーションによる論理検証は、全ての検証作業で最も重要である。この理由は、効率よく網羅的に検証試験を行うことが可能であること、実機検証と違い処理動作中の内部状態の全てが観測可能であること、これにより問題発生箇所の切り分けが容易であること、等が挙げられる。

論理検証環境を効率的に構築するための手法として、本論分では以下の手順を提案する。

- (1) テストベンチ環境を構築する。並行して、検証対象は回路の活性化を目的に、代表的な動作のいくつかを簡易試験実行する。
- (2) 検証対象の全機能を検証するための一連の試験手続き (= テストシナリオ) を作成し試験を実施する。テストシナリオ内でパラメータ化が可能なものをリストアップし、この段階では手動記述可能な特徴あるいくつかのパターンを実施するに留める。
- (3) (2) のテストベンチに対し、パラメータの変更や複数テストベンチの結合等で新たなテストベンチを作成し試験を実施する。

各試験段階の関係を図 1 に示す。各段階は最終段階の自動化試験までの環境の積み上げに対応する。ゆえに効率的な検証環境構築が可能となる。

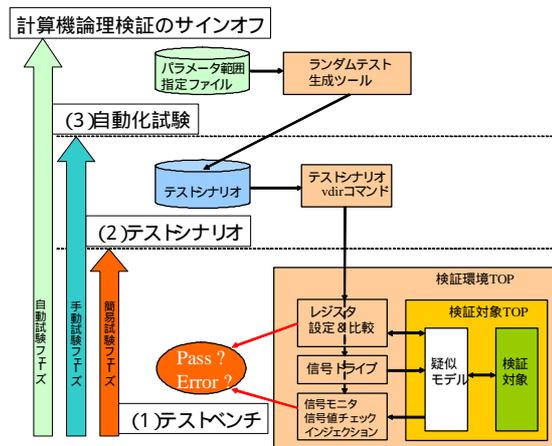


図 1: LSAV 環境のブロック図

また試験の合否判定を効率的に行うため、目視チェックは検証の初期段階で信号の波形チェックを行う程度に抑え、早期にバスモニタリングモデルなどを検証環境に導入し処理結果と期待値との判定比較判定を行う。人手の作業を極力排除し、作業の効率化と単純誤りの減少につとめる。

手動試験にて障害の収束が見込まれた検証対象は自動化試験を導入し計算機ヒートランを行う。これは手動試験の障害検出漏れを発見するのみならず、動作実績を積み上げること、障害収束曲線から論理検証のサインオフの決定にも有効である。

自動化試験では乱数を用いてパラメータを決定し、テストシナリオを自動作成する。乱数生成器の選択は試験精度を決定する重要な問題である。

Proposal of Construction Methods for LSI Large Scaled Architectural Verification
[†]Kiyohiko SUZUKI, Atsushi ONUKI, Kouji NISHIKAWA and Shinobu USHIROZAWA
 Information Technology R&D Center, Mitsubishi Electric Corporation

剰余演算に基づく疑似乱数系列は上位 bit に対する下位 bit の変化に乏しい性質があるため採用すべきではない。Mersenne Twister 乱数生成器[4]など、長周期性を特徴とする性質の良い一様乱数系列を用いることが重要である。

3. マスタ動作型疑似モデルの設計

検証試験の動作を決定するマスタ動作型の疑似モデルは、入力されたテストシナリオに従い動作する。これは疑似モデルがプログラマブルであることを要求する。自動化試験ヒートラン実施のためには再コンパイルではなく、実機環境と同様リセットとテストシナリオ設定で処理動作が変更できる必要がある。また検証対象である LSI は通常、複数のトランザクションが並列に動作するように設計される。一般に疑似モデルは各々が1つのトランザクションを管理する複数のプログラマブル DMA コントローラとその調停回路により構成される。

3.1. 疑似モデルにおける調停器の課題

マスタ動作型疑似モデルの調停器には下記が要求される。

- (1) 要求実行間隔の調整が可能であること。
- (2) 要求受理順番の入れ替えが可能であること。

一方、調停方式には従来からラウンドロビン法が広く用いられている。ラウンドロビン法の特徴は(1)均等に調停を行う、(2)ある要求動作終了から次の要求受理までの時間間隔が常に一定、である。ラウンドロビンのタイミングチャートの概略と、これを調停器として採用した場合の問題点を図2に示す。図に示すように、要求される動作をラウンドロビン法で行うことは難しく、結果として検証漏れが発生する原因となる。

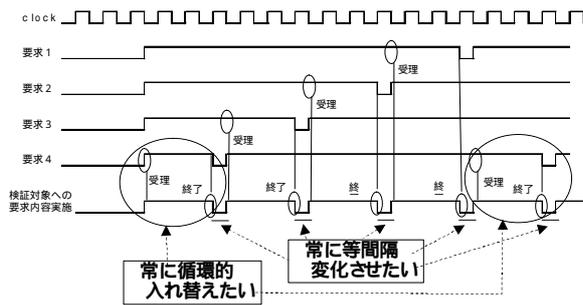


図2：検証環境下における従来法の問題点

3.2. 調停器の提案

上記の課題を解決する調停器を図3に示す。疑似モデル調停器に要求される複雑な動作を任意にかつ確実に発生可能とするために、タイミング情報を格納するための制御テーブルを新たに導入する。テーブルの1エントリは動作停止時間 t_wait と、順序制御時間 r_wait の2つの要素を有し、

pMAX エントリでテーブルを構成する。DMA からのいずれかの要求が発生した場合、受理待機待ちカウンタと優先順位に従い要求を受理し、受理された DMA はその後テーブルポインタ p で示された $r_wait(p)$ だけ受理が待機される。要求受理された DMA 以外の全ての DMA 要求受理待機時間は1減算される。また調停器を持つ受理内容実施モジュールは要求受理動作の後 $t_wait(p)$ サイクルだけ処理を停止し、その後テーブルポインタを1増加して次の要求受理状態に移行する。

本方式は検証対象への複雑なアクセスの生成を任意にかつ容易に実現できるのみならず、従来法であるラウンドロビン法を完全に内包する。

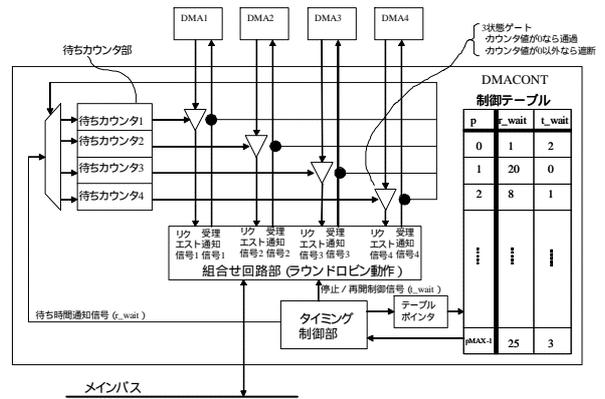


図3：論理検証環境のためのDMA調停器

4. おわりに

本論文では、LSI 大規模論理検証(LSAV)構築の手法を提案した。また、従来の論理検証用疑似モデルの課題を解決し試験検証が容易に行える調停器を提案した。

論理検証環境は一般にサイクルベースの動作を対象とする。1サイクルを10あるいは100のタイムユニットで表現すれば厳密な動作検証が行えるが、反面、検証対象へのクロックドメインの管理が問題となり、現在は1ドメインの管理に留まっている。今後は複数クロックドメインについても厳密な検証が行える方式を確立したい。

参考文献

1. 西尾,堀川, “システム LSI 設計を支える検証技術”, 設計ソリューションガイド 2003、CQ 出版 (http://www.cqpub.co.jp/dwm/advertise/DWM0063ad_ED A/DWM0063ad1_body.htm).
2. シノプシス社技術文書, “検証を考慮した設計 Design for Verification”, 日本シノプシス株式会社, 2003年8月.
3. 浜口, “大規模回路設計に対するフォーマル仕様記述・検証技術の現状と動向”, 信学誌 Vol.88 No.1, pp.35-39, 2005.
4. Matsumoto and Nishimura, Mersenne Twister with improved initialization (<http://www.math.sci.hiroshima-u.ac.jp/~m-mat/MT/MT2002/emt19937ar.html>).