

# MPEG 動画像データを直接処理する専用プロセッサの設計 - パラメータ検出ユニット -

相田 宏平<sup>†</sup>宮内 新<sup>‡</sup>荒井 秀一<sup>§</sup>武蔵工業大学<sup>¶</sup>

## 1. はじめに

現在、動画像符号化の国際標準である MPEG 符号化方式は、通信、放送、蓄積などに幅広く利用されている。そこで、画像情報処理の分野として、MPEG 形式の特徴を積極的に利用して、符号化されたデータを復号せずに画像処理を行うという研究が進められている。従来の研究により、その利用方法と手法はほぼ確立されている [1]。しかし、それらの処理には複雑なプログラミングと高速な処理環境が要求される。

複雑なプログラムに対してはプログラミング技法により、プログラマとのインターフェースは簡単化ができる。しかし、プログラマとのインターフェースが簡単化されたとしても、ソフトウェアとハードウェアのインターフェースは本質的に変わりはない。また、データに対する処理(演算)が複雑になればそれだけオーバーヘッドが増し、リアルタイム性を求めると高速な処理環境が要求される。

そこで、本研究では MPEG データ処理のためのハードウェアを提案し、それらを基にしたプロセッサ MBP (MPEG Bitstream Processor) を設計する。これにより、より簡単にアセンブラレベルでのプログラミングを実現し、より効率的な処理をさせることで高速な処理を実現する。

MPEG データを復号しないで処理をする場合、その処理は大きく次の 2 つに分けられる。

- パラメータ検出のためのデータ解析
- 検出したパラメータに対する演算

そこで、まずはパラメータ検出に着目した処理機構を提案する。

## 2. MBP - 基本アーキテクチャ -

MBP の構成は大きく、パラメータ検出ユニット、データ演算ユニット、コントロールユニットの 3 つに分けられる (図 1)。

また、制御プログラムは IMEM に、MPEG ビット・ストリームは DMEM に、処理結果は RMEM に格納されるものとする。

MBP では 1 語 32 ビットとしている。これは、MPEG ビット・ストリームのパラメータ最大長が 32 ビットであることによる。

**パラメータ検出ユニット** データ処理に必要なデータを得るために、各種コードなどを検出するハードウェア機構である。

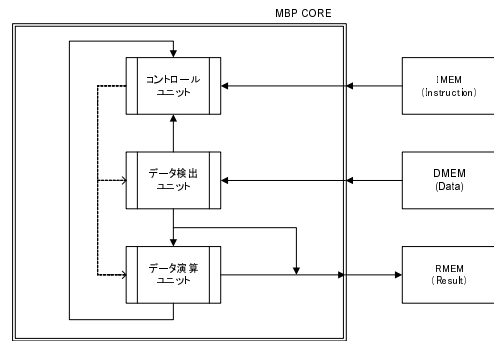


図 1: MBP 基本アーキテクチャ

**データ演算ユニット** パラメータ検出ユニットで検出されたデータに対して、最大で 1 フレーム分のデータを格納して演算を行うことができる機構である。

**コントロールユニット** 制御プログラムによってパラメータ検出ユニットとデータ演算ユニットを制御する。

## 3. MBP - パラメータ検出ユニット -

MPEG ビット・ストリームからのパラメータ検出をするには少なくとも次の機能が必要である。

- 各種コードの検出
- 情報取得のためのビット列抽出とデータの正規化

MPEG ビット・ストリームの構成は固定長・可変長のデータの混在で、その長さも 1~32 ビットと様々である。また、細分したデータがバイト単位で扱われているわけではない。この格納されているデータのアライメント処理とビット列処理をハードウェア化する。

### 3.1 HCD/ALD ユニット

MPEG のデータ解析において、ヘッダコードの検出はひとつのキーである。また、ヘッダコードを検出したときのメモリ上のデータのアライメントもその後の処理のキーである。

ヘッダコードはその先頭位置が 1 バイト単位での区切りに存在するようになっている。しかし、32 ビットのメモリに格納したときに必ずしもアドレスの先頭にヘッダコードが格納されるわけではないので、アドレスをまたがって格納されていることもある。さらに、そのようなアライメントでヘッダコードが検出された場合、次にロードされるデータはそれに続く 32 ビットのほうが都合がよい。

そこで、パラメータ検出の効率化のために、メモリ上から連続アドレスの 2 つのデータをロードし、先にロー

HCD/ALD : Header Code Detector / Alignment Load

Design of Specified Processor for MPEG Bitstream - Parameter Detector -

<sup>†</sup>Kohei AIDA

<sup>‡</sup>Arata MIYAUCHI

<sup>§</sup>Shuichi ARAI

<sup>¶</sup>Musashi Institute of Technology

ドされたデータを基準に考えられるアライメントから4つのデータを生成し、それらをヘッダコードと比較することで、アライメントを考慮したヘッダ検出を行う。ヘッダコードが検出された場合は、そのアライメントを保持する。その後、特殊なロード命令を使ってデータをロードした場合は、この保持しているアライメントを使い、先述の手順で生成される4つのデータからアライメントにあったデータを出力する。また、アライメントの値は専用命令でセットすることも可能である。

このユニットにより、ヘッダコードの検出とアライメントを考慮したロードを共に1命令で実行できる。

### 3.2 BS/NMユニット

先にも述べたように MPEG のデータの最小単位は1ビット~32ビットのデータである。符号化の過程でこれらはメモリ上に他のデータと共に並んでいる。これらをプロセッサで正しく扱うために、必要なデータ部分のみを取り出し、正規化を行う必要がある。

そこで、入力データの1番目のビットから  $m$  ビットを抽出し、それを正規化するハードウェアを作成する。

本ユニットは、入力データを  $(l-m+1)$  ビットシフトしたものと、下位  $m$  ビットが1のマスクの AND をとることで実現している。これにより、ビット抽出と正規化を1命令で実現できる。

### 3.3 パラメータ検出命令セット

以上のユニット使用したパラメータ検出のための命令セットを表1に示す。

二モニック	動作
LDD	DMEM からロード
ALLD	アライメントを考慮したロード
SAL	アライメント値をセット
DSHC	SHC を検出
DESC	ESC を検出
DUDSC	UDSC を検出
DSEC	SEC を検出
DGSC	GSC を検出
DPSC	PSC を検出
DSSC	SSC を検出
NBS	任意番目のビットから 任意のビット数を抽出&正規化
DHSVS	HS および VS を検出
DPCT	PCT を検出
DMV	MV を検出

表 1: 命令セット

## 4. シミュレーション

現在、LDD、ALLD、DSHC、DESC、DUDSC、DSEC、DGSC、DPSC、DSSC、NBS の実装が完了している。

ここでは、ビット・ストリーム上から SHC を検出し、画像の横の画素数 (Horizontal Size) と画素の縦のライン数 (Vertical Size) を抽出するプログラムを例にとって、パラメータ検出のシミュレーションを行う。

命令	動作
DSHC	SHC を検出
ALLD	SHC に続く 32 ビットをロード
NBSU GR1 31 12	31 ~ 20 ビット目を抽出&正規化
NBSU GR2 19 12	19 ~ 8 ビット目を抽出&正規化

表 2: シミュレーション命令

先述のユニットを使用する命令を使えば、この作業を4命令で実現できる(表2)。

シミュレーションの結果、1バイト目から検索を開始して、274バイト目に存在するSHCを検出して処理するのを、約600clkで実現できた。

現段階でFPGAに実装すると100MHzで動作するので、先の処理時間は $6\mu$  [sec]である。これはリアルタイム処理を考えたときでも十分な時間である。またPentium4 3GHzのPCでほぼ同様の処理を行った場合、約 $38\mu$  [sec]を必要とした。これより、MBPの方が約6倍高速であることがわかる。

## 5. むすび

MPEGデータ処理のためのハードウェアを提案し、より簡単にアセンブラレベルでのプログラミングを実現し、より効率的な処理をさせることで処理時間の短縮を実現できた。

今後、データ演算ユニットを追加することで、より簡単な命令で高性能の処理を実現できるプロセッサが期待できる。

本研究の一部は、文部科学省科学研究費補助金課題番号13680425によって行われたものである。

## 参考文献

- [1] MABUCHI M, MIYAUCHI A (Musashi Inst. Tech), ZEN H (Tokyo Univ. Mercantile Marine), KASHIMURA M (Keio Univ.): A study on motion analysis via MPEG picture, 電子情報通信学会技術研究報告, Vol.96, No.297(IE96 63-66), Page21-26 (1996.10.15)
- [2] 藤原洋: ポイント図解式最新MPEG教科書, 株式会社アスキー, 1994
- [3] 榎本忠儀: 画像LSIシステム設計技術, 株式会社コロナ社, 2003
- [4] 深山正幸, 北川章夫, 秋田純一, 鈴木正国: HDLによるVLSI設計-VerilogHDLとVHDLによるCPU設計-第2版, 共立出版株式会社, 2002