

複数レジスタセットを用いたタスク切り替えの高速化

栗崎 正和[†]宮内 新[†]荒井 秀一[†]武蔵工業大学[‡]

1. はじめに

近年の組み込み分野では、LSI 技術の向上やマイクロプロセッサ技術の向上により組み込みシステムの応用分野は急速に広がっている。このように適用分野が広がることにより、リアルタイム処理の性能に対する要求は高まっている。このような要求を満たす場合に、ITRON 仕様の RTOS が多く用いられている。

ITRON 仕様 OS はマルチタスク OS で、優先度スケジューリングを行う。実行するタスクは最も優先度の高いタスクであり、優先度の低いタスクは、優先度の高いタスクの処理が終了するまで実行を待たされる。そして一番高い優先度のタスクを変更するシステムコールが発行された場合などに、ディスパッチが発生しコンテキストスイッチを行う。コンテキストスイッチは実行していたタスクのコンテキストをスタックに退避し、実行するタスクのコンテキストを復帰する必要がある、大きなオーバーヘッドとなる。

このコンテキストスイッチをタスクごとにレジスタセットを保持し、ハードウェアによってレジスタセットを切り替えることで、高速にコンテキストの切り替えを実現する。このようなコンテキスト切り替えの方法によりメモリに対するロード、ストアによるレジスタの退避、復帰が不要となる。

また、複数レジスタセットを用いてコンテキストスイッチを行う方法を用いると共に、そのレジスタセットをハードウェアにより管理する。加えて、ITRON 仕様 OS におけるタスクの管理をハードウェア化する。これにより、ITRON 仕様 OS を使用した際のディスパッチ、及びコンテキストスイッチを高速化する。

加えて、割込みに関しても、タスクの切り替えと同様、割込みにもレジスタセットを用意することで、割込みに対する応答速度の向上を図る。

2. プロセッサ構成

タスク切り替え高速化プロセッサはベースプロセッサにタスク管理ユニット、レジスタ管理ユニットを加えたものとなる。

タスク管理ユニットはレディーキューをハードウェア化し、ディスパッチ時における次に実行するタスクの検索時間を削減する。また、レジスタ管理ユニットは、複数のレジスタセットの中から各タスクにどのレジスタセットを割り当てるかを決定する。レジスタ管理ユニットはタスク管理ユニットから得られる情報をもとに動作する。

2.1 ベースプロセッサ

タスク切り替え高速化プロセッサのベースとなるプロセッサは、基本的な RISC 型プロセッサとする。ベースプロセッサの基本的な仕様は命令コード 16bit、データサイ

ズ 32bit、レジスタを 32 個保持し、フェッチ、デコード、実行、メモリアクセス、ライトバックの基本的な 5 段パイプライン構成である。

2.2 タスク管理ユニット

ITRON 仕様 OS において、最高優先度のタスクが変化した場合にディスパッチが起こり、次に実行する最高優先度のタスクをレディーキューから検索する必要がある。ソフトウェアにより次タスクを検索すると、次に実行するタスクの優先度により実行時間は変化し、次に実行するタスクの優先度が低いほど検索の時間は増加する。レディーキューのハードウェア化を行うことでディスパッチ時における次タスクの検索を高速化する。このハードウェアはレジスタの配列でタスクの優先度と ID を保持し、これらを入れ替えることでどのようにレディーキューにタスクが繋がっているかを表す。このタスク管理ユニットのブロック図を図 1 に示す。

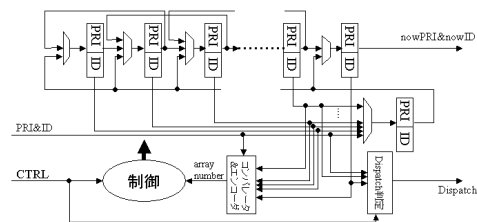


図 1: タスク管理ユニット

レディーキューへの追加、削除、優先度変更、レディーキューの回転のそれぞれでディスパッチの条件が存在する。高速なディスパッチを行うため、これらのディスパッチの条件を調べ、ディスパッチの有無、次に実行するタスクの決定は 1CLK で行う。これ以外のレジスタ配列の操作などのディスパッチの有無、次に実行するタスクの決定に影響しない操作は複数クロックかけて実行する。

次にこのタスク管理ユニットの最大タスク数、最大の優先度を変化させた場合の、動作周波数と回路面積を表 1,2 に示す。

優先度数	最大タスク数				
	8 個	16 個	32 個	64 個	128 個
8	389	816	1827	3567	7651
16	423	881	1939	3798	8145
32	467	969	2089	4121	8856
64	501	1036	2236	4426	9334
128	544	1121	2394	4735	9980

表 1: タスク管理ユニットの回路面積 (LC 数)

優先度数	最大タスク数				
	8 個	16 個	32 個	64 個	128 個
8	49.4	49.1	35.7	33.4	27.9
16	53.6	39.9	35.9	33.8	28.2
32	52.9	45.4	36.3	32.6	27.0
64	51.7	45.6	31.6	34.1	28.5
128	51.4	39.5	34.5	33.4	27.2

表 2: タスク管理ユニットの動作周波数 (MHz)

Improvement of task switching with multiple register set

[†]Masakazu Kurisaki, Arata Miyouchi, Syuichi Arai

[‡]Musashi Institute of Technology

2.3 レジスタ管理ユニット

レジスタ管理ユニットは、タスク管理ユニットから入力されるディスパッチの有無、タスク ID、タスク優先度から、複数存在するレジスタセットの中から割り当てるレジスタセットを決定する。空いているレジスタセットが存在しない場合には、その中からどのレジスタセットを割り当てるかを決定し、ソフトウェアによるコンテキストスイッチを行うようフラグをセットする。ここで、レジスタセットの数がタスクの数以上存在する場合にはソフトウェアによるコンテキスト切り替えを行う必要はない。タスクの数がレジスタセット数よりも多い場合に限りソフトウェアによるコンテキストスイッチが発生する可能性がある。

レジスタセット数がタスク数より少なく、コンテキストスイッチをソフトウェアにより実行する必要がある場合のレジスタ管理ユニットの入れ替えアルゴリズムは FIFO, LRU, 優先度順の 3 つのアルゴリズムを作成した。

次にそれぞれの割り当てアルゴリズムを行うレジスタ管理ユニットの回路面積と動作周波数を表 3, 4 に示す。

アルゴリズム	レジスタセット数				
	4 セット	8 セット	16 セット	32 セット	64 セット
FIFO	35	72	145	313	636
LRU	89	243	762	2609	9744
優先度	99	187	354	766	1483

表 3: レジスタセット数を変化させた際のレジスタ管理ユニットの回路面積 (LC 数)

アルゴリズム	レジスタセット数				
	4 セット	8 セット	16 セット	32 セット	64 セット
FIFO	133.6	102.6	84.8	93.4	54.8
LRU	88.8	73.7	48.4	36.5	24.3
優先度	90.2	79.2	70.7	49.7	49.8

表 4: レジスタセット数を変化させた際のレジスタ管理ユニットの動作周波数 (MHz)

どのアルゴリズムでもハードウェアの構成上、レジスタセットの数が多くなると ID を保存するレジスタ数が増えるため回路面積が大きくなる。

2.4 割り込み応答速度の高速化

割り込みの応答速度を高速化するため、割り込み毎にレジスタセットを保持することとする。割り込みが入ると割り込み番号から使用するレジスタセットを決定する。割り込み処理においては、処理終了後に元のタスクに戻るため、どのレジスタセットを使用していたかを保持しておく必要がある。また、割り込みから帰った時に実行するタスクが使用するレジスタセット番号を保持するレジスタを用意する。加えて、割り込みのネストを処理するため割り込み回数を保持する。割り込み処理中に割り込まれた場合 1 加算され、割り込みから戻る際に 1 減算される。そして、割り込み回数が 0 の場合はタスクへ復帰、割り込み回数が 1 以上の場合は割り込み処理中に割り込みが発生したことを表すため、ネストされた割り込みの処理へ移る。

3. レジスタセット切り替えによる高速化

レジスタセットを複数用意し、レジスタ管理ユニットを用いて割り当てを行った際のコンテキスト切替時間を

表 5 に示す。

	ソフトウェアによる コンテキスト切り替え	レジスタセットを切り替える コンテキスト切り替え
コンテキスト切り替え	81CLK	3CLK
割り込み応答時間	58CLK	1CLK

表 5: レジスタセット切り替えによる高速化

表 5 に示すように、レジスタをタスク、割り込みごとに留意することで、タスクの切り替え、割り込み応答時間は改善される。コンテキストスイッチでは約 80CLK、割り込み応答時間は約 50CLK 程度改善した。

次にターゲットデバイスに PLD である ALTERA APEX EP20KE を用いてそれぞれのプロセッサについて論理合成を行った。ここでは最大タスク数を 32 個に設定し、レジスタセットの数を変化させた。また、割り込み用にレジスタセットを 4 セット用意した。以下の表 7 に回路面積を示す。あわせて表 7 にレジスタセットを変化させた際の ESB のビット数を示す。このプロセッサの動作周波数はレジスタセット数を変えても一定で 34.6MHz であった。

	回路面積	ESB(メモリ)	動作周波数 (MHz)
ベースプロセッサ	2128	2048	36.1

表 6: ベースプロセッサの回路面積, 動作周波数

アルゴリズム	レジスタセット数			
	8	12	20	36
FIFO	4379	4395	4525	4720
LRU	4421	4545	5083	6931
優先度	4484	4577	4769	5200
レジスタセット数における ESB	16652	24976	41620	74904

表 7: 各アルゴリズムを用いた回路面積

このプロセッサは、デバイス固有の機能である ESB(Embedded System Block) を使用し、RAM により汎用レジスタ、また PC などを退避するレジスタを作成している。この ESB を用いることで多数のレジスタセットを保持することが出来る。

4. まとめ

レジスタセットを複数保持し、タスクに割り当てることで、コンテキストスイッチの高速化を実現した。また割り込み用にもレジスタセットを用意することで、割り込み応答速度は向上した。加えて、タスク管理ユニットによりタスクを管理することで、ディスパッチ時における次実行タスクの検索を高速化することで、ディスパッチの高速化を行った。

また、本研究の一部は、文部科学省科学研究費補助金課題番号 13680425 によって行われたものである。

参考文献

- [1] 仲野 巧, Andy Utama, 板橋 光義, 塩見 彰睦, 今井 正治: "リアルタイム OS の VLSI 化とその評価", 電子情報通信学会論文誌, D-I, VOL. J78-D-I, No8, pp.679-686, 1995
- [2] 坂村 健 監修/高田 広章 編, "μITRON4.0 仕様書", トロン協会, 1999