

## 5G-2

## 画像処理プラットフォーム RASH-IP(2)

## - 画像処理の手法 -

今井照久<sup>†</sup>, 滝本哲也<sup>†</sup>, 浅見廣愛<sup>†</sup>, 山岸陽<sup>†</sup>, 天野一彦<sup>†</sup>, 中川雅博<sup>†</sup>, 佐藤裕幸<sup>†</sup>

<sup>†</sup>三菱電機(株)

## 1 はじめに

FPGA ベース並列マシン RASH (Reconfigurable Architecture based on Scalable Hardware) は、利便性や柔軟性、高処理性能といった FPGA の特性を考慮し、複数の FPGA を搭載した可変構造型計算機である[1]。

今回我々は、更に大規模・高速化した新たな FPGA を用いて、HDTV (High Definition Television) 画像等の動画をリアルタイムで処理することを目的とした、画像処理用プラットフォーム RASH-IP (RASH for Image Processing) について検討・開発を行った[2]。本稿では、RASH-IP 上での画像処理手法の適用例について報告する。

## 2 画像処理の手法

## 2.1 画像処理例

RASH-IP は NTSC (National Television System Committee) や HDTV 画像等の動画に対して、一般的な画像処理・認識手法をリアルタイムで適用することを目的とした、画像処理用途に特化したプラットフォームである。現在のところ、RASH-IP の適用例としては、以下に示すような一般的な画像処理・認識手法を考えている。

- ・ 画質改善
- ・ フィルタリング (特徴量抽出)
- ・ ぶれの補正
- ・ 3次元画像処理
- ・ 画像符号化

上記のような処理それぞれを 1 枚あるいは複数枚の RASH-IP で実現する。

上記に示す画像処理・認識手法の中で、ぶれの補正等の処理では、画像・座標変換の主要な手法の一つであるアフィン変換を使用することが考えられる。そこで、本稿では RASH-IP 上での画像処理手法の適用例として、HDTV 動画に対してアフィン変換を施す場合について述べる。

### RASH-IP : A high-speed platform for image processing (2) - Method of image processing -

Teruhisa Imai, Tetsuya Takimoto, Hiroai Asami, Akira Yamagishi, Kazuhiko Amano, Masahiro Nakagawa, Hiroyuki Sato

Mitsubishi Electric Corporation

5-1-1 Ofuna, Kamakura, Kanagawa 247-8501, Japan

## 2.2 アフィン変換

アフィン変換とは、ユークリッド幾何学的な線形変換と平行移動の組み合わせによる、基本的な座標変換方式であり、一般的な画像処理・認識手法でも多く用いられる。変換前の座標を(x,y)、変換後の座標を(u,v)とすると、(1)式のように回転、拡大・縮小、せん断を表すアフィン変換行列と並進ベクトルで表現することができる。

$$\begin{pmatrix} u \\ v \end{pmatrix} = \begin{pmatrix} a & b \\ c & d \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} + \begin{pmatrix} e \\ f \end{pmatrix} \quad (1)$$

## 3 RASH-IP の構成

RASH-IP のボード構成を図 1 に示す。

RASH-IP は VME 基板(6U サイズ)を使用し、ALTERA 社の FPGA である Stratix(EP1S25)を 6 個搭載した構成となっている。RASH-IP では、6 個の FPGA のうち、1 つを制御用、1 つを画像データ送受信用、4 つを画像処理用として使用する。

PMC コネクタのうち、1 つは画像データの入出力用として使用し、もう 1 つは CPU 搭載等の PMC カード用として使用する。専用のパラレル IO とシリアル IO は、ボードを複数枚使用する場合にボード間でのデータ転送用として使用する。

ボード上には、バスは PCI バスと制御用の 32bit ローカル CPU バスが 1 本ずつあり、14bit の画像データ転送用バス (I-BUS と呼称) が 10 本用意されている。ローカル CPU バスは、6 個の FPGA に接続されており、制御用 FPGA からの制御データの送

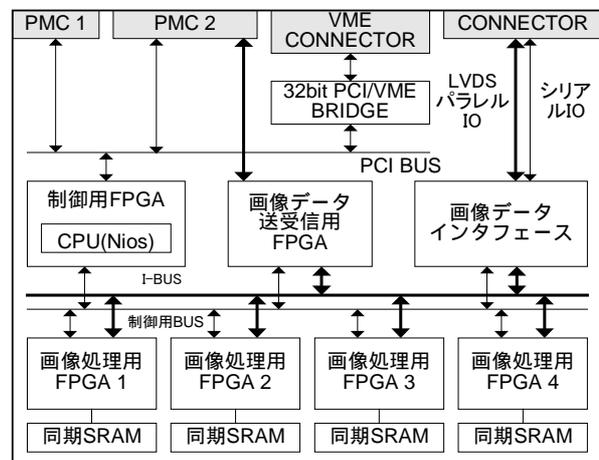


図 1 RASH-IP の構成

受信を行う。

RASH-IP では、制御部に CPU コア (ALTERA 社 Nios) を搭載し、簡単な制御をボード内で行える構成となっている。メモリは、各画像処理用 FPGA とデータ送受信用 FPGA に 2MByte の同期 SRAM を 4 個搭載している。高速な同期 SRAM を使用することにより、動画をリアルタイムで処理できるような構成となっている。

#### 4 RASH-IP での処理の流れ

RASH-IP 上でのアフィン変換処理の流れを以下に示す。ここで、HDTV 画像は 1920×540 画素、各 10bit のモノクロ画像とする。アフィン変換処理時のデータの流れを図 2 に示す。ただし、図 2 は画像処理用 FPGA1 で処理を行う場合の例である。

1. PMC2 コネクタに接続された HDTV 画像入出力カードから、HDTV 画像が入力される。
2. RASH-IP 内部では、まず画像データ送受信用 FPGA 内の FIFO に送られる。
3. その後、I-BUS を経由して画像処理用 FPGA1 に送られる。
4. 画像処理用 FPGA1 において、受信した HDTV 画像データおよびアフィンパラメータ ( (1) 式の a~f ) を用いて、アフィン変換を行う。本稿では、アフィンパラメータは制御用 FPGA 内部の CPU コアから制御用バス経由で与えられるものとする。
5. アフィン変換後の画像は、入力時と同様に、I-BUS を通り、画像データ送受信用 FPGA 内の FIFO に送られる。
6. その後、PMC2 コネクタに接続された HDTV 画像入出力カードから外部に出力される。

4 つの画像処理用 FPGA 内部には同様の回路を持ち、入力されてくる 1 枚の HDTV 画像を各 FPGA が順次、アフィン変換および画像補間のためのバイ

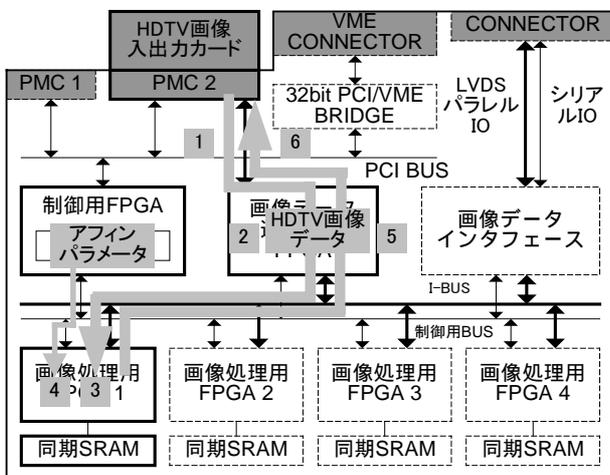


図 2 データの流れ

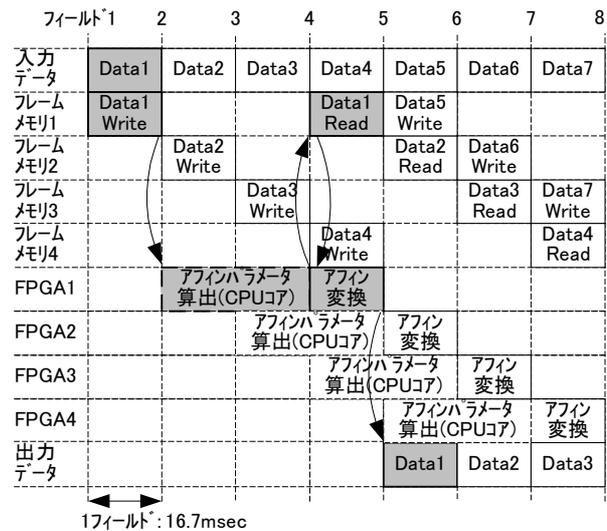


図 3 処理タイミング

リニア補間を行う。

図 3 に HDTV 画像のアフィン変換処理時のタイミングを示す。入力データは各画像処理用 FPGA のフレームメモリに転送される ( 14.0msec )。その後、制御用 FPGA 内部の CPU コアによってアフィンパラメータを算出する (ここでは 2 フィールド以内と仮定)。そして、各画像処理用 FPGA 内部でアフィン変換およびバイリニア補間を行う ( 15.7msec )。そして、次の時刻に処理後のデータを出力する。以上のように、4 つの画像処理用 FPGA を使用することにより、HDTV 動画のアフィン変換処理をリアルタイムで実現することが可能となる。

本稿では、制御用 FPGA 内部の CPU コアでアフィンパラメータを算出すると仮定しているが、処理内容や実行時間によっては、CPU 搭載の PMC ボード、VME バス経由のホスト VME ボード、あるいはもう 1 枚の RASH-IP ボード、等で算出することも考えられる。

#### 5 まとめ

以上、新デバイスを用いた画像処理用プラットフォーム RASH-IP 上での画像処理手法の適用例として、HDTV 動画をリアルタイムでアフィン変換処理する場合の RASH-IP での処理の流れについて報告した。今後は、さまざまな画像処理による性能評価を行う予定である。

#### 参考文献

- [1] 中島, 他: “FPGA ベース並列マシン RASH の概要”, 第 58 回情処全国大会, 1H-08, 1999-3.
- [2] 浅見, 他: “画像処理プラットフォーム RASH-IP(1) - ハードウェア構成 -”, 第 65 回情処全国大会, 5G-1, 2003-3.