

3X-1 教育用マイクロプロセッサを用いた学生演習の提案と実現

- パイプライン処理とスーパースカラ処理 - *

渡辺 博之[†] 桜井 祐市[†] 長澤 龍[†] 石川 知雄[†]
武蔵工業大学[‡]

1 はじめに

コンピュータアーキテクチャの進展とともに、教育機関におけるコンピュータアーキテクチャ教育が重要になってきている。本学ではマイクロプロセッサの内部構造を理解するテーマがあり、そのための実環境(実機)を用いた学生演習用システムが求められた。市販されている既存のマイクロプロセッサの利用では、プロセッサ内部信号の振舞いを知る事はできない。また回路内部に手を加える事が不可能である。そこで我々はこれらの問題を解決するべく、教育用マイクロプロセッサを開発し、学生実験・演習で利用してきた [1][2]。

ところで、近年の主要なプロセッサにおいて、様々な命令の処理技法が提案され、実用化されている。従ってこのような新しい技法を大学の講義・演習にとり入れる事が望ましい。我々は従来より一歩踏み込んだ演習テーマとしてスーパースカラアーキテクチャを設定し、そのための実機、すなわち新たな教育用マイクロプロセッサの開発を行った [3]。本稿では、開発したプロセッサを用いた演習の概要とその評価方法につき述べる。

2 使用するプロセッサの概要

使用するプロセッサ [3] の概要を示す。プロセッサは 2 命令同時実行が可能な 16bit スーパースカラアーキテクチャを採用している。内部構造は IF(フェッチ)、ID(デコード)、EXE/MEM(実行/メモリ)、WB(ライトバック)の 4 ステージパイプラインで、命令の発行を制御するリザベーションステーションを ID ステージに設けている。プロセッサ主要部分であるパイプラインについてその構造を図 1 に示す。命令セットは加減算・シフト・分岐・メモリへの読み書きといった基本的な命令約 40 種で構成され、10 本の汎用レジスタを持つ。なお、このプロセッサは本学で既に学生演習用として使用しているプロセッサ MITEC-I [2] と命令レベル互換性を持つ。

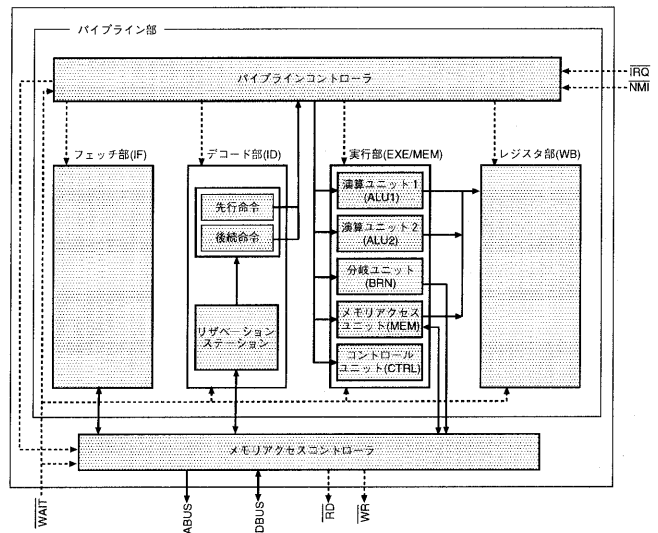


図 1: プロセッサのブロック図

3 提案する演習の概要

3.1 現在の演習

まず、現在本大学で実施している、実機を利用した演習の概要を示す。これらの演習の実施期間はすべて半期としている。

- 演習 1 学部 1~2 年生を対象とした演習
この演習はハードウェア記述言語 VHDL の習得が目的である。基礎となる文法を学んだ後、カウンタや ALU の試作を行う。
- 演習 2 学部 3 年生を対象とした演習
この演習は、情報処理技者試験用仮想コンピュータ COMET の互換プロセッサ [1] を用いて、プロセッサ内部の動作解析等行うものである。
- 演習 3 大学院 1 年生を対象とした演習
この演習は、MITEC-I プロセッサを用いて、RISC アーキテクチャ、特にパイプライン処理の理解と、プロセッサの改造(新たな命令セットの追加等)が主なテーマである。

3.2 提案する演習

新たに提案するテーマは演習 3 の延長という位置付けとし、パイプライン処理の発展形であるスーパー

* The suggestion of practice environment on educational microprocessor -pipeline and superscalar architecture-

[†] Hiroyuki Watanabe, Yuichi Sakurai, Ryu Nagasawa, Tomo Ishikawa

[‡] Musashi Institute of Technology

スカラアーキテクチャに関する基礎概念を学び、学生が各自実際にプロセッサ内部の動作を観測する内容である。具体的には、演習3で使用したMITEC-Iプロセッサとの動作内容および性能の比較を行う。

我々は提案する演習について、3つのキーワードを設定した。

1. スーパースカラアーキテクチャの概要(並列化パイプラインについて)
従来のパイプラインアーキテクチャとスーパースカラアーキテクチャの相違、特に命令のフェッチから実行までのデータの流について基本的な説明を行う。そして、1命令毎に取り込んで実行する従来の方法と、複数(今回は2命令としている)の命令を取り込み、各実行ユニットに振り分けられる新たな方法について、それぞれ動作状況を観測し、比較する。
2. 並列化に伴う問題とその解決方法
2つの命令が常に同時実行できるとは限らない。こうした命令間の依存関係についてその具体例を示す(同一レジスタへアクセスを行う複数の命令は同時に実行できない、等)。また、依存関係を解消するために、リザベーションステーションがどのような役割を果たしているのかを調べる。図2に、依存関係の有無による命令のフェッチから最終的な命令発行までのフローを示す。

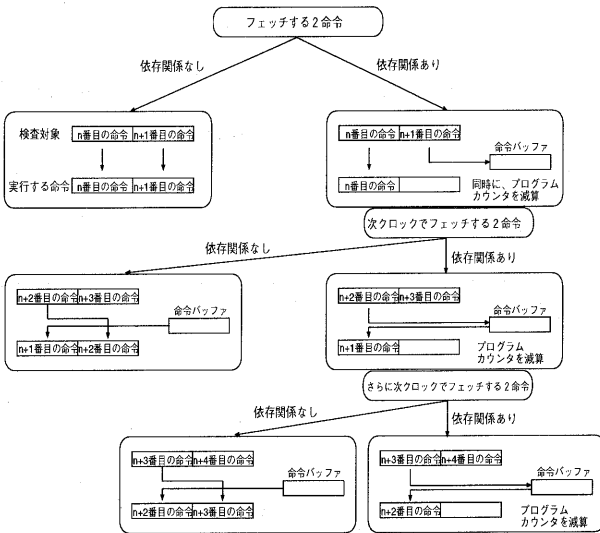


図2: 依存関係と命令発行

3. 従来のプロセッサとの性能比較
プログラムのクロックサイクル時間を測定し、全体でどの程度性能が向上したのかを観測する。

3.3 観測する内部信号

表1に、観測する主なプロセッサ内部信号を記す。ここで、プロセッサAは従来のパイプライン処理(MITEC-I)、プロセッサBがスーパースカラ処理を行うプロセッサである。

表1: 観測する主な信号一覧

プロセッサ	観測する信号	プロセッサB		
IF ステージ	COUNT1	クロックサイクル時間	COUNT1	
	CLK,RESET	クロック・リセット	CLK,RESET	
	PC	アドレスバスのデータ	PC	
	LOADD	データバスのデータ	LOADD	
ID ステージ		命令間依存関係検出信号	PCcontrol	
		命令バッファ内のデータ	OPbuffer	
EXE ステージ	IR	命令コード	IF2IDX,IF2IDY	
	A, B	命令実行(演算・分岐等)用入力データ	演算用入力データ	ALUinA,ALUinB ALU2inA,ALU2inB
	ALUout0	演算結果	演算結果	ALUoutX,ALU2outX
MEM ステージ	VSCZ	フラグ	VSCZ	
		分岐用入力データ	BRNinA,BRNinB	
		分岐先アドレス	BRNoutX	
	JumpFlag	分岐決定信号	JumpFlag	
WB ステージ		メモリアクセス用入力データ	MEMinA,MEMinB	
		メモリアクセス結果	MEMoutX	
REG(0-9)	レジスタ	REG(0-9)		

3.4 演習の実施

現在、上記内容の模擬演習を実施している。対象は従来の演習1~3が履修済の、大学院1年生3名と学部4年生2名の計5名である。現時点で実デバイスへの実装は行っていないため、シミュレータを使用している。実行するプログラムは、共通課題として簡単な処理を行うもの(演算やソート)をあらかじめ用意する。また、演習者各自が作成したプログラムの実行も行い、ともに実行結果の評価を行う。演習の最後には、先に示した3つのキーワードについて理解しているかを確認するため、レポート形式で課題を提示する。

4 おわりに

本稿では、本大学における学生演習用マイクロプロセッサを利用した演習の概要について報告した。今後は現在実施中の演習について結果をまとめ、提案した演習は実際に有効であるかどうかの検討する。また現在はシミュレーション上での実現であるため、実デバイスへの実装についても検討する。

参考文献

- [1] 本田, 石川: 『教育用 RISC 型プロセッサ MITEC-I を用いた演習環境の開発』, 情報処理学会, 58 回全国大会, 2H-1, 1999
- [2] 片山, 石川: 『COMET 互換プロセッサによる CPU 設計演習環境の開発』, 情報処理学会, 58 回全国大会, 2H-2, 1999
- [3] 渡辺, 宮内, 石川: 『スーパースカラアーキテクチャ教育のための演習用プロセッサの設計』, 情報処理学会, 60 回全国大会, 5E-1, 2000