

久須裕之† 塩見彰睦† 伊藤真紀子†† 今井正治††

†静岡大学大学院理工学研究科 ††大阪大学大学院

## 1 はじめに

近年における技術の進歩により VLSI の集積度は向上し、大規模な ASIP (Application Specific Integrated Processor, 特定用途向き集積化プロセッサ) の実現が容易になってきた。しかし、プロセッサの規模の増加と共に、アーキテクチャは多様化してきている。より良いアーキテクチャを探索しようとする、膨大な工数が必要となり、工数の増大を抑えようとする、より良いアーキテクチャの探索が困難となる。短期間で適切なアーキテクチャを決定するには、プロセッサの設計工程において、できるだけ早い段階でアーキテクチャを短期間に評価する必要がある。

プロセッサの詳細設計を行う抽象度の低いレベルでアーキテクチャを評価する手法については、かなりの多くの研究がなされている [1]。それに対し、設計の詳細部分が決定していない曖昧な状態である抽象度の高いレベルにおいて、形式的な評価の手法はほとんど提案されていない。

我々の研究グループでは設計品質の向上と設計工数の削減を図るため、総合的にプロセッサ設計を支援するシステムである PEAS-III を提案している [2]。しかし現段階では、アーキテクチャの有用な評価を行うためには、ある程度詳細な設計を行う必要がある。

## 2 目的

設計工程の初期の過程である抽象度の高いレベルにおいてアーキテクチャを評価することにより、設計者は設計の手戻りによるコストを減らし、短期間でより良いアーキテクチャを決定することができる。本研究では、抽象度の高いレベルにおいてプロセッサの性能品質 (面積) を見積る手法を提案し、それをアーキテクチャの評価に利用することを考えている。

従来では、論理合成、配置配線を行なった後に性能品質を見積っていた。その段階では正確な見積り値を求めることは期待できるが、そのためには詳細な部分まで設計を行う必要があり、非常に工数がかかってしまう。逆に、本研究が対象としている抽象度の高い設計記述の

階層では、具体的な実装方法が未定のため、その時点で見積った性能品質と実装後の性能品質では値が大きく変わる可能性がある。

見積りの忠実度は、任意のアーキテクチャ間で実測値と見積り値で指標の大小関係が一致する割合で定義される [1]。抽象度が高いレベルは、設計者が異なるアーキテクチャを比較・検討している段階であり、忠実度が高い見積りは、アーキテクチャを決定する大きな手がかりになると考えられる。

本研究では任意のアーキテクチャ間で見積りの忠実度に着目し、これにより見積りの評価を行う。

## 3 見積りの定式化

PEAS-III のプロセッサの設計の流れは、パイプラインの段数や命令・データのビット幅等の概略的なアーキテクチャを決定した後、入出力ポート、使用リソース、命令セットを定義し、命令の動作を記述する。

本手法の見積りでは概略的なアーキテクチャ、入出力ポート、使用リソース、命令セットを定義した段階で見積りを行う。具体的にはパイプラインの段数、命令の個数、データのビット幅を用いて見積りの定式化を行う。

プロセッサ全体の面積  $AREA$  は以下の式を用いて見積もる。

$$AREA = A_{res} + A_{cnt} + A_{pipe} + A_{sel}$$

ここで、 $A_{res}$  は宣言されたリソースの面積、 $A_{cnt}$  は制御部の面積、 $A_{pipe}$  はパイプラインレジスタの面積、 $A_{sel}$  はセレクタの面積である。

リソースについて、設計者によって定義されたリソース  $A_{res}$  については個々のリソース情報の面積・遅延の値を参照して値を求める。

### ●設計者に定義されたリソースの面積 $A_{res}$

$$A_{res} = \sum_{Res_i \in Res} A(Res_i)$$

$Res = \{Res_1, Res_2, Res_3, \dots\}$  : リソース集合  
 $A(Res_i)$  : 各リソースの面積

今回見積り式に用いるパイプラインの段数  $N_{pipe}$ 、命令の個数  $N_{inst}$ 、データのビット幅  $W_{data}$ 、使用リソー

スの数  $N_{res}$  に対して、制御部、パイプラインレジスタ、セレクタの面積は増加傾向を示すと考えられる。

CPU 全体の面積を考えると、制御部、パイプラインレジスタ、セレクタの割合はそれぞれ多くとも一割程度と小さいので、線形に近似し、以下のような見積り式とした。 $\alpha_1, \alpha_2, \alpha_3 \dots$  は重みづけの係数である。

●制御部の面積  $A_{cnt}$

$$A_{cnt} = \alpha_1 * N_{pipe} + \alpha_2 * N_{inst} + \alpha_3 * N_{res} + \alpha_4$$

●パイプラインレジスタの総面積  $A_{pipe\_reg}$

$$A_{pipe} = (\alpha_5 * N_{pipe} + \alpha_6 * N_{inst} + \alpha_7 * N_{res} + \alpha_8) * W_{data}$$

●セレクタの総面積  $A_{sel}$

$$A_{sel} = (\alpha_9 * N_{pipe} + \alpha_{10} * N_{inst} + \alpha_{11} * N_{res} + \alpha_{12}) * W_{data}$$

## 4 実験と考察

MIPS-R3000 の設計をもとにパイプラインの段数や使用するリソース、命令、命令の動作等を変化させた 32 個のサンプルから、実測値の値とその値に対応する設計情報の組を回帰分析することにより係数  $\alpha_n$  を表 1 のように求めた。

$\alpha_1$	196.96	$\alpha_7$	-3.00
$\alpha_2$	65.28	$\alpha_8$	-986.81
$\alpha_3$	14.93	$\alpha_9$	-2.61
$\alpha_4$	-2794.69	$\alpha_{10}$	7.18
$\alpha_5$	153.14	$\alpha_{11}$	-0.72
$\alpha_6$	14.36	$\alpha_{12}$	-288.17

表 1: 係数  $\alpha$  の値

これら  $\alpha_n$  の値を見積り式に適用し、サンプルに対して見積り値と実測値を比較したのが図 1 である。

サンプル全体に対する見積りの忠実度は約 87% であり、比較的忠実度が高い見積りといえる。今回は MIPS-R3000 を元に比較的類似したプロセッサアーキテクチャに対して見積りを行なっているため、今後はよりアーキテクチャの変化が大きなプロセッサ間での見積りを評価する必要がある。

見積り値はどの設計に対して大きめに面積を見積っており、実測値に対して平均 8.8% の誤差となった。最大誤差は 24.7% であり、この誤差が大きくなる理由として、今回利用した設計情報ではアーキテクチャの特徴を反映することができなかったことが考えられる。誤差の大きい見積りによって忠実度が下がっており、この誤差を補正することが今後の課題である。

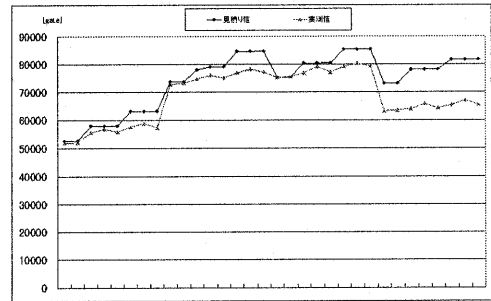


図 1: 面積の見積り値と実測値の比較

## 5 おわりに

抽象度の高いレベルでのプロセッサアーキテクチャの設計情報を用いて面積見積りを定式化し、MIPS-R3000 を基本としたサンプルに対して見積りを行って評価した。忠実度は約 87% であり、比較的の結果を得ることができた。今後は、誤差を補正するとともに、より多種多様なプロセッサアーキテクチャの見積りを行う予定である。

## 謝辞

本研究を行うにあたり討論して頂いた豊田工業高等専門学校の木村勉先生ならびに大阪大学今井研究室、静岡大学塩見研究室の諸氏に感謝いたします。なお、本研究の一部は (株) 半導体理工学研究センターとの共同研究による。

## 参考文献

- [1] DANIEL D.GAJSKI, FRANK VAHID, SANJIV NARAYAN, JIE GONG, "SPECIFICATION AND DESIGN OF EMBEDDED SYSTEMS", P T R Prentice Hall,inc., 1994.
- [2] 塩見彰睦, 今井正治, 片岡健二, 青山義弘, 佐藤淳, 引地信之, "ASIP 設計用コデザインワークベンチ PEAS-III の提案", 情報処理学会 設計自動化, pp. 73-80, 情報処理学会, 1995.