

# セルフタイム型パイプライン機構におけるデータ転送制御回路の一検討

4P-1

別役 宣奉 岩田 誠 寺田 浩詔

高知工科大学情報システム工学科

## 1. はじめに

複合化集積システムを極限集積化して実現する上での、究極的な制約要因は、クロック歪および電力消費密度の問題である。これらの問題を原理的に解決可能な理想的なシステム実現手段として、筆者らは、セルフタイム型パイプライン機構を提案し、これに基づくデータ駆動型VLSIマルチプロセッサチップを実用化している[1]。

本研究では、セルフタイム型パイプライン機構を徹底的に採用した複合化集積システムアーキテクチャを構築する観点から、現行のデータ転送制御回路の得失に関して再検討し、用途に応じてより最適な回路構成が可能になることを示す。

## 2. セルフタイム型パイプライン機構

セルフタイム型パイプライン機構は、図1に示すように、パイプライン段間で転送されるデータを保持するデータラッチ  $DL_i$ 、データ処理回路  $P_i$ 、ならびに、 $DL_i$  の開閉をハンドシェイク方式によって制御するデータ転送制御回路  $C_i$  から構成される。すなわち、データ転送要求信号  $Send_i$  とデータ受理許可信号  $Ack_i$  が共にオンのときのみ、データ

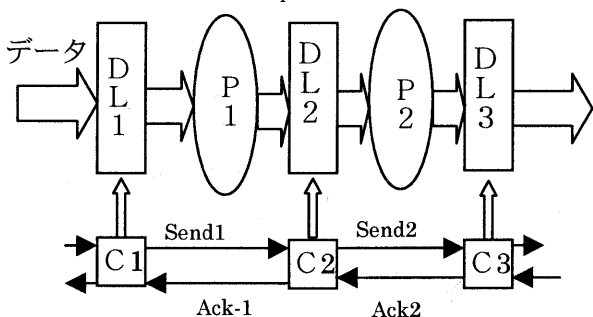


図1 セルフタイム型パイプライン機構

ータが転送される C(Coincidence)回路である。しかしながら、パイプラインスループット  $1/(T_f + T_r)$ 、ならびに、パイプライン効率  $T_f/(T_f + T_r)$  を向上させるために様々な擬似 C 回路が提案されている[2]。(ただし、 $Send_i$  の入力に対して  $Send_{i+1}$  が出力されるまでの時間を  $T_f$ 、 $Ack_{i+1}$  の入力に対して  $Ack_i$  が出力されるまでの時間を  $T_r$  とする。)

## 3. DDMP のデータ転送制御回路

図2は、現在実用化されているデータ駆動型マルチメディアプロセッサ DDMP に適用されているデータ転送制御回路である。DDMP では、データ駆動型実行制御を環状パイプライン機構により実現したマルチプロセッサ構成が採用されている。このため、要所所にパイプラインの合流・分流機構が必要になり、この部分ではあらゆるタイミングで到着するデータ流の転送制御が要求される。したがって、データ転送制御回路は図2に示すように、データ転送要求信号  $Send\_in$  のタイミングのずれを吸収する SR-FF1 と、 $Ack\_in$  のタイミングのずれを吸収する SR-FF2 の2つのフリップフロップから構成されている。

しかしながら、より一般的な複合化集積システムを考慮した場合、部分的にはパイプライン内のデータ流量は常に安定しているが、高速性が要求

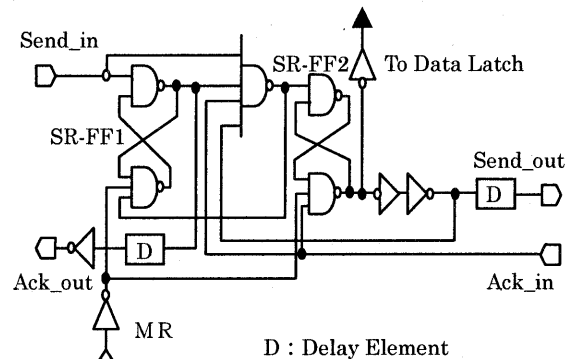


図2 DDMP のデータ転送制御回路

A Study on Data-Transfer Control Circuits for Self-Timed Pipelined Processing Mechanism.  
Y. Betchaku, M. Iwata, and H. Terada  
Kochi University of Technology,  
Tosayamada, Kochi, 782-8502, Japan.

される箇所がある。たとえば、外界との入出力インタフェース処理部分である。このような箇所では、Send\_in 信号や Ack\_in 信号のタイミングのずれがそれほど大きくないため、図2に示す回路よりもより簡単な回路構成にして高速化が図れる可能性がある。

#### 4. 高速化データ転送回路とその適応領域

図3に示した回路は図2の回路の改良前のものである(以下、Type1 と呼ぶ)。トランジスタ数は  $32Tr$  から  $20Tr$  に削減でき、かつ、高速動作が可能である。ただし、データ流量に揺らぎがある場合には、前段からの要求信号 (Send\_in) のパルス幅が長いとフリップフロップへの入力が禁止状態となり後段への要求信号 (Send\_out) が発振状態となり、これを防いだ上で、各パルスの複雑なタイミング調整を任意に行うことが困難である。これは、パイプライン内のデータ流量が安定であれば問題にならない。

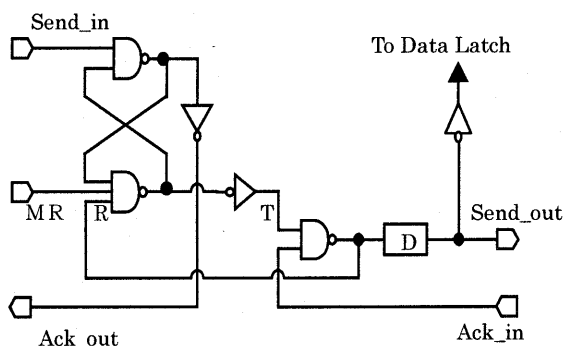


図3 データ転送制御回路(Type1)

図4は、Type1の回路に対して Ack\_in 信号のタイミングのずれを吸収するための配線を追加した新規回路構成である(以下、Type2 と呼ぶ)。ただし、DDMP 用制御回路のように、Send\_in 信号のタイミングのずれは吸収できない。

以上、3種類のデータ転送制御回路について、必要なトランジスタ数、スループット性能、パイプライン稼働率を比較した結果を表2に示す。この表から明らかなように、Type1、Type2 共に、

DDMP 用制御回路に比べて、トランジスタ数が少なく、性能、稼働率共に高い。

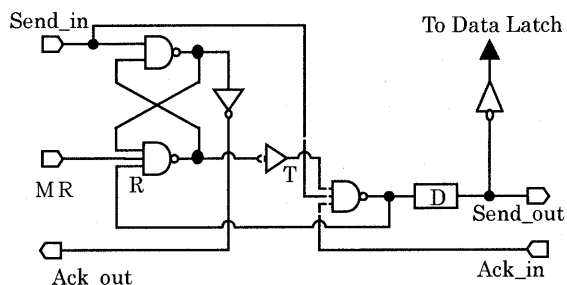


図4 データ転送制御回路(Type2)

表2 各データ転送制御回路のコスト性能比較

	Tr.数	スループット性能	稼働率
DDMP	32	$(\alpha+3\beta+2\gamma+2\delta)^{-1}$	$< 1/2$
Type1	20	$(2\alpha+4\beta+2\gamma)^{-1}$	$= 1/2$
Type2	22	$(2\alpha+2\beta+4\gamma)^{-1}$	$> 1/2$

※  $\alpha, \beta, \gamma, \delta$  は、not, nand2, nand3, nand4 の平均遅延時間とする。

以上のことから、パイプライン内のデータ流量の変動が全くないことが予想される機能モジュールに対しては、Type1の構成が最適である。また、データ流量に若干の揺らぎが許されるがほぼ一定のデータ流量が想定される機能モジュールに対しては、Type1よりタイミングのずれに耐性のあるType2の構成が適していることが判る。

#### 5. むすび

本稿では、複合化集積システムを効果的に実現可能なセルフタイム型パイプライン機構のデータ転送制御回路の最適な適用法について考察した。今後、通信処理機能モジュール等への応用を通して本手法の有効性を実証する予定である。

#### 参考文献

- [1] H.Terada, et al., "DDMP;s: self-timed super-pipelined data-driven multimedia processors", *Proc. of the IEEE*, 87(2), pp.282-296 (1999).
- [2] 村松他:"自己同期型転送制御回路," 公開特許平4-95185.