

非同期式プロセッサの設計と カスタム LSI への実装および評価

3P-4

天笠 裕也

阿部 公輝

電気通信大学 情報工学科

{yuya,abe}@cacao.cs.uec.ac.jp

1 はじめに

VLSI 技術の微細化により、配線遅延の影響が増大しているため、クロックを使用して制御を行う同期式回路では、高速素子の性能を十分に発揮することが難しくなっていることが指摘されている [1]。この問題を解決する方法の 1 つに、クロックを使用せずに制御を行う非同期式回路がある。非同期式のプロセッサは、いままでにいくつかの設計例 [2] があるが、これらのプロセッサは非同期式回路に特有の回路を CMOS レベルで設計している。

本研究では、すべての回路を論理レベルでの設計により行うことができるかを試み、カスタム LSI への実装を行う。また、CMOS レベルでの設計と比べた時の性能の比較検討を行う。

2 非同期式プロセッサの設計

16 ビット非同期式プロセッサ Espoir-A16 の設計を行い、カスタム LSI への実装を行った。設計したプロセッサの特徴を以下に示す。

- 5 段のパイプライン・ステージで構成される RISC プロセッサ。
- ダイレクト・マップ方式の命令・キャッシュとデータ・キャッシュを実装している。
- キャッシュのエントリ数は共に 64 語 (128 バイト)、ライトバッファのエントリは 4 つである。
- レジスタ・ファイルは 16 ビット × 8 エントリ。
- 分岐遅延は 1 命令、ロード遅延は 2 命令である。

このプロセッサは、以前研究室で考案されたパイプライン・モデル [3] と、東大・東工大で設計された非同期式プロセッサ TITAC-2 [2] を参考に、2 線 2 相式、4 相ハンドシェイクプロトコルを用いてデータバスの設計を行った。遅延モデルには、「素子遅延

と配線遅延ともに有限ではあるが、上限は未知である」という QDI モデルを使用した。

試作に使用した LSI の特徴を以下に示す。

- ROHM 0.35 μ m プロセス
- Poly Si 2 層, メタル配線 3 層。
- チップサイズ 4.9mm 角, I/O ピン 111 本。

ライブラリは、VDEC (東京大学大規模集積システム設計教育センター) で作成された、ROHM 0.35 μ m プロセス用 [4] のものを使用した。

3 実装

設計した LSI のレイアウト図を図 1 に示す。設計したプロセッサの性能評価を行うために、同一命令セットを持つ同期式プロセッサとの比較を行った。結果は、非同期式プロセッサの 1 命令あたりの実行時間が 27.61 [ns] で、同期式プロセッサの 1 命令あたりの実行時間が 8.94 [ns] であった。

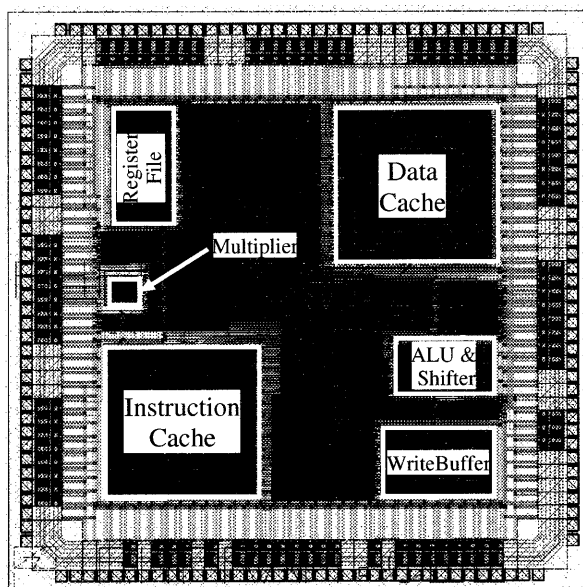


図 1: 設計した LSI のレイアウト図

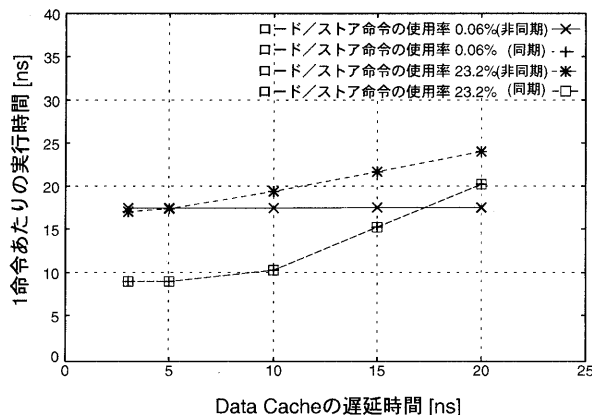


図 2: Data Cache の遅延時間を変更したときの 1 命令あたりの実行時間

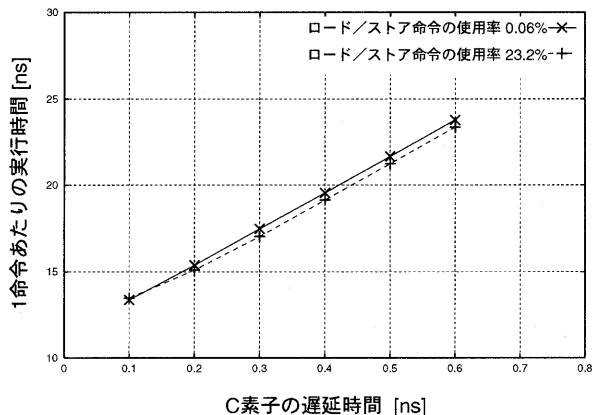


図 3: C 素子の遅延時間を変更したときの 1 命令あたりの実行時間

4 性能評価

4.1 回路の遅延と速度の関係

同期式回路では、最も遅い回路にあわせてクロックを設定しなくてはならないが、非同期式回路では、クロックを使用せずに制御するので、各々の回路の速度で実行することができる。このような非同期式回路の特徴を検証するために、Data Cache の遅延時間を変化させたときの実行時間を測定した。結果を図 2 に示す。この結果より、Data Cache を使用するロード/ストア命令が多く含まれているプログラムでは、Data Cache の遅延時間を大きくすると実行速度は遅くなるが、ロード/ストア命令をほとんど使用しないプログラムでは、Data Cache の遅延時間が大きくなっても、実行速度はほとんど変化しないことがわかる。

4.2 素子の遅延と速度の関係

今回設計したプロセッサにより、論理素子のみで非同期式プロセッサが実現可能であることがわかったが、同期式よりもかなり実行時間が遅いという結果になってしまった。この原因としては、非同期式回路の順序回路を合成するための最適化された回路が使用したライブラリに用意されていなかったためであると考えられる。

そこで、非同期式の順序回路の遅延時間が実行時間にどの程度影響を与えるかを検証するために、非同期式回路特有の素子(順序回路)である C 素子 [2, 3] の遅延時間を変更したときの、全体の速度の変化を検証した。

図 3 に、C 素子の性能による実行速度の変化を示

す。この結果から、C 素子の遅延時間が、回路の動作速度に大きな影響を与えていることがわかる。よって、高速な非同期式回路を設計するためには、C 素子に代表される順序回路を最適な回路に合成可能なライブラリを用意する必要があるということがわかる。

5 おわりに

論理素子レベルでの非同期式プロセッサの設計が可能であること検証できた。また、設計したプロセッサの回路と素子の遅延時間を変更した場合の性能比較を行うことにより、順序回路を非同期式特有の回路で合成することの効果調べた。

なお、本チップ試作は東京大学大規模集積システム設計教育研究センターを通しローム(株)および凸版印刷(株)の協力で行われたものである。

参考文献

- [1] 南谷 崇 : 「非同期式マイクロプロセッサの動向」, 情報処理, Vol. 39, No.3, pp181-186, 1998.
- [2] Takamura, A., Kuwako, M., Imai, M., Fujii, T., Ozawa, M., Fukasaku, I., Ueno, Y. and Nanya, T. : "TITAC-2 : An asynchronous 32-bit microprocessor based on Scalable-Delay-Insensitive model", Proc. International Conf. Computer Design (ICCD), pp.284-294, 1997.
- [3] 上田 典正, 阿部 公輝 : 「非同期式プロセッサにおけるパイプライン構成の一方法とそれを可能にするマスタスレーブ・レジスタ」, 信学技法 December 1996, VLD96-76, pp87-94, 1996.
- [4] <http://www.vdec.u-tokyo.ac.jp>