FPGAを利用した計算機システムの学習環境の設計

4S－5

下川智士†　早川栄一‡　高橋延匡‡
†拓殖大学大学院工学研究科　‡拓殖大学工学部

1．はじめに

計算機の発展と共に、それを学ぶ学問も増えてきた。しかし、情報工学において、ハードウェアとソフトウェアを分けて考える傾向があり、二つを共通して理解することが難しくなった。ハードウェアもソフトウェアも与えられた命令通りに実行するものであり、明確な境界があるものではない。ハードとソフトを区別せず、一つの計算機システムとして理解ができる学習環境があれば、一貫した計算機システムの理解に役立つはずである。

本研究室では、システムソフトウェア教育支援環境の開発を行っており、現在、OSの教育支援システムの開発[1]やリアルタイムシステムの学習支援の開発[2]などを行っている。本研究の位置付けとしては、システムソフトウェア教育における、ハードウェア部分の教育支援環境の作成であり、CPUとソフトウェアのつながりを学習するものである。本システムを利用することで、計算機システムにおけるプロセッサ動作理解の補助ができる。

本研究では、リアルタイム性を得るために、実機での学習環境を行う。また、実機でありながら再構成可能な環境を提供できるFPGA（Filed Programmable Gate Array）を利用して研究を行うことにする。学習者が再構成可能なハードウェアを作成し動作確認することで、プロセッサと命令についての知識を得ることを目的とする。

2．設計方針

本学習環境はユーザがプロセッサを作成し、動作確認するものである。以下に設計方針を述べる。

（1）FPGAの利用

FPGAを利用することで、プロセッサを短時間で作成、動作確認を繰り返し行うことができる。また、制御などの実時間性を持つものについても実機環境で学習を可能にする。

Design of a environment using FPGA for learning computer system
Satoshi Shimokawa†, Eiichi Hayakawa and Nobumasa Takahashi‡
†Graduate school of Engineering, Takushoku University
‡Faculty of Engineering, Takushoku University

（2）HDL記述支援

HDL設計には、Verilog-HDLを利用する。また、プログラミングに慣れていない初学者でも利用しやすいように、コンポーネント化したサンプルプログラムを作り、GUIプログラミング環境を提供することでユーザのハードウェア作成を支援する。ユーザはVerilog-HDLかGUIを選ぶことで、回路記述の環境を選択することができる。

（3）FPGAからの出力を使って可視化

FPGAボード上のLEDだけで、ユーザに動作を理解をさせるのは困難である。そこで、プログラムカウンタやレジスタの値、命令などをFPGAボードから可視化ソフトウェアに出力し、可視化することで、モニタ上でFPGA内の動作を確認する。モニタ上で可視化することで、ユーザに見やすく、動作を確認しやすい環境を提供する。

3．全体構成

本システムは、下図（1）（2）（3）から構成される。本システムの構成図を図1に示す。

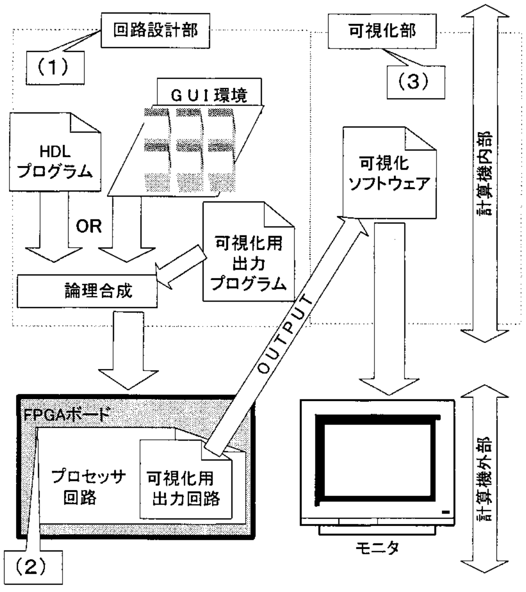

図1　構成図

（1） 回路設計部

ユーザに Verilog-HDL と、GUI による開発環境の２種類を用意し、プロセッサの設計を援助する。

Verilog-HDL による開発環境は、サンプルプログラムと、動作情報を出力するマクロを用意し、動作ログを外部に出力可能なプロセッサの記述を支援する。

GUI による開発環境は、コンポーネント化されたサンプルプログラム群から必要なプログラムを選び、組み合わせることで、HDL を作成する。このサンプルプログラムにも動作情報を出力する機能を付ける。

開発環境のイメージを図２に示す。

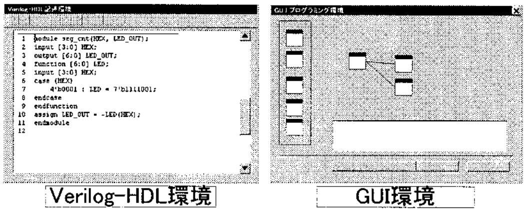

図２　開発環境イメージ

出力する内部情報データは

・ プロセッサを構成する回路情報（レジスタ、命令、メモリなどに関するもの）
・ 汎用レジスタ内のデータ
・ プログラムカウンタの内容
・ 実行している命令

とする。

（2） FPGA ボード

今回使用する FPGA ボードは、Altera 社製 PLD の EPF10K30E、USB ポート、パラレルポート、外部接続用コネクタなどを装備しており、約３万ゲートの回路を実装できる。また、内蔵の EAB（Embedded Array Block）を使って３K バイトまでのメモリを構築できる。

この FPGA ボードを使って外部に動作情報を出力するプロセッサを作成する。

（3） 可視化部

動作開始時に、FPGA ボードから出力されるプロセッサ構成情報によって、プロセッサの命令、使われた回数を表示するボックス、レジスタなどを描画する。

動作中には、プロセッサの動作情報、レジスタ値のログをとり、それをもとに動作開始時に作成した使用命令回数を増やし、ゲージを伸ばすことで可視化を行う。

可視化イメージを図３に示す。

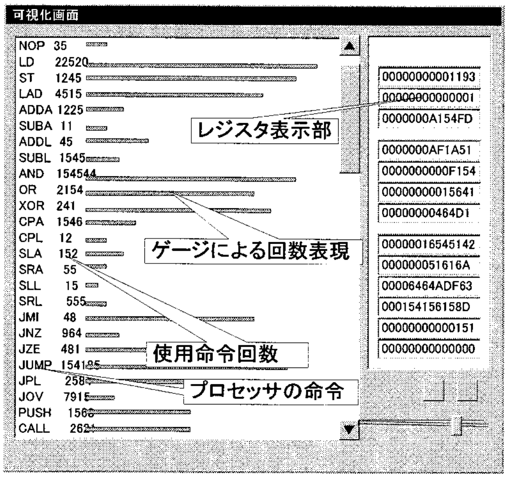

図３　可視化イメージ

４．コースウェア

まず、本学習環境では FPGA を使い、プロセッサの作成をすることでハードウェアの学習を行う。次に、その可視化環境を備えたプロセッサでソフトウェアを動かすことで、ソフトウェアが、CPU でどのように動作するのか学習していく。CPU が動作情報を可視化ソフトウェアに渡すことで、従来は見えなかった機械語と、CPU の動作の関係を学習することができる。これにより、ハードウェア・ソフトウェア間の協調動作の理解をさせることを想定している。

５．おわりに

本原稿では、FPGA を利用した計算機システムの学習環境の概要と基本設計について述べた。今後は、回路設計部、可視化部それぞれの詳細な設計を行い、本学習システムの実現をしていく。将来的には他のシステムソフトウェア学習環境と連動し、OS などの動作も学習できるようにしていく予定である。

参考文献

[1]西野洋介、早川栄一、高橋延匡：可視化によるOS教育支援環境の実現と評価、情報処理学会研究報告書、2001-OS-88、pp.107-114（2001）

[2]横山太一郎、西野洋介、早川栄一、高橋延匡：自走ロボットを利用したリアルタイムシステム学習支援環境の開発、実時間処理ワークショップ（2001）