

5 J-6 **ビルディングブロックレイアウトに対する  
バッファブロックプランニングの一手法<sup>†</sup>**

大佐古 昌和\*      若林 真一\*      小出 哲士\*\*

\*広島大学大学院工学研究科      \*\*広島大学ナノデバイス・システム研究センター

1 まえがき

近年の半導体製造技術の進歩に伴い VLSI の微細化が進み、配線が信号遅延に大きな影響を与えるようになってきており、回路全体のパフォーマンスを決定する重要な要素となっている。そのため、これまで多くの配線パフォーマンスの最適化手法が提案されており、その中でもバッファ挿入は有効なアプローチの一つとして知られている。

ビルディングブロック方式のレイアウト設計において高いパフォーマンスを持つ ULSI チップを実現するためには信号経路に多数のバッファを挿入する必要があるが、ブロックの配置決定後に多数のバッファを挿入するとブロック配置が大きく変更される場合がある。また、バッファを任意の位置に挿入すると電源、グランド配線を複雑にし、ハード IP (Intellectual Property) コアの使用が難しくなる。そのため、配線前にあらかじめバッファ位置を決定しておくバッファプランニングが注目されている [1]。本稿では、チップ領域をグローバルピンに分割し、タイミングを考慮したバッファブロックプランニングを階層的に行う手法を提案する。

2 準備

2.1 配線遅延モデル

本研究では、タイミングを考慮したバッファブロックプランニングを行なうために配線遅延、バッファ遅延の正確な見積りが重要となる。そこで比較的精度よく配線遅延を見積もることが可能な配線遅延モデルとして Elmore 遅延モデル [2] を採用し、配線遅延  $D_{wire}$ 、バッファ遅延  $D_{buff}$  を次式で評価する。

$$c_e = (c_a \cdot w_e + c_f) \cdot l_e, r_e = r_0 \cdot l_e / w_e$$

$$D_{wire}(e_v) = r_{e_v} \times (c_{e_v} / 2 + c(T_v))$$

$$D_{buff}(b, c_l) = d_b + r_b \cdot c_l$$

ただし、配線  $e$  に対して  $l_e, w_e, c_e, r_e$  をそれぞれ配線  $e$  の配線長、配線幅、配線キャパシタンス、配線抵抗とする。 $e_v$  は親節点から節点  $v$  に入る配線を表す。 $c_a, c_f, r_0$  はそれぞれ単位長あたりの配線面キャパシタンス、フリッジキャパシタンス、配線抵抗を表し、 $T_v$  は  $v$  を根とするバッファまでの部分木とし、 $c(T_v)$  は部分木  $T_v$  のキャパシタンスとする。また、 $d_b, r_b$  はバッファ  $b$  の固有遅延、出力インピーダンスを表し、 $c_l$  はバッファ  $b$  の負荷キャパシタンスを表している。

2.2 バッファブロックプランニング問題

本研究で仮定するレイアウトモデルは図 1 のような矩形のブロックを配置するビルディングブロックレイアウトとする。

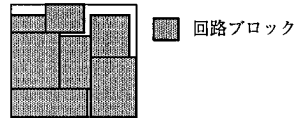


図 1 ビルディングブロックレイアウト

本研究で扱うバッファブロックプランニング問題は以下のように定式化される。

- 入力: フロアプラン  
ネットリスト (多端子ネットを含む)  
遅延パラメータ  
タイミング制約
- 出力: バッファプランニング後の各回路ブロックの配置  
バッファブロック情報 (大きさ, 各バッファの割り当て)  
バッファ挿入後のネットリスト
- 目的: チップ面積, バッファブロック数の最小化
- 制約: タイミング制約

3 提案手法

3.1 提案アルゴリズムの概要

本研究では、チップ領域をグローバルピン (図 2 参照) に分割し、タイミングを考慮したバッファブロックプランニングを階層的に行う手法を提案する。本研究では、階層的に feasible region (FR) [1] を定義することで、バッファブロックプランニングを行なう。ここで、feasible region (FR) とはネット上に挿入される各バッファに対し、FR 内の任意の場所にバッファを挿入することでタイミング制約を満たすことができる領域のことである。

従来手法 [1] では、最初から詳細な FR を求めているが、提案手法では、FR をグローバルピン単位で定義し、徐々に詳細化していく。この詳細化の段階で回路ブロックや他のネットの影響を考慮する。

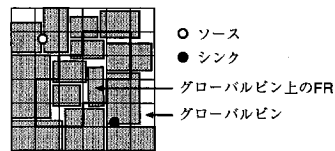


図 2 グローバルピン

以下に提案アルゴリズムの概要を示す。

- フェーズ 1: 入力フロアプランに対し、タイミング制約を満たすために挿入すべきバッファ数を見積もり、その見積もりにあわせてデッドスペースを調整する。
- フェーズ 2: チップ全体をグローバルピンに分割し、3 端子以下のネットに対してグローバルピン単位の FR を計算する。

<sup>†</sup>“A Method of Buffer Block Planning for Building-block Layout”, Masakazu OHSAKO\*, Shin'ichi WAKABAYASHI\*, Tetsushi KOIDE\*\*, \*Graduate School of Engineering, Hiroshima University, \*\*Research Center for Nanodevices and Systems, Hiroshima University. e-mail: {sako, wakaba}@ecs.hiroshima-u.ac.jp, koide@sxsys.hiroshima-u.ac.jp

**フェーズ 3:** 4 端子以上のネットに対してグローバルピン単位の挿入バッファ位置を決定する。

**フェーズ 4:** 詳細な FR を計算し、各メッシュに挿入されるバッファの詳細な配置を決定する。

以下の節では、各フェーズについて説明する。

**3.2 フェーズ 1**

フェーズ 1 では、入力として与えられたフロアプランに対して、タイミング制約を満たすために挿入すべきバッファ数を見積もり、その見積もりにあわせてデッドスペースを調整する。この見積もりでは回路ブロックによるバッファ位置の制約は考慮しない。このとき、各ネットをソース-シンクペアである 2 端子ネットに分解し、文献 [1] で示されているタイミング制約を満たすために任意のネットに挿入すべき最小バッファ数  $k_{min}$  を求める以下の式を使って挿入バッファ数を見積もる。

$$k_{min} = \left\lceil \frac{K_2 - \sqrt{K_2^2 - 4K_1K_3}}{2K_1} \right\rceil$$

ただし、

$$\begin{aligned} K_1 &= R_b C_b + T_b \\ K_2 &= T_{req} + \frac{r}{c}(C_b - C_L)^2 + \frac{c}{r}(R_b - R_d)^2 \\ &\quad - (rC_b + cR_b)l - T_b - R_d C_b - R_b C_L \\ K_3 &= \frac{1}{2}rc l^2 + (rC_L - cR_d)l - T_{req} \end{aligned}$$

$R_b, C_b, T_b$  はそれぞれバッファの出力抵抗、入力キャパシタンス、固有遅延、 $r, c$  はそれぞれ単位配線長あたりの抵抗、キャパシタンス、 $l$  は配線長、 $T_{req}$  は遅延制約、 $C_L$  は負荷キャパシタンス、 $R_d$  はドライバ抵抗とする。この計算を各ネットに対して行うことにより回路全体でのバッファ数の見積もりができる。

次に、この見積もりから得られる総バッファ面積程度のデッドスペースを生成する。このとき、入力フロアプランのデッドスペース以外に回路ブロックの境界上に新たにデッドスペースを以下のように生成する (図 3 参照)。まず、与えられたブロック配置から水平、垂直方向の制約グラフを得る。次に、このグラフに対する最長パスとその他のパスのスラックを求める。最後に、求めた最長パスを長くし、全てのパスのスラックを調整することで新たにデッドスペースを生成したり、位置を調整する。

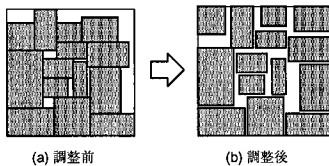


図 3 デッドスペースの調整

**3.3 フェーズ 2**

フェーズ 2 ではまずチップ領域全体をグローバルピン (図 2 参照) に分割する。各ピンの辺の長さはタイミング制約を考慮して決定する。

グローバルピンの分割をした後、3 端子以下のネットに対するグローバルピン単位の FR を計算する。文献 [1] 等の手法では、FR はソース-シンク端子間の距離に応じて 1 つずつ求められるが、提案手法では、ソース、シンクが含まれるグローバルピン間の距離に応じて 1 つずつおおまかに求めておき、同時に他のネットの影響を

考慮する。詳細な FR はフェーズ 4 で求める。図 4 の例では、まずソース側から FR を求め、求まった FR の各グローバルピンにバッファを挿入することを仮定して、次の FR を求めている。これを全ての組合せについて行ない、パス上のバッファ数が最小で、デッドスペースの使用率の平均が最小になるような組合せを見つけ、バッファを割り当てる。

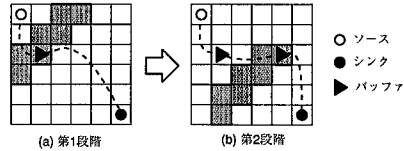


図 4 FR 計算の一例

また一般に、任意のグローバルピンに挿入できるバッファ数には上限があるが、この段階ではバッファ数のオーバーフローは認めておき、フェーズ 4 で解消する。フェーズ 2 では、かなりの回数数の FR の計算が行なわれるので、計算時間削減のためにソース-シンク間距離もしくはバッファ-シンク間距離とタイミング制約から table look-up テクニックにより FR を求める。

**3.4 フェーズ 3**

フェーズ 3 では 4 端子以上のネットに対してピン単位のバッファ挿入位置を決定する。ここでもフェーズ 2 と同様にバッファ数のオーバーフローを認めた上でバッファの挿入位置を決定し、フェーズ 4 でオーバーフローを解消する。フェーズ 3 では、各ピン内のデッドスペースの使用率とネットのタイミング制約を考慮して配線トポロジを決定する。またこのとき、バッファ位置の候補となるグローバルピンはフェーズ 2 ですでに生成されているバッファブロック内に限定する。

**3.5 フェーズ 4**

フェーズ 4 では、各ネットの詳細な FR を計算し、詳細な FR に基づいてバッファ数のオーバーフローを解消し、その後に各グローバルピン毎のバッファの詳細な配置を決定する。

バッファ数がオーバーフローしているグローバルピンに対しては、デッドスペースサイズの変更、隣接ピンへのバッファの移動、配線長が短いネットに対する迂回経路の生成などによってオーバーフローを解消する。また、バッファ挿入位置の決定によりフェーズ 1 で生成したデッドスペースを削減することによりチップ面積を減少することができる場合はデッドスペースを削減し、ブロック位置を再調整する。

バッファ数のオーバーフローの解消後、各グローバルピン内のバッファの詳細な配置を割り当て問題に定式化することで決定する。

**4 あとがき**

今後の課題としては、提案手法の実現、及び実データを用いた計算機実験による提案手法の評価等がある。

**文献**

[1] J.Cong, T.Kong and D.Z.Pan: "Buffer block planning for interconnect-driven floorplanning," Proc. IEEE/ACM International Conference on Computer-Aided Design, pp. 358-363 (1999).  
 [2] W.C.Elmore: "The transient response of damped linear network with particular regard to wideband amplifier," J.Applied Physics 19, pp. 55-63 (1948).