

Inverter 設計誤りに対する modelbase 検証について

5 J-3

平塚聡 房岡璋
立命館大学理工学部情報学科

1 はじめに

本論文では、モデルベース推論に基づいて、組み合わせ論理回路の設計誤りを特定し自動修正する方法について報告する。論理回路のモデルベース検証は、機能仕様 (Functional Specification) と回路図 (Gate Implementation) の等価性の形式的検証を行い、この結果から設計誤りの箇所と種類を同定するものであるが、本論文では特に inverter 誤り (extra inverter, missing inverter) を検出するアルゴリズムを提案する。回路図の中で、設計誤りが一個しかないという前提の下では、この問題は解決されている [1]。しかし、複数の設計誤りがある場合は、既存の診断手法を用いることは出来ず、また complexity がきわめて高くなるため、効率の良いアルゴリズムが望まれる。ここで提案する方法は、設計が正しければ回路図の各 cone ごとの出力論理式が、機能仕様から演繹される論理式の部分式であるという性質を利用して、回路図の各段階における cone の論理式と機能仕様から導かれる論理式の比較を繰り返し行うことにより検証を行うものである。

2 問題設定

諸記号

以下では、次の記号を用いる

1. 入力変数 a, b, c, \dots 出力変数 y
2. 中間変数 $1, 2, 3, \dots$
3. abnormality 述語 A_1, A_2, A_3, \dots

ゲート記述

回路図のすべての結線 i に abnormality 述語 A_i を付加し、 A_i が成り立つとき、この結線に inverter が欠けていることを表すものとする。ここでは、各 A_i が不成立の場合と成立の場合との双方に対して動作の記述を与える。回路図全体としては誤りは複数箇所あつて

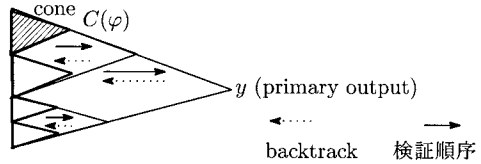


図 1: algorithm

もよいが、各ゲートの入力線に対しては高々 1 個であると仮定する。

例えば、入力 u, v 、出力 w の NAND gate g に対し、特性関数は以下の形式で与えられる。

$$\begin{aligned} \bar{A}_g &\supset \{w \vee u\} \{w \vee v\} \{\bar{w} \vee \bar{u} \vee \bar{v}\} \\ A_g &\supset \{w \vee \bar{u}\} \{w \vee v\} \{\bar{w} \vee \bar{u} \vee \bar{v}\} \\ A_g &\supset \{w \vee u\} \{w \vee \bar{v}\} \{\bar{w} \vee \bar{u} \vee v\} \end{aligned}$$

システム記述

与えられた回路図に対し、システム記述 SD は、回路図の各ゲートに対するゲート記述の集合である。これを、

$$\Sigma(a, b, c, \dots; y; 1, 2, \dots, n; A_1, \dots, A_n)$$

仕様記述

仕様記述は入出力変数の論理関数であり、節形式として与える。これを、

$$S(\bar{y}) \equiv y \supset \Psi(a, b, c, \dots), S(y) \equiv \bar{y} \supset \Psi'(a, b, c, \dots)$$

問題の記述

設計検証の問題は、任意の入力に対して、SD : Σ と機能仕様 : Ψ が同時に充足されるとき、abnormal 述語 A_1, A_2, A_3, \dots に対して成り立つ論理関係を求めること、すなわち、

$$(\exists A_1, A_2)(\forall a, b, c, \dots)[(\exists i, j, k)\Sigma \wedge \Psi]$$

の妥当性を利用して、 A_1, A_2, A_3, \dots の値を求めることに帰着する。従つて、問題の Complexity は Σ_3^P に属し NP-hard である。

3 algorithm

検証アルゴリズム

回路図が非冗長回路であるとする、回路図の任意の

*On A Model-Based Verification For Inverter-Faults In Design
Satoshi Hiratsuka, Akira Fusaoka
hira@muse.cs.ritsumei.ac.jp
Department of Computer Science, Ritsumeikan University
1-1-1 Nojihigashi, Kusatsu Shiga 525-8577 Japan

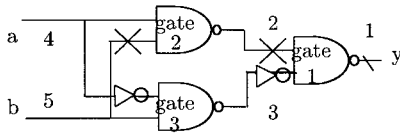


図 2: GI

Cone に対し、cone predicate φ は c に誤りがない場合は、 $S(y)$ または $S(\bar{y})$ から導出される論理式の部分式となる。以下これを「部分式チェック」と呼ぶ。従って、 φ と $S(y)$ および φ と $S(\bar{y})$ の部分式チェックが不成立のときは、cone 内部に誤りがある。検証は最下段ゲートから始めて一つずつ cone を上方に拡大していく。cone 内に誤りが発見された場合は当該 cone に対してバックトラックを行い別の（故障の場合の）動作記述を用いて同じ検証を進める。これを繰り返し、故障箇所を特定する。

Ordered Clause 部分式チェックは大きなコストを要する。そのため本論文では Ordered Clause Set と呼ぶ表現方法を導入する。すなわち、

- 節形式の論理式で用いられる全ての atom に対して順序をつける。
- ある節にある literal があった場合、その literal より順序の高い literal はその節に必ず現れるように変形する。

例えば、 $a > b > c$ という順序を与えたとき、節 $(a \vee c)$ は $(a \vee b \vee c)(a \vee \bar{b} \vee c)$ に置き換える。

順序を固定すると、論理式 φ に対して、対応する Ordered Clause Set φ'_c は一意に決まり、 $\varphi \supset \alpha$ であるか否か（導出可能性）、あるいは α が $\varphi \supset \varphi'$ である φ'_c の部分式であるか否か（部分式チェック）の判定が、 φ_c の節の数に対して liner である手間でできる。他方、 φ_c は φ の一般の節集合よりはるかに節の数が増えるため、順序の選び方が重要である。

4 example

Specifications

$$y = a\bar{b} + \bar{a}b$$

$$S(\bar{y}) \equiv (\bar{y} + a + b)(\bar{y} + \bar{a} + \bar{b})$$

$$S(y) \equiv (y + \bar{a} + b)(y + a + \bar{b})$$

Gate Descriptions

for Gate 1

$$\bar{A}_2^1 \wedge \bar{A}_3^1 \supset \{1 \vee 2\}\{1 \vee 3\}\{\bar{1} \vee 2 \vee 3\}$$

$$A_2^1 \supset \{1 \vee 2\}\{1 \vee 3\}\{\bar{1} \vee 2 \vee 3\}$$

$$A_3^1 \supset \{1 \vee 2\}\{1 \vee 3\}\{\bar{1} \vee 2 \vee 3\}$$

for Gate 2

$$\bar{A}_4^2 \wedge \bar{A}_5^2 \{2 \vee 4\}\{2 \vee 5\}\{2 \vee 4 \vee 5\}$$

$$A_4^2 \supset \{2 \vee 4\}\{2 \vee 5\}\{2 \vee 4 \vee 5\}$$

$$A_5^2 \supset \{2 \vee 4\}\{2 \vee 5\}\{2 \vee 4 \vee 5\}$$

for Gate 3,

$$\bar{A}_4^3 \wedge \bar{A}_5^3 \{3 \vee 4\}\{3 \vee 5\}\{3 \vee 4 \vee 5\}$$

$$A_4^3 \supset \{3 \vee 4\}\{3 \vee 5\}\{3 \vee 4 \vee 5\}$$

$$A_5^3 \supset \{3 \vee 4\}\{3 \vee 5\}\{3 \vee 4 \vee 5\}$$

polarity cone i に対する cone predicate を $C(i)$ 、その否定を $C(\bar{i})$ とする。回路図に設計誤りがないとき、cone predicate 1,3,4,5 は y を含む機能仕様の部分式となる。これを line 1,3,4,5 の polarity が 1 であると表現する。同様に cone predicate 2,5 は \bar{y} を含む機能仕様の部分式であり、line 2,5 は polarity -1 である。

推論の概略 line 3 に対して Polarity Check(以下 PC)を行う。line 3 の polarity は 1 であり、CP(3)(cone predicate 3、以下同様)は $\{\bar{a}, b\}$ である。部分式チェックにおいて $\bar{a} \prec S(y), b \prec S(y)$ であり条件を満たすものの、CP(3) $\{a + \bar{b}\}$ は $a + \bar{b} \neq S(y)$ により条件を満たさない。従って path 3 に関して path error である。これを PE(3) と呼ぶ。path error とは当該 line を経由する回路の入出力間 path に奇数個の error が存在することである。

次に line 2 に対して部分式チェックを行い、同様の手順で PE(2) を検出する。line 1 についても PE(3) と PE(2) が成立するが、一つの gate の入力線の誤りは高々一個との前提から、PE(1) である。

さらに、出力 line 1 に誤りはないとの前提より backtrack を行う。line 2 を出力とする gate 2 について A_4^2 として部分式チェックを行う。これは条件を満たすので、次に line 1 についてチェックする。ここでは PE(3) より A_3^2 を仮定する。line 1 は最終出力であるため cone predicate が完全に仕様と一致するかどうかの等価性検証を行う。しかし条件を満たさないため A_4^2, A_3^2 の仮定は破棄し、再び line 2 に backtrack する。ここで A_5^2 を仮定し、条件を満たすため line 1 で再び A_3^2 を仮定して等価性検証すると一致するので A_5^2, A_3^2 であることが導出される。

5 むすび

本論文で述べた部分式チェックの手法は、他の設計誤り (e.g. 配線誤り) にも適用可能である。

参考文献

- [1] Chung, P., Wang, Y. and Hajj, I.N., 1994. Logic Design Error Diagnosis and Correction, *IEEE Trans. on VLSI Systems*, vol 2, pp 320-332.