

## 教育用記憶階層システムの実現と演習方法の提案\*

2ZB-06

MITEC-II-MMU による記憶階層の教育

長澤 龍<sup>†</sup> 桜井 祐市<sup>†</sup> 石川 知雄<sup>†</sup> 宮内 新<sup>†</sup>  
武蔵工業大学<sup>‡</sup>

## 1 はじめに

近年コンピュータアーキテクチャは急速に発展しており、大学・大学院におけるコンピュータアーキテクチャ教育が重要になってきている。本学では、LSI 設計を含めた総合的なハードウェア、ソフトウェア演習を行うことを目的として、教育用 RISC プロセッサ<sup>†</sup> MITEC-I<sup>†</sup> の開発 [1][2] を行い、96 年度から大学院の演習に使用してきた。演習を実施した結果、MITEC-I はプロセッサの教育としての機能、性能に不十分な点や、キャッシュなどの記憶階層などに対応していないことからメモリシステムの教育を行えないと言った問題が挙げられた。

このような背景から、不足部分を改善した教育用 RISC プロセッサ<sup>†</sup> MITEC-II<sup>†</sup> [3] と、記憶階層教育のための<sup>†</sup> MITEC-II-MMU<sup>†</sup> の開発が始まった。本稿では記憶階層を学ぶに適した教育用記憶階層システム<sup>†</sup> MITEC-II-MMU<sup>†</sup> とそれをを用いた演習方法について述べる。

## 2 演習方法の選定

この研究で対象としている演習は大学院での演習である。そのため、初めに学部での記憶階層教育で、概念的にしか触れなかった事柄や、より深い理解が必要と思われる事柄を、学部時代に使用した参考書 3 冊と大学院で使用されるより高度な参考書など計 7 冊から検討した結果、演習内容として“時間的/空間的参照局所性”など 25 の項目が挙げられた。演習方法は、演習内容の項目による“プロセッサの性能への影響”などを知るため、“MITEC-II-MMU の動作検証”を主として、挙げられた各項目によるプロセッサへの影響を観測できる方法を検討していった。その結果“FIFO 方式と LRU 方式の違いによる時間

的局所性の理解”など 21 の項目が挙げられた。

## 3 MITEC-II-MMU

MITEC-II-MMU は挙げられた演習方法を行うに適したメモリ管理ユニットである必要がある。演習方法などを検討した結果、プロセッサとは独立した構成であること、実現にあたっては内部構造及び配線の変更が可能な FPGA を使用することを利用し、次の 2 点を実現するシステムとした。

- 内部動作を理解するに必要な内部信号、情報を作成、外部からの観測が可能
- 各演習に適したエントリ数、方式を持つ MMU にカスタマイズが可能

観測可能な信号、カスタマイズ可能な点等は後述する。

## 3.1 仕様

- 概要 “MITEC-II-MMU”で実現する仮想記憶技法は使用・不使用の選択が可能であり、使用時は 1 レベル・ページング方式を採用、1 ページのアドレス空間を  $2^n$  のオーダーで設定可能としている。

MITEC-II はハーバードアーキテクチャを採用しているため、TLB は命令、データ用を共に内蔵し、キャッシュは外部に搭載している。

- 記憶保護  
メモリ・アクセスへの保護レベルとしては“ユーザ・レベル”、“カーネル・レベル”の 2 レベルであり、記憶保護 bit としては次の 3bit を用意している。
  - Rbit : 当該ページの読み込み許可を示す
  - Wbit : 書き込み許可を示す
  - EXbit : 実行許可を示す

## ● TLB, CACHE

- TLB, CACHE 共に、使用・不使用が選択可能。
- それぞれのエントリ数を  $2^n$  オーダで設定可能。
- TLB, CACHE で使用される割当方式、置換方式は次の 3 つの方式から選択可能。

\*1 Realization of Memory Hierarchy System for Education and Approach of Training Procedures Using the System

\*2 Ryu Nagasawa, Yuichi Sakurai, Tomo Ishikawa, Arata Miyauchi,

\*3 Musashi Institute of Technology

割当方式	置換方式
Direct Mapped	FIFO
Full Associative	NRU
Set Associative	LRU

- Set Associative 方式使用時は, SET 数, 1SET あたりのデータ数を  $2^n$  のオーダで設定可能.
- CACHE の書込み方式はヒット時に Write Back, ミス時に Write Allocate 方式と固定.
- CACHE の場合は, タグの有効利用技法の使用・不使用が選択可能
- タグの有効利用技法使用時, 1つの TAG が保持するデータ数が  $2^n$  オーダで設定可能.

#### ● 観測可能な情報

TLB 関連情報は, "選択されたエントリ番号と対象データ" など4点, CACHE 関連は"選択されたエントリ番号と対象データ", "命令/データキャッシュアクセス回数" など計7点, 全体として"現在行われている処理の種類(全10種)" など10点を加えた計21種の情報である.

## 4 演習環境

演習を行う環境は次のようになっている.

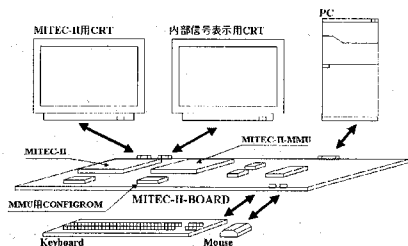


図1: 演習環境概念図

MMU から出力される観測可能な信号は図1における内部信号表示用 CRT で表示され, その情報を手がかりに演習が進められることになる.

MMU の変更にあたっては, 予め各演習で必要とされるカスタマイズでの MMU を ROM 内に封入し, ボード上の MITEC-II-MMU 用 CONFIGROM 部分に差し替えることにより行う.

## 5 評価実験演習

この MMU を教育機材として使用するにあたり, 教育的観点においていくつかの問題点が考えられる. 例えば, 設定した外部観測信号が記憶階層教育の理解を助け

る情報であるのかといった問題や, MMU を使用するにあたっての利便性といった問題などがある. よって, 以上のような問題に加え, どういった部分に不足, 検討の余地があり, 記憶階層の演習にどの程度教育的効果があるのかを検証すべく評価実験演習を行うこととした.

### 5.1 評価環境

評価実験演習は全6コマ, 被験者は修士一年生6名を対象とし, 11月後半から開始している.

演習環境は, 現在, MITEC-II 用のボードが完成していないためシミュレーションによる演習となる. 全6回で行う演習は, 挙げられた演習方法の中からこの研究で目的としている理解対象を多く含む, 仮想記憶技法の理解に重点を置き抜粋した.

### 5.2 評価方法

行う演習が初めてであり, 過去の演習との比較や模範解答との比較といった方法が取れないことから, 評価を行うにあたっては被験者のアンケート及びレポートによる調査を行い, その結果から評価を行う. アンケートは全4回, 主に問題点の検証やこのシステムの使い勝手, さらに理解を深めるにあたり必要と思われる機能や考慮すべき点などが調査対象である. レポートでは, "プログラム規模による性能・回路規模的に最適だと思われる MMU の検討" という点を題材に, メモリ・アーキテクチャの理解度を対象とする.

## 6 おわりに

本稿では, 大学院で用いる演習方法を挙げ, それらの方法による記憶階層の教育に適した MITEC-II-MMU の仕様と環境について報告した. MITEC-II-MMU の評価は, 現時点で評価実験演習が終わっていないため, 評価環境と評価方法を報告するに留まった. 今後は, 評価実験演習で得られるアンケート, レポートをまとめ, システムの欠点と不足機能を洗い出しより教育に適したものへと改良を加えることを予定としている.

## 参考文献

- [1] 小宮山, 一戸, 十河, 山崎, 石川: 教育用マイクロプロセッサ MITEC-I の提案, 情報処理学会第 51 回全国大会論文集, 1-297, 1995.
- [2] 山崎, 石川: 教育用マイクロプロセッサ MITEC-I を用いた演習方法の提案, 情報処理学会第 54 回全国大会論文集, 1G-8, 1997.
- [3] 平柳, 石川: 教育用 RISC プロセッサ MITEC-II, 情報処理学会第 59 回全国大会論文集, 1H-9, 1999.