

教育用 RISC 型マイクロプロセッサ MITEC-II を用いた

2R-05

演習環境の開発及び MITEC-II を用いた演習の実施*

桜井 祐市[†]長澤 龍[†]宮内 新[†]石川 知雄[‡]武蔵工業大学[‡]

1 はじめに

大学、大学院課程におけるコンピュータアーキテクチャ教育の重要性は、その社会における重要性に比例して今もなお増加している。実験演習では実際のコンピュータハードウェアを用いることで演習者の理解がより深まると考えられるが、既存のプロセッサを用いたシステムでは内部アーキテクチャがブラックボックス化してしまう問題がある。この問題を解決するため、本学において FPGA を用いたオリジナルのプロセッサ MITEC-I を搭載したコンピュータ [1] を用いて演習を行ってきた。

前述の演習では数々の問題点が報告されている [2]。この問題点を考慮し、一昨年度本研究室において次世代の教育用プロセッサ MITEC-II、及び MMU [3] が研究されている。我々はこの MITEC-II プロセッサ及び MMU を搭載する「MITEC-II 演習用コンピュータ」及び演習システムの開発を行なった。演習用コンピュータは、教育用として有用であると思われる改良を施し、また演習用以外の用途、例えば画像処理プロセッサの研究ベースにも耐える事を目的とした。本稿では MITEC-II 演習用コンピュータについての概要及びこれを用いた演習プログラムについて述べる。

2 MITEC-II 演習システム

2.1 概要

演習システムの概要を以下に示す。図 1 に演習用コンピュータブロック図を示す。

- 演習用コンピュータ
 - MITEC-II CPU(FPGA1)
 - MMU(FPGA2)
 - 中央制御部 (FPGA3)
 - DRAM による 512Mbyte のメインメモリ
 - SRAM による 256Kbyte のキャッシュメモリ (命令, データに各 1 つずつ)
 - 割り込み線 × 8
 - シリアル入力 × 2, パラレル出力 × 1, PS/2 通信部 × 2
 - 内部信号出力部
 - PC 接続部

*Development of the Experiment Environment with the RISC Type Micro-Processor MITEC-II for the Educational and the Execution of the Experiment with MITEC-III Operation-

[†]Sakurai Yuichi, Nagasawa Ryu, Miyouchi Arata, Ishikawa Tomo

[‡]Musashi Institute of Technology

- 入力装置 (キーボード)
- 出力装置 (ディスプレイ)
- 内部信号表示装置

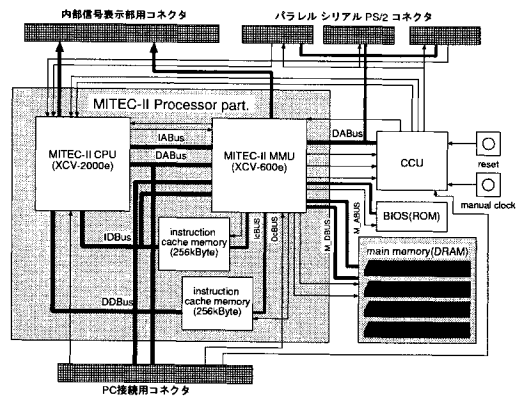


図 1: MITEC-II 演習用コンピュータブロック図

演習時は上記の他に、ユーザプログラム作成用 PC なども使用する。演習者は PC から自身のプログラムのアセンブル結果を転送し、転送後は演習システム上でプログラムの実行を行う。動作状態、結果は出力装置 (ディスプレイ) または PC 接続部よりメモリをダンプし確認する。プロセッサ、MMU の内部信号については内部信号表示部でリアルタイムに確認可能である。

2.2 演習向け機能

本演習システムは演習目的に特化したものである。以下にそのいくつかを示す。

2.2.1 MITEC-II OS

MITEC-II 演習用コンピュータでは、DRAM による 512MByte のメインメモリ、SRAM による 256KByte のキャッシュを命令用、データ用それぞれに装備している。これら大容量記憶領域を活用した演習に向け OS を新たに開発した。ページングを用いた仮想記憶のコントロールを行ない、読み込み、書き込み、実行の各ビットを管理し記憶保護を実現している。それぞれのパラメータ (ページサイズ等) は演習者が任意に設定可能である。その他本 OS はユーザメニューを提供し、プログラム実行、デバッグ環境として用いる。演習者はこの OS を用い実際の演習を行なう。

2.2.2 プロセッサ部

FPGA の分割, 大容量化 従来の演習システムでは CPU と MMU を 1 つの FPGA で実現しており, CPU 部の演習に注力できない, MMU 部の演習が単独で出来ないと言う問題があった. それを解決すべく MITEC-II 演習システムでは, CPU, MMU をそれぞれ別の FPGA 上にインプリメント, それぞれの FPGA も大容量化することとした. 内部信号の観測という観点からも, この FPGA の分割は有効であると考えている. MMU 単体での演習も可能になった.

2.2.3 内部信号表示部の設置

プロセッサ内部の状態を観測出来る事は演習者にとって理解の大きな手助けとなる. MITEC-II 演習システムでは, 演習者にとって負担のない形で内部信号を解析できるように専用の装置の開発を行った. 外部より観測可能な信号について以下に抜粋して記す.

- CPU 内部のバス信号 (Abus, Bbus, X, LOAD1, LOADD 等)
- ALU 等に対する信号 (ALU Sel 等)
- 仮想記憶・記憶保護例外・割込みに関する信号 (IN-STerr, iPMprt 等)
- プロセッサのの状態信号 (SR 等)

内部信号表示装置 ビットで出力される信号は演習者にとって観測時に負担がかかると考えられる. そこで, 表示装置は各値をグラフィカルに表示するようにした. 内部信号表示装置の仕様は, OS に RT-Linux を採用し信号表示部の表示レート (信号の取り込み周期) は 1Hz-10Hz 程度を想定している. 図 2 に CPU 内部信号表示画面を示す.

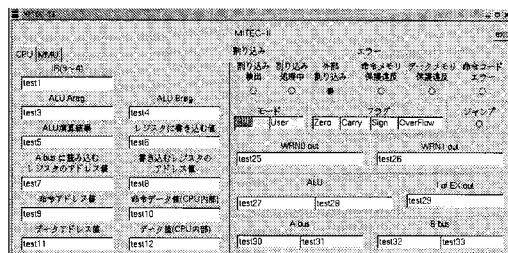


図 2: CPU 内部信号表示画面

3 演習プログラム

本システムは現在学生演習に適用中である. 演習終了後, MITEC-II 演習システムの性能評価, 及び次期開発に向けての課題抽出を進める.

3.1 演習概要

タイトル 情報処理及び同演習

目標 RISC 型プロセッサの内部構造, 特にパイプライン動作の理解

対象 大学院 1 年生

期間 半年 (第 1 期, 第 2 期の計 2 期)

この演習では期間を第 1 期と第 2 期に分けている. それぞれの演習内容を以下に示す.

前期演習内容 講義中心である

- MITEC-II 演習システムの構成を理解
- MITEC-II プロセッサで動作するプログラムを作成, 動作検証
- 性能を測定 (シミュレータ) し, 速度向上させるための案を提案

後期演習内容 演習中心である

- パイプラインプロセッサで用いられる高速化技術の理解
- プロセッサを改造し, 効率向上を計測しレポート

3.2 結果測定方法

この演習システムを用いた演習の結果測定として以下の 2 つを演習者に課している.

レポート 後期演習目標が達成されているかどうかを確認するため, レポート形式で課題を提示する. レポート項目は ・ MITEC-II プロセッサでの問題点の考察 ・ 改良案の提示 ・ 自らが改造したプロセッサでの実験 ・ 実験結果の観察 ・ 結果考察 等である.

アンケート 第 1 期, 第 2 期終了後に, 演習理解度とは別の, 演習システムとしての課題抽出のために演習者に対してアンケートを実施する. 比較の為に昨年度実施したアンケートと同じものとし, 比較, 検討を行う. アンケート項目は, ・ 演習時に観測した信号名 ・ 演習時に観察した VHDL コンポーネント名 ・ 波形観測までにかかった時間 ・ 演習時に発生した問題点 等である.

4 おわりに

本稿は, 大学院での RISC プロセッサ演習用コンピュータ「MITEC-II 演習用コンピュータ」の開発及びそれを用いた「MITEC-II 演習システム」の構築について述べた. 研究開発の中心である演習用コンピュータについては, MITEC-I で存在した問題点の改良及び, 自身の演習経験を生かしたオリジナルの改良を加えた.

本研究の最終的な目標は, ハードウェアにインプリメントされた MITEC-II プロセッサでの演習である. そのためには, 演習用コンピュータの完成等が必要である. これら諸問題及び次期演習用コンピュータへの課題抽出等も考慮に入れ, 学生演習を行い検討を行う.

参考文献

- [1] 山崎, 石川: 教育用マイクロプロセッサ MITEC-I を用いた演習方法の提案, 情報処理学会第 54 回全国大会論文集, 1G-8, 1997
- [2] 平柳 和也: 教育用 RISC 型プロセッサ MITEC-II, 武蔵工業大学 情報通信研究室 1999 年度修士論文
- [3] 清水 彩: 教育用 RISC 型プロセッサ MITEC-II における記憶階層の提案と実現, 武蔵工業大学 情報通信研究室 1999 年度修士論文