
発表概要

細粒度自動並列化に基づくマルチプロセッサ向けの 移植性の高いバックエンドの構成

三好健文^{†1} 杉野暢彦^{†2}

近年様々なアーキテクチャのプロセッサが存在するが、移植性の高い最適化コンパイラでは、それらのマシン定義に基づいて比較的容易にコードを生成することができる。しかし、その一方で、マルチプロセッサアーキテクチャに対する移植性の高い最適化コンパイラは多くない。これは、マルチプロセッサアーキテクチャでは、各プロセッサ内の最適化処理だけではなく、アーキテクチャ内の各演算資源の特徴や、演算資源間でのデータ共有のための通信コードの生成とそのコストを考慮したアーキテクチャ全体での処理と評価が必要となるからである。本発表では、COINS を用いたマルチプロセッサアーキテクチャ向けの移植性の高い最適化コンパイラのバックエンドの実現手法について述べる。まず、マルチプロセッサ向けの種々の並列化処理で、アーキテクチャ内の計算資源に対するコストを評価することができるよう、それらを抽象化したインタフェースに基づいて定義する手法について述べる。次に、バックエンドで共通して利用することができるディレクティブの定義について述べる。これらのディレクティブは、バックエンドの並列化処理で用いられるだけではなく、より上位の最適化器や並列化器から指定することができる。最後に、定義した各計算資源の評価値およびディレクティブによる制約を考慮した細粒度自動並列化手法として、CP/DT/MISF 法を拡張した手法および最終的なコード分割部分について述べる。

Portable Compiler Backend for a Multi-Processor Based on Fine-Grain Parallelization

TAKEFUMI MIYOSHI^{†1} and NOBUHIKO SUGINO^{†2}

Portable compiler for a multiprocessor based on a fine-grain parallelizing method is proposed. Now, for various single processors, there exist portable optimized compilers, which can generate object codes according to the respective target machine definitions of processors. For a multiprocessor architecture, however, portable compilers are hardly known, since various issues for architecture, such like appropriate assignment and ordering of instructions on multiple processing elements, communication codes between processing elements, and so on, must be considered. In this presentation, an implementation scheme of portable optimized compiler backend with COINS is proposed. At first, a fundamental processing elements to define an architecture are introduced, and its quantitative evaluation scheme is discussed. And then, directives which can control assignment and schedule of instructions are defined. These directives can be given according to other user defined parallelization results. At last, a fine grain parallelization method based on CP/DT/MISF and a scheme to split the program are explained. By the fine grain parallelization method, a given program is parallelized according to the evaluation scheme under constraints given by directives in the program.

(平成 19 年 8 月 1 日発表)

†1 東京工業大学総合理工学研究科物理情報システム専攻, 日本学術振興会特別研究員 (DC1)

Department of Information Processing, Tokyo Institute of Technology, JSPS Research Fellow (DC1)

†2 東京工業大学総合理工学研究科物理情報システム専攻

Department of Information Processing, Tokyo Institute of Technology