

組合せ回路における多重故障の検出†

中 村 彰†

多分岐出力のない組合せ回路（トリー回路）では、1重故障をすべて検出するようなテスト集合 T は、3重以下の多重故障もすべて検出可能なこと（Gaultの定理）が知られている。しかし多分岐出力を含む組合せ回路では、 T で検出されを起す多重故障の例が存在するので、検出されに強い多重故障用のテスト集合をいかにして求めるかが問題となる。これに対する解として、Diasの方法が知られているが、回路のブール式表現に基礎を置いたため、小規模な回路にしか適さない難点がある。

本文では、Diasと別のアプローチで、より簡単に、1終点再収斂回路の多重故障の検出に有効なテスト集合を合成する方法を導く。最初に、Gaultの定理を基礎として、再収斂のない多分岐出力組合せ回路において検出されが発生する条件とその機構を明らかにし、これに基づいて既存の2,3の1重故障用テスト集合の作成方法を多重故障検出の見地から評価する。つぎに1終点再収斂回路に対する1重故障完全テスト集合の新しい合成方法（インタフェース整合法）を提案し、これによって生成したテスト集合によって検出し得る多重故障の範囲（少なくとも3重以下の多重故障はすべて検出可能）を明らかにする。また、与えられた1つのテスト集合の下で検出されを起す多重故障を、前記検出され発生条件を利用して見出す、比較的簡便な方法もあわせて提案する。

1. ま え が き

組合せ回路の多重故障検出用のテスト集合としては、多重故障の仮定が実際上困難（数が膨大）なため、1重故障検出用のもので代替されることが多い^{1)~3)}。しかし多重故障の場合は複数の故障が互に他の故障の効果を閉塞してしまうこと（これを相殺またはマスキング⁴⁾という）があるので、1重故障用のテスト集合でいかなる多重故障も検出できるという保証はない。

1重故障用のテスト集合による多重故障検出の問題を取扱った研究はこれまでも種々報告されている。Gaultらは文献4)の定理8において、「トリー回路（入力端子およびゲートのファンアウト数がともにすべて1なる組合せ回路*）では1重故障のすべてを検出可能な1つのテスト集合（1重故障完全テスト集合）によって3重以下の任意の多重故障が検出可能」なことを示している**（これは本文の基礎となる）。

しかし一般の多分岐出力の組合せ回路では図2で後述するように1重故障完全テスト集合によって検出で

きない2重故障の例が存在する。Dias⁵⁾は一般の組合せ回路において、1重故障用のテスト集合で検出不能な多重故障の組を見出す方法を示し、そのような多重故障に対するテストを元のテスト集合に追加することによって多重故障の完全テスト集合を求めているが回路規模が大きくなるとマスキンググラフの処理が膨大となろう。

本文では、Gaultの定理を基礎に、Diasと別のアプローチではるかに容易に、多分岐出力の組合せ回路の多重故障の検出に有効なテスト集合を合成する方法について述べる。最初に非再収斂回路における相殺の発生条件とその機構を明らかにし、これに基づいて既存の2,3の1重故障用テスト集合の作成方法を多重故障検出の見地から評価する。つぎに再収斂回路における1重故障完全テスト集合の新しい合成方法（インタフェース整合法）を提案し、これによって生成したテスト集合の多重故障検出能力を述べる。また与えられたテスト集合によって検出不能な多重故障の組を見出すのに、前記の相殺発生条件を利用した比較的簡便な方法を提案する。

2. 非再収斂回路における相殺の発生条件と機構

〔定義1〕再収斂回路、始点、終点、分枝：

1つのゲート G_1 から発出した分岐出力が、異なる経路 B_1, B_2, \dots を経た後、再び1つのゲート G_2 の入

† Multiple Fault Detection in Combinational Circuits by AKIRA NAKAMURA (Yokosuka Electrical Communication Laboratory, N. T. T.).

‡ 日本電信電話公社横須賀電気通信研究所データ処理研究部

* Gaultの定理8は入力端子の多分岐出力のないトリー回路を前提にしている（文献4のp.34左↑7）。このトリー回路の定義（本文もこれに従う）は、入力端子の多分岐出力を許したGaultの定義14よりも条件が厳しい。

** 4重故障に対しては本定理が成立しないことを反例で示している。



図1 非再収斂組合せ回路
Fig. 1 Non reconvergent circuit.

力として会合する回路を再収斂回路といい、 G_1 を始点、 G_2 を終点、 B_i を分枝という。再収斂のない回路——すなわちどの入力 x_i 、どの出力 v_j の組合せについても x_i から v_j への道は高々1つしかない回路——を非再収斂回路という。■

多分岐出力の非再収斂回路は、一般に図1のように n 個の1次入力 (primary input) x_i と m 個の1次出力 (primary output) v_i を有する。その全体を $X = \{x_i\}$ 、 $V = \{v_i\}$ で表わす。

〔定義2〕 $\Delta v_i, \Delta v_{ij}, \Delta v_{i0}, \cup \Delta v, \Delta v_j'$:

1つのグラフ G を考える。その節点の集合を V とし、 $W \subset V$ に対し、 $g(W)$ を W と W の節点へ入射する枝からなる G の部分グラフとする。節点 v から v' への道が存在するとき、 $v \xrightarrow{*} v'$ と表わす。このとき、

$$\Delta v_i = g(\{v | v \xrightarrow{*} v_i\})$$

$$\Delta v_{ij} = g(\{v | v \xrightarrow{*} v_i \text{ and } v \xrightarrow{*} v_j\})$$

$$\cup_{i=1}^n \Delta v_i$$

$$= g(\{v | v \xrightarrow{*} v_1 \text{ or } v \xrightarrow{*} v_2 \text{ or } \dots \text{ or } v \xrightarrow{*} v_n\})$$

$$\Delta v_{i0} = g(\{v | v \xrightarrow{*} v_i \text{ but } v \not\xrightarrow{*} v_j$$

for any j other than $i\}$)

$$\Delta v_j' = g(\{v | v \xrightarrow{*} v_j \text{ but } v \not\xrightarrow{*} v_i \text{ for any } i < j\})$$

ただし $\Delta v_i' = \Delta v_i$ 。

〔定義3〕 v_i に関する Δv_i の完全テスト集合:

Δv_i のすべての n 重故障 (ちょうど n 重) を頂点 v_i において検出するようなテスト集合を、 v_i に関する Δv_i の n 重故障完全テスト集合という。

Δv_i はトリー回路であるから、これに Gault の定理を適用すれば、次の定理が成立つ。

〔定理1〕 v_i に関する Δv_i の1重故障完全テスト集合は v_i に関する Δv_i の n 重 ($n \leq 3$) 故障完全テスト集合である (Gault の定理8のいいかえ)。

〔定義4〕 冗長な接続、冗長回路:

1つの信号線 (分岐がある場合は各分岐した枝の単位で考える) を取除いた回路と取除く前の回路で、出力の論理関数が等しいとき、該信号線を冗長な接続という。冗長な接続を持つ (持たない) 回路を (非) 冗長回路という。

〔定義5〕 相殺:

非冗長な組合せ回路において、1つの1重故障完全テスト集合 T によって検出不能な多重故障が存在するとき、該多重故障は T の下で相殺されるという。

定理1の対偶をとれば定理2が成立つ。

〔定理2〕 Δv_i の n 重故障 ($n \leq 3$) で相殺が生ずるための必要条件は、テスト集合 T が v_i における Δv_i の1重故障の検出に関して不完全なことである。

定理2は非再収斂組合せ回路における相殺の発生条件を与えている。

そして非再収斂回路における相殺の発生機構はつぎのように理解することができる。 v_i または v_j でのみ検出可能な故障の集合をそれぞれ F_{i0}, F_{j0} で表わし、 v_i と v_j ($j \neq i$) で同時に検出される故障の集合を F_{ij} で表わせば、 Δv_{ij} の1重故障は F_{i0}, F_{j0}, F_{ij} のいずれか1つに排他的に属する。そして v_i に関する Δv_i の1重故障不完全テスト集合の下では、共有領域 Δv_{ij} の中に F_{i0} と F_{j0} ($\neq \phi$) が共存することになる。したがって故障 f_{i0k} ($\in F_{i0}$) から v_i に至る故障の伝播が、 v_i と無関係な故障 f_{j0k} ($\in F_{j0}$) によって閉塞される場合が生じ得る。一方 Δv_j に着目すれば、逆に故障 f_{j0k} ($\in F_{j0}$) から v_j に至る故障の伝播が、 f_{i0k} ($\in F_{i0}$) によって閉塞される場合が生じ得る。そしてこれらの閉塞が同時に起れば相殺となる。

たとえば、1重故障のテスト生成方式の1つ——これを多ビット一括検定方式と呼ぶ——の多重故障検出能力について考える。本方式はテスト結果の合否を $V = \{v_i | 1 \leq i \leq m\}$ 全体で一括して行い、どの v_i で不一致が生じたかは問わない方式である。本方式のテスト集合 T_* はつぎのようにして生成する。

〔手順1〕 T_* の生成手順⁹⁾

(1) 対象となる回路のすべての1重故障を未検出故障とする。 $T_* = \phi$ とする。

(2) 未検出故障の中から任意の1つを仮定故障として設定し、これをいずれかの v_i で検出するような1つのテスト t_j を求め、 t_j を T_* の要素に加える。

(3) t_j によっていずれかの v_i で検出されるすべての1重故障を求め、それら (仮定故障も含む) を未検出故障の中から削除する。

(4) 未検出故障がなくなるまで (2), (3) を繰返す。

手順1で生成されるテスト集合 T_* は $V = \{v_i\}$ 全体で考えれば、すべての1重故障を検出することは明らかである。しかし1つの v_i について考えれば、 Δv_i

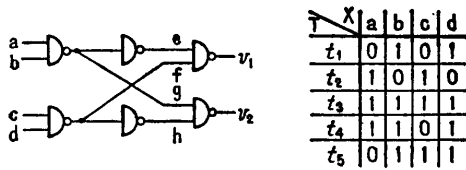


図 2 相殺の例
Fig. 2 Masking effect example.

の1重故障完全テスト集合であるという保証はないから、 $\Delta v_{i,j}$ (したがって Δv_i) の中には v_i で検出不能な故障 f_{j0k} ($\in F_{j0k}$) が存在し得る. したがって定理2によって, 多ビット一括検定方式で生成したテスト集合 T_s では検出不能な n 重故障 ($n \leq 3$) が存在し得ることになる.

具体例を図2に示す. 本例で, $T_s = \{t_1, \dots, t_5\}$ は, $V = \{v_1, v_2\}$ 全体ではすべての1重故障を検出するが, Δv_1 に関しては $d-1$ (信号線 d の stack at 1—以下同様の記法を用いる) 故障, Δv_2 に関しては $b-1$ 故障がそれぞれ検出不能であり, 2重故障 $b-1, d-1$ は T_s の下では相殺を起す.

3. n重故障完全テスト集合の作成方法

対象回路 $U^{m,i-1} \Delta v_i$ から m 個のトリー回路 Δv_i を切出し, 各 v_i に関する Δv_i の1重故障完全テスト集合 $T_{s,i}$ を求め (手順1) れば, 定理1によって, それは各 Δv_i の n 重 ($n \leq 3$) 故障完全テスト集合をなす. したがって全 $T_{s,i}$ の和集合 T_s は, 各 Δv_i の故障数がそれぞれ3以下であるような任意の多重故障 (少なくとも1つの Δv_i の故障数が1~3であれば, 他の Δv_j の故障数には無関係である) を検出可能なことが保証される. このテスト集合 (T_s) の生成法を完全トリー分割法と呼ぶ.

しかしこの方法は能率が悪い. なぜなら, 本方法では, 共有領域 $\Delta v_{i,j}$ の仮定故障の設定を, Δv_i と Δv_j ($1 \leq j \leq m, j \neq i$) で重複して行う必要があり, テスト生成処理時間が増大するからである.

このような重複を伴わない1重故障完全テスト集合の作成方法に, つぎの1ビット検定法¹⁾がある.

(手順2) 1ビット検定法のテスト作成手順

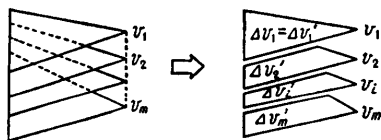


図 3 1ビット検定法の回路分割
Fig. 3 Bit by bit check method partitioning.

(1) 対象回路 $U^{m,i-1} \Delta v_i$ を図3のように互いに重複のない $\Delta v_i'$ (定義2) に分解する.

(2) 領域 $\Delta v_i'$ と領域 $U_{j,i-1} \Delta v_j$ の間のインタフェース信号線の出射する節点を仮定の外部端子と見なして各 $\Delta v_i'$ の1重故障完全テスト集合 (仮の $T_{s,i}$) を求め (手順1), そのインタフェース条件を1次入力 X_i の条件に翻訳して真の $T_{s,i}$ を求める. このような翻訳は, Δv_i がトリー回路であるから, 常に可能である.

(3) 各 $\Delta v_i'$ の翻訳後の $T_{s,i}$ の和集合 T_s を作る. ■

手順2で生成した T_s の多重故障検出に関して, つぎの定理が成立つ.

(定理3) 手順2の T_s は, 多分岐出力の非再収斂回路 $U^{m,i-1} \Delta v_i'$ における故障数が, $U_{i,i-1} \Delta v_i'$ に0, $\Delta v_i'$ に1~3, $U^{m,i-1} \Delta v_i'$ に任意個なる任意の多重故障を1次出力 $V = \{v_i\}$ で検出する.

(証明) 手順2の T_s は Δv_i の1重故障完全テスト集合を与えるから定理1によって, $\Delta v_i'$ (したがって, $U_{i,i-1} \Delta v_i'$ の故障数が0だから Δv_i) の1~3個の多重故障を v_i で検出する. そして, $\Delta v_{i+1} \sim \Delta v_m$ から Δv_i への接続はないから, $U^{m,i-1} \Delta v_i'$ に何個故障があっても上記検出には影響はない. ■

(系) 多分岐出力の非再収斂回路 $U^{m,i-1} \Delta v_i'$ の各 $\Delta v_i'$ の故障数がそれぞれ3以下であるような任意の多重故障は, 手順2の T_s を, 修理を伴って繰返し適用することによって, すべて除去できる.

(証明) 各 $\Delta v_i'$ の故障数が3以下なら, そのいずれの1つを修理除去してもすべてが除去されるまでは, T_s は定理3によって, 残った故障を検出する.

4. 終点が観測可能な再収斂回路の多重故障検出

出力が観測可能な終点1個を持つ再収斂回路の一般形は図4で示される. 一般に再収斂回路では, 始点の故障が複数の終点入力に同時に波及することがあるの

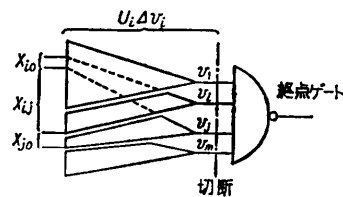


図 4 1終点再収斂回路
Fig. 4 Reconvergent circuit.

で、1重故障でも終点において相殺を起す可能性がある。その発生条件は定理4で述べる。なお、以下のすべての議論は終点が NAND の場合について述べるが、双対の原理によって NOR 終点の場合も同様のことが成立つ。

〔定義6〕 H と D 、活性化経路、 $N_{H^i, f}$ と $N_{D^i, f}$ ：

1つのテスト入力 t の下で正常値0または1なる信号線が、回路の故障 f によって、論理値を1または0に変えるとき、または変え得るとき、該信号線は H (Hop) または D (Down) に活性化 (故障が顕在化するの意) されるという。故障 f によって値が不変な信号線は不活性化されるといい、 $0 \rightarrow 0$ を θ 、 $1 \rightarrow 1$ を τ で表わす。テスト t の下で、その1重故障が v_i で検出されるような信号線を、次々と連ねることによって作られる道を活性化経路という。活性化経路は t と v_i によって一意に定まる。信号線は、それぞれの活性化を示す表示子 H, D, τ, θ を運んでいると考えることができる。 t および f の下で、終点に加わる H 入力および D 入力の数を、それぞれ $N_{H^i, f}, N_{D^i, f}$ とし、また終点の論理値0なる入力の数を、故障前 $k(t, \phi)$ 、故障後 $k(t, f)$ とすれば、故障前後における0入力の数の増加は

$$k(t, f) - k(t, \phi) = N_{D^i, f} - N_{H^i, f} \quad (4.1)$$

〔定理4〕 1つのテスト集合 T のもとで、故障 f が相殺されて終点出力で検出できない必要十分条件は、つぎの1) および2) が共に満たされることである。

1) $t \in T_0 = \{t | k(t, \phi) = 0\}$ に対して、 $N_{D^i, f} = 0$

2) $t \in T_c = \{t | k(t, \phi) = c\}$ に対して、

$$N_{D^i, f} \geq 1 \quad \text{または} \quad N_{H^i, f} < c.$$

〔証明〕 1)の場合、終点出力が活性化されないのは明らかである。つぎに2)の場合、故障時、少なくとも1つの終点入力が0となるから、終点出力は活性化されない。逆に終点が活性化されないのは1)と2)の場合に限られる。■

つぎに3重以下の多重故障で相殺を生じないテスト集合の作成方法を導こう。まず、再収斂回路図4を終点入力で切断して考えれば、終点を除いた部分($\cup_i \Delta v_i$)は非再収斂回路であるから、これに3章の考えを適用する。すなわち終点の各入力 v_i を頂点とするトリー回路 Δv_i に分割する。

〔定義7〕 $F_i^H, F_i^D, T_i^H, T_i^D, T_i, \mathcal{G}_i$ ：

少なくとも1つのテスト入力について、 v_i を H ま

たは D に活性化するような Δv_i のすべての1重故障の集合をそれぞれ F_i^H, F_i^D で表わす。 F_i^H, F_i^D に属するすべての1重故障を v_i で検出するのに必要かつ十分な(1つでも欠くことができない)テスト群から成る1つのテスト集合をそれぞれ T_i^H, T_i^D で表わす。 T_i^H と T_i^D の和集合は Δv_i に対する1つの必要かつ十分な1重故障完全テスト集合 T_i を与える。すなわち、

$$T_i = T_i^H \cup T_i^D. \quad (4.2)$$

なお、無故障時に v_i を0にするテストと1にするテストは明らかに異なるから、 T_i^H と T_i^D とは排他的である。 T_i^H, T_i^D をそれぞれ T_i の H 成分、 D 成分と呼ぶ。つぎに、 Δv_i の、冗長テストを含む1つの1重故障完全テスト集合を \mathcal{G}_i で表わす($\mathcal{G}_i \supseteq T_i$)。

〔定義8〕 T_i, τ ：

始点の故障に対して、該始点出力を H または D に活性化するが、 v_i は1のまま不変である(τ に不活性化される)ようなテストの集合。

〔定義9〕 演算 $T_i^{z_1} * T_j^{z_2}, T_i^{z_1} \cdot T_j^{z_2}$ (z_1, z_2 は H, D, τ のいずれかを表わす)：

Δv_i に対する1つのテスト $t_{i, k}^{z_1}$ ($\in T_i^{z_1}$)と Δv_j に対する1つのテスト $t_{j, k}^{z_2}$ ($\in T_j^{z_2}$)は、共有領域 $\Delta v_{i, j}$ の同じ素子(入力端子)について同じ値をとるとき、整合しているという*。整合した $t_{i, k}^{z_1}$ と $t_{j, k}^{z_2}$ の組合せで領域 $(\Delta v_i \cup \Delta v_j)$ に対する1つのテストが定まる。これを $t_{i, k}^{z_1} * t_{j, k}^{z_2}$ で表わす。整合しない組合せに対して $t_{i, k}^{z_1} * t_{j, k}^{z_2}$ は意味を持たない。このとき、

$$T_S = T_i^{z_1} * T_j^{z_2} \quad (4.3)$$

$$\equiv \{t_{i, k}^{z_1} * t_{j, k}^{z_2} | k, h \text{ は整合する全組合せ}\}$$

特に上式で、 $T_i^{z_1}$ と $T_j^{z_2}$ のすべての要素が整合条件を満足する相手を持つとき、網羅条件を満足するといいい、この場合の合成を次式で表わす。

$$T_S = T_i^{z_1} \cdot T_j^{z_2} \quad (4.4) \blacksquare$$

一般に再収斂回路において、テスト集合 T を、終点入力 v_i, v_j の状態 $z_1, z_2 (= H, D, \tau)$ に応じて部分テスト集合 $T_i^{z_1}, T_j^{z_2}$ に分割してそれらを合成したものと考えれば、 T は次式で表現される。これを T の組成式と呼ぶ。

$$T = \bigcup_S T_S = \bigcup_{z_1 \times z_2} T_i^{z_1} * T_j^{z_2} \quad (4.5)$$

〔定理5〕 非冗長な再収斂回路の終点出力に関する1重故障完全テスト集合 \mathcal{G} には、次式(正規組成式表現)で表されるもあが存在する。

$$\mathcal{G} = \mathcal{G}^D \cup \mathcal{G}^H \quad (4.6)$$

* $t_{i, k}^{z_1}$ と $t_{j, k}^{z_2}$ がそれぞれ Δv_i と Δv_j のテストの場合は Δv_i から Δv_j へのインタフェース上で整合させればよい。

ここに $\mathcal{G}^D, \mathcal{G}^H$ は終点出力を D または H にするよう
な 1 重故障の完全テスト集合であり、

$$\begin{aligned} \mathcal{G}^D = & (T_1^H \cdot T_2^r \cdots T_m^r) \\ & \cup (T_1^r \cdot T_2^H \cdot T_3^r \cdots T_m^r) \\ & \cup \cdots \cup (T_1^r \cdots T_{m-1}^r \cdot T_m^H), \end{aligned} \quad (4.6a)$$

$$\mathcal{G}^H = T_1^D \cdot T_2^D \cdots T_m^D. \quad (4.6b)$$

(証明) (1) 式(4.6a)の証明:

終点出力が D に活性化されるのは、終点入力の一つ
だけが H で他は r の場合、または複数の終点入力 $v_i,$
 v_j が同時に H となり残りが r の場合に限られる。前
者のテスト集合の組成式は $[(T_1^H * T_2^r * \cdots * T_m^r) \cup$
 $(T_1^r * T_2^H * T_3^r * \cdots * T_m^r) \cup \cdots \cup (T_1^r * \cdots * T_{m-1}^r$
 $* T_m^H)] \equiv T^{1H}$ で表わされ、後者のテスト集合の組成
式は $\cup (T_1^r * \cdots * T_i^H * \cdots * T_j^r * \cdots * T_m^r) \equiv T^{iH}$
で表わされるから次式が成立つ。

$$\begin{aligned} \mathcal{G}^D = & (T_1^H * T_2^r * \cdots * T_m^r) \\ & \cup (T_1^r * T_2^H * \cdots * T_m^r) \\ & \cup \cdots \cup (T_1^r * \cdots * T_{m-1}^r * T_m^H) \cup T^{iH}, \end{aligned} \quad (4.7)$$

T^{iH} は、終点の複数入力を同時に H に活性化するテ
スト集合だから、始点 (Δv_i を含む) の故障に対し
てのみ有効なテストである。しかし始点の該故障に対
しては T^{1H} に属する $(T_1^r * \cdots * T_{i-1}^r * T_i^H * T_{i+1}^r$
 $* \cdots * T_m^r)$ が必ず存在する。なぜなら、始点の故障
に対して T^{iH} テストのみしか存在しないとすると、
これは該始点から v_i, v_j に至る複数の活性化経路を独
立に閉じることができないこと、つまり、 v_i, v_j の値
が、いかなる \mathcal{G}^D テスト条件の下でも常に同じ値 (共
に H か共に θ) となることを意味する。もしそうなら、
始点の故障の検出に関して複数の分枝 B_i, B_j は
不必要であり、一つだけを残して他の分枝は始点から
切離して定数入力に置き換えることができる。つまり
再収斂回路は冗長性を持つから仮定に反することにな
る。このように始点に対して T^{1H} に属するテスト
 $(T_1^r * \cdots * T_2^H * \cdots * T_m^r)$ が存在するならば T^{iH} は
不要であり、これを除いても式(4.7)の \mathcal{G}^D は T_i^H の
全要素を網羅的に包含することになり、よって式
(4.6a)が成立つ。

(2) 式(4.6b)の証明:

$T_i^D * T_j^D$ で整合が問題となるのは、 Δv_i と Δv_j に
共通な始点においてであるが、 T_i^D, T_j^D はともに 1
重故障完全テスト集合の D 成分であるから、始点の故
障をそれぞれ v_i および v_j で検出するテストを含ん
でいる。それを t_{i0}^D, t_{j0}^D で表わし、 t_{ik}^D と t_{jk}^D の全

組合せ (次の 3 つ) について整合の可否を考える。

a) $t_{ik}^D (k \neq 0)$ と $t_{jk}^D (h \neq 0)$

この場合は t_{ik}^D の活性化経路と t_{jk}^D の活性化経路
はいずれも始点を含まないから、始点の値の 0/1 は、
両活性化経路 (すなわち両テストで検出される 1 重故
障 F_i^D, F_j^D) には何ら影響を及ぼさない。よって始点
の値が t_{ik}^D と t_{jk}^D で異なるときは、 F_i^D, F_j^D に影響
を与えることなく、一方 (t_{jk}^D) の始点の値を他方 (t_{ik}^D)
のそれと整合するよう変更 (修飾) することができる。
そして t_{jk}^D を修飾後の t_{jk}^D と置き換えても T_j^D
が 1 重故障完全テスト集合の D 成分であるという性質
は保たれる。よって a) の条件下で、 $(T_i^D \cdot T_j^D)$ は存
在する。

b) t_{ik}^D と $t_{jk}^D, k=0$ または $h=0$ の場合

いま $h \neq 0$ とすれば、 t_{jk}^D の活性化経路は始点を
含まないから、活性化経路に影響を与えることなく t_{jk}^D
の始点の値を t_{i0}^D のそれと整合するよう修飾するこ
とができる。 t_{jk}^D を修飾後の t_{jk}^D と置換えても T_j^D
は依然として 1 重故障完全テスト集合である。 $k \neq 0$ の
場合も同様である。よって b) の条件下で $(T_i^D \cdot T_j^D)$
は存在する。

c) t_{i0}^D と t_{j0}^D

この場合、 t_{i0}^D および t_{j0}^D の活性化経路は始点にお
いて交わる。つまり始点の故障は v_i, v_j をともに D 活
性化するから、両テストは整合する。なお t_{i0}^D の下で
 v_i を D にするような始点の故障が、 t_{j0}^D の下で v_j を
 H にするような場合には、該故障は (4.6a) 式の \mathcal{G}^D
によって終点出力で検出されるから、両テストの整合
を図る必要はない。

以上 a) ~ c) によって、 T_i^D と $T_j^D (i, j=1 \sim m)$
は修飾を施すことによって必要なすべての要素を整合
させることができる。すなわち $T_1^D \cdot T_2^D \cdots T_m^D$ は
存在する。 ■

定理 5 は、終点出力に関する 1 重故障完全テスト集
合が存在すれば式(4.6)の合成操作によって求めること
ができることを保証している。この考えに基づく 1
重故障完全テスト集合の合成方法をインタフェース整
合法と名付ける。その具体的手順をつぎに示す。

(手順 3) インタフェース整合法の手順

- (1) 再収斂回路の始点と終点を求める⁴⁾。
- (2) 終点ゲートの入力側で回路を切断し、非再収
斂回路 $U_i \Delta v_i$ を切出す (図 4)。
- (3) $U_i \Delta v_i$ に対し手順 2 を適用し、各 v_i に関す
る $\Delta v_i'$ の n 重故障 ($n \leq 3$) 完全テスト集合 T_i を求

める。

(4) T_i を定義7の部分テスト集合 T_i^H, T_i^D に分け、さらに定義8の T_i^r を補う。

$$\mathcal{T}_i = T_i \cup T_i^r = T_i^H \cup T_i^D \cup T_i^r \quad (4.9)$$

(5) 式(4.6) で示される合成操作によってテスト集合 \mathcal{T} を求める。 ■

つぎに手順3によって生成されるテスト集合 \mathcal{T} の多重故障検出能力について考える。

〔定義10〕 等価故障数:

2つの部分回路 S_i, S_{i+1} を縦続接続した場合、 S_i の故障は S_{i+1} に波及する。 S_{i+1} に実在する故障数を f_1 、1つのテスト集合 T の下で S_i の故障の影響が現れる S_{i+1} のインタフェース線の数を f_2 とするとき、 $f_1 + f_2$ を S_i の故障の影響を考慮した S_{i+1} の等価故障数という。

〔定理6〕 1終点再収斂回路(図4)において、手順3で生成されるテスト集合 \mathcal{T} は、各 $\Delta v_i' (i=1, 2, \dots, m)$ の等価故障数 k_i が各々3以下であるような任意の多重故障を終点出力で検出する。

〔証明〕 \mathcal{T} は、 Δv_i に等価故障数 $k_i \leq 3$ なる任意の多重故障が存在するとき、頂点 v_i を H または D に活性化するテストを必ず含んでいる。ところで v_i を D にするような上記の多重故障は、式(4.6b)の \mathcal{T}^H によって終点出力で必ず検出される。なぜならテスト \mathcal{T}^H は $v_i (j \text{キ} x)$ を D または r にするだけで、 θ にすることはないからである。したがって v_i を D にするような上記の故障はすべて除去することができ、これによって式(4.6a)の \mathcal{T}^D の下では v_j の値は1が保証される。故に残された v_i を H にするような多重故障は \mathcal{T}^D によって終点出力で必ず検出される。 ■

つぎに手順3の適用例を示す。Dias が用いた図5を破線のように $\Delta v_1', \Delta v_2'$ に分解し、それぞれの1重故障完全テスト集合 T_1, T_2 を求め、 H, D 成分に分解すれば、 $T_1 = T_1^H \cup T_1^D = \{1101, 1110\} \cup \{0101, 1010, 1111\} \equiv \{t_{11}, t_{12}\} \cup \{t_{13}, t_{14}, t_{15}\}$ 、 $T_2 = T_2^H \cup T_2^D = \{10\} \cup \{00, 11\} \equiv \{t_{21}\} \cup \{t_{22}, t_{23}\}$ 。そして $T_1^r = \{0011\} \equiv \{t_{16}\}$ 、 $T_2^r = \{01\} \equiv \{t_{24}\}$ を補い、 T_1^H と T_2^r 、 T_1^r

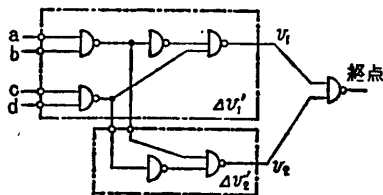


図5 回路の分割例
Fig. 5 Partitioning example.

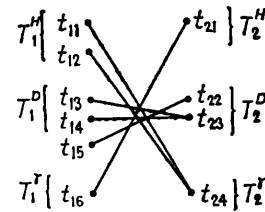


図6 テスト要素の組合せ
Fig. 6 Test elements combination.

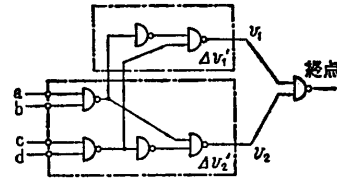


図7 回路の他の分割例
Fig. 7 Another partitioning example.

と T_2^H, T_1^D と T_2^D をインタフェース整合条件と網羅条件を満足するように組合せれば、図6の組合せが得られ、その結果、 $\mathcal{T} = \{1101, 1110, 0101, 1010, 1111, 0011\}$ が得られる。なお、図7の破線のように $\Delta v_2', \Delta v_1'$ の順にトリー回路を切出して同様の合成操作を行えば、上で求めた \mathcal{T} と等価な、 $\mathcal{T}' = \{0101, 1010, 1111, 1101, 0111, 1011\}$ を得る。これは Dias が求めた結果と同じである。

5. 終点が観測不能な再収斂回路のテスト生成

1終点再収斂回路 S_1 に多分岐出力の非再収斂回路 S_2 が図8のように縦続接続された場合を考える。いま終点出力 g において回路を分離すれば、 S_1 および S_2 にそれぞれ4章および3章の考え方が適用できる。それを利用して全体の回路 $S_1 \cup S_2$ の多重故障検出用のテスト集合を合成しよう。その具体的手順を〔手順4〕に示し、ついでこれで生成されるテスト集合の多

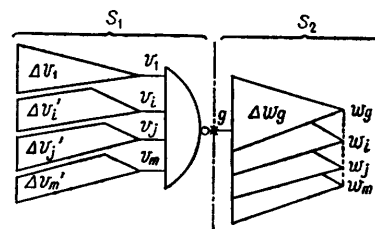


図8 再収斂回路を内蔵した組合せ回路
Fig. 8 Combinational circuits including a reconvergent circuits.

重故障検出能力を示す。

(手順 4)

(1) 対象回路を終点出力で切離し, S_1 に手順 3 を, S_2 に手順 2 を適用して S_1, S_2 に対する 1 重故障完全テスト集合 T_V, T_W を求める。

(2) T_W の要素のうち, g 点の H および D 故障を, g 点を含むトリー回路 $\Delta w_g'$ の頂点 w_g において検出するようなテスト集合を求め, それぞれ τ_g^H および τ_g^D とする。また T_V を, g 点の初期状態 0 または 1 に応じて T_V^H または T_V^D に分解 ($T_V = T_V^H \cup T_V^D$) して, $T_V^H \cdot \tau_g^H, T_V^D \cdot \tau_g^D$ を合成する。さらに ($T_W - \tau_g^H - \tau_g^D$) の各要素には, g 点の初期条件が一致する任意の T_V の要素を組合せ, 次式のテスト集合 \mathcal{G} を合成する。

$$\mathcal{G} = T_V^H \cdot \tau_g^H \cup T_V^D \cdot \tau_g^D \cup (T_W - \tau_g^H - \tau_g^D). \quad (5.1) \blacksquare$$

手順 4 の \mathcal{G} は, インタフェース整合条件を満足しつつ T_V および T_W の全要素を網羅的に包含する。また \mathcal{G} に含まれるテスト数 $N(\mathcal{G})$ は次式のようになる。

$$\begin{aligned} N(\mathcal{G}) \leq & \text{MAX}\{N(T_V^H), N(\tau_g^H)\} \\ & + \text{MAX}\{N(T_V^D), N(\tau_g^D)\} \\ & + N(T_W - \tau_g^H - \tau_g^D), \end{aligned} \quad (5.2)$$

つきに手順 4 で合成したテスト集合 \mathcal{G} の多重故障検出に関して, 定理 7 が成立つ。

(定理 7) 終点が観測不能な 1 終点再収斂回路 (図 8) において, 各トリー回路 $\Delta v_i', \Delta w_i'$ の等価故障数がそれぞれ 3 以下であるような任意の多重故障は, 手順 4 のテスト集合 \mathcal{G} によって, 1 次出力 W で検出される。

(証明) 手順 4 の \mathcal{G} は手順 3 の T_V を含んでいるから, 定理 6 によって, 各 $\Delta v_i'$ の等価故障数が 3 以下であるような任意の多重故障は \mathcal{G} によって終点出力 g を活性化する。このような g の活性化は Δw_i の等価故障数を高々 1 だけ増加させるが, これを含めても Δw_i の等価故障数は仮定によって 3 以下である。よって定理 3 が適用でき, T_W (したがって T_W を含む \mathcal{G}) はそのような多重故障を 1 次出力 W で検出する。よって本定理が成立つ。 \blacksquare

(系) 手順 4 の \mathcal{G} は 1 終点再収斂回路の n 重故障 ($n \leq 3$) 完全テスト集合を与える。

(証明) n 重 ($n \leq 3$) 故障の下では $\Delta v_i', \Delta w_i'$ の等価故障数は 3 を越えないから, この系は定理 7 に含まれる。

6. 効果と特長

ここでは前述の諸定理の応用について述べる。

6.1 相殺の検証

定理 2 は, 多分岐出力の非再収斂回路に 1 つのテスト集合 T を与えた場合, 3 以下の多重故障で検出不能な多重故障を見出すのに利用できる。その手順をつぎに示す。

(手順 5) 相殺の検証方法

(1) 対象となる多分岐出力を含む非再収斂回路をトリー回路 Δv_i に分解し,

(2) 与えられたテスト集合 T の下で, 共有領域 Δv_{ij} のすべての 1 重故障を 2 章で定義した故障群 F_{i0}, F_{j0}, F_{ij} に分け,

(3) $F_{i0} = \{f_{i0k} | 1 \leq k \leq n\} \ni \phi$ かつ $F_{j0} = \{f_{j0h} | 1 \leq h \leq m\} \ni \phi$ ならば, f_{i0k} と f_{j0h} が同時に発生した場合, T がこれを検出できるか否かを普通の故障シミュレーションで調べる。これをすべての組合せについて行う。 \blacksquare

一般に F_{i0} または F_{j0} に属する故障の数は, 回路全体の故障数と比べれば極めて少数と考えられるから, (3) のように普通に多重故障シミュレーションを行っても処理時間上大きな負担とはならない。

相殺を起す多重故障を見出す方法として Dias の方法が知られているが, 手順 5 の方法はそれに比べてより簡単であると考えられる。

6.2 テスト集合の生成の処理速度の比較

信号線数 N の非再収斂回路において, n 重 ($n \leq 3$) 故障完全テスト集合を生成するための処理速度を,

- a) 3 重以下の多重故障シミュレーション,
- b) 完全トリー分解法,
- c) 手順 2 の方法,

について比較する。各方法の処理速度 τ_a, τ_b, τ_c の主な支配項は仮定すべき故障の数と考えられるから, 1 次近似として,

$$\tau_a : \tau_b : \tau_c = N^3 : rN : N = N^2 : r : 1,$$

となり, c の方法が最も速い。ただし, r は回路の重複度であり, 次式で与えられる。

$$r = \sum_i (\Delta v_i \text{ の故障数}) / (\cup_i \Delta v_i \text{ の故障数})$$

実際の回路では経験的に $r \approx 3 \sim 10$ 程度である。

なお手順 3~4 も, 回路の切断, テストの合成等余分な処理を必要とするが, 仮定すべき故障数は N であるから, オーダとしては a より b または c に近いと考えられる。

7. む す び

多分岐出力を含む組合せ回路（非再収斂および1終点再収斂回路）について、多重故障の相殺の発生機構と発生条件（定理 2, 定理 4）を明らかにし、それに基づいて、

(1) 非再収斂回路に対するテスト生成方式としては、1ビット検出法（手順 2）の方が多ビット一括検定法（手順 1）よりも多重故障の検出能力が優れており、少なくとも1つの v_i の故障数が3以下なる任意の多重故障を検出することを示した。

(2) 1終点再収斂回路において、終点で相殺を生じないような多重故障検出用テスト集合の合成方法——インタフェース整合法——（手順 3, 手順 4）を提案し、その多重故障検出能力を考察した。

(3) 非再収斂回路において、与えられたテスト集合で相殺が生じるか否かを検証し、相殺を起す多重故障を発見する方法 (6.1) を示した。

上記 (2), (3) の方法は従来の方法に比べてより直截的な特徴があり、高速化が期待できる。本文で導入した、テスト集合を各頂点 v_i に関する1重故障完全テスト集合 T_i の H 成分および D 成分の合成として捉える考えは、従来にない考え方であり、多終点再収斂回路に対しても類似の拡張が可能と思われる。

謝辞 本稿をまとめるに当って、貴重なる御意見を

賜った九州大学田町常夫教授、広島大学吉田典可教授、武蔵野電気通信研究所池野信一特別研究室長、当所徳山五郎調査役ならびに査読者の方に感謝の意を表す。また直接御指導をいただいた当所吉田庄司企画管理室長ならびに研究開発本部楠菊信調査役に感謝する。

参 考 文 献

- 1) Y. Umetani et al.: Some Results on the Application of FLT Generator to a Large Scale Computer, International Symposium on Fault Tolerant Computing, pp. 163-168 (1973).
- 2) A. Nakamura, J. Nose and S. Yamakawa: High Speed Generation of Fault Location Data for Logic Circuits, IFIP Congress, pp. 112-116 (1974).
- 3) 中村, 野瀬, 山川: DIPS 故障診断プログラムの検討, 研究実用化報告, Vol. 21, No. 2, pp. 771-776 (1977).
- 4) J. W. Gault et al.: Multiple Fault Detection in Combinational Networks, IEEE Trans., Vol. C-21, No. 1, pp. 31-36 (1972).
- 5) F. J. O. Dias: Fault Masking in Combinational Logic Circuits, IEEE Trans., Vol. C-24, No. 5, pp. 476-482 (1975).

(昭和52年9月9日受付)

(昭和53年5月29日採録)